

基于 DSP 和 FPGA 的编码器信号测量及处理的通用模块

随着科学技术的飞速发展,自动控制系统在各领域中的应用越来越多,特别是计算机自动控制系统已成为现代科学技术、军事工程和现代工业等领域不可缺少的部分。因而,自动控制元件如作为动力装置的各种电动机、发电机和作为信号变换的各种控制电机在各种控制系统中得到广泛的应用。要对被控对象进行控制,不仅需要控制器和执行机构,还需要反馈装置。因此,编码器作为电机的角度、速度、方向的检测装置,也得到了广泛的应用。编码器又有旋转变压器、霍尔传感器和光电编码器。其中,光电编码器精度高,抗干扰能力强,接口简单,使用方便,因而获得了最广泛的应用。

光电编码器按编码方式又主要有增量式编码器和绝对式编码器两大类,前者具有分辨率高、价格较低、接口简单等优点,然而在当今工业中,无掉电记忆功能又对其应用构成了很大局限;后者结构紧凑、体积小、接口数字化、抗干扰能力强、具有掉电记忆功能,在应用中也越来越受重视。

当前市场上,德国海德汉公司的产品种类繁多,具有很好的品质保证,被广泛应用于机床、自动化领域,尤其在半导体和电子制造业等领域。海德汉光电编码器占有很大市场份额,而与之相配套的解码设备不适合嵌入式系统应用。本文针对实验用转台使用的海德汉编码器设计出了增量式和绝对式的通用数据处理模块。该模块具有信号处理速度快、精度高、数据准确、应用灵活广泛、使用和调试方便、成本低廉等优点,能很好满足使用需求。

1 海德汉编码器概述

1.1 高精度增量式编码器

增量式编码器是经过光栅将位移转换成周期性的电信号,再把这个电信号转变成计数脉冲,用脉冲的个数表示位移的大小。其光栅由周期性刻线组成,通过计算自某点开始的增量数(测量步距数)获得位置信息。本模块要测量的高精度海德汉增量式编码器的光栅上还有刻有距离编码参考点的轨道,加快参考点回零。下图 1 为某带距离编码的圆光栅。

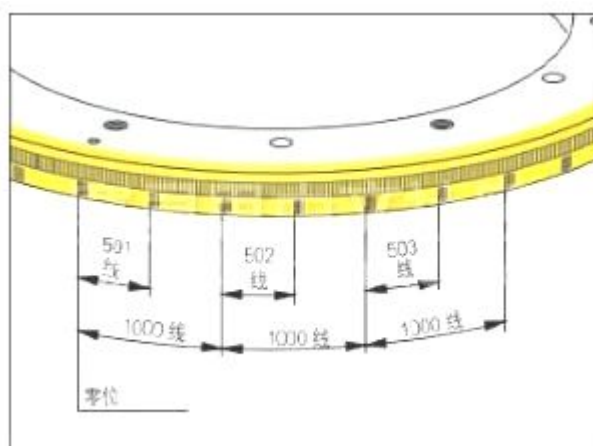


图 1 带距离编码参考点的圆光栅 (ERA4480)

这些参考点彼此相距数学算法确定的距离。已过三个参考点的两个脉冲后，后续电子设备就能找到绝对参考点。

1.2 高精度绝对式编码器

绝对式编码器利用自然二进制、循环二进制(格雷码)或 PRC 码对码盘上的物理刻线进行光电转换，将连接轴的转动角度量转换成相应的电脉冲序列并以数字量输出，其每一个位置对应一个确定的唯一的数字编码，因而具有掉电记忆功能。

有时，通过位置编码器获得位置值的数字驱动系统和反馈环还需要编码器提供一些附加值。为使系统具有更高可靠性，编码器还需具有错误检测和诊断功能。海德汉公司的 Endat2.2 数据接口是一种适用于编码器的双向数据接口，可传输绝对式或增量式编码器的位置值，也能传输或更新保存在编码器中的信息或保存新信息。由于采用串行数据传输方式它只需要 4 条线。数据传输保持与后续电子设备时钟信号同步。传输的数据类型（位置值、参数或诊断信息等）通过后续电子设备发至编码器的模式指令选择。

2 硬件设计

本模块采用了 DSP 和 FPGA 结合的工作方式。DSP 主要用于数字信号处理领域，非常适合高密度、重复运算及大数据容量的信号处理。FPGA/CPLD 器件一方面可实现硬件上的并行工作，非常适用于实时测控和高速应用领域，另一方面物理机制和纯硬件电路一样，十分可靠，尤其是抗强电磁干扰。两者结合，可实现宽带信号处理，速度快且可靠性好。

根据方案功能需求，设计模块结构图如图 2 所示：

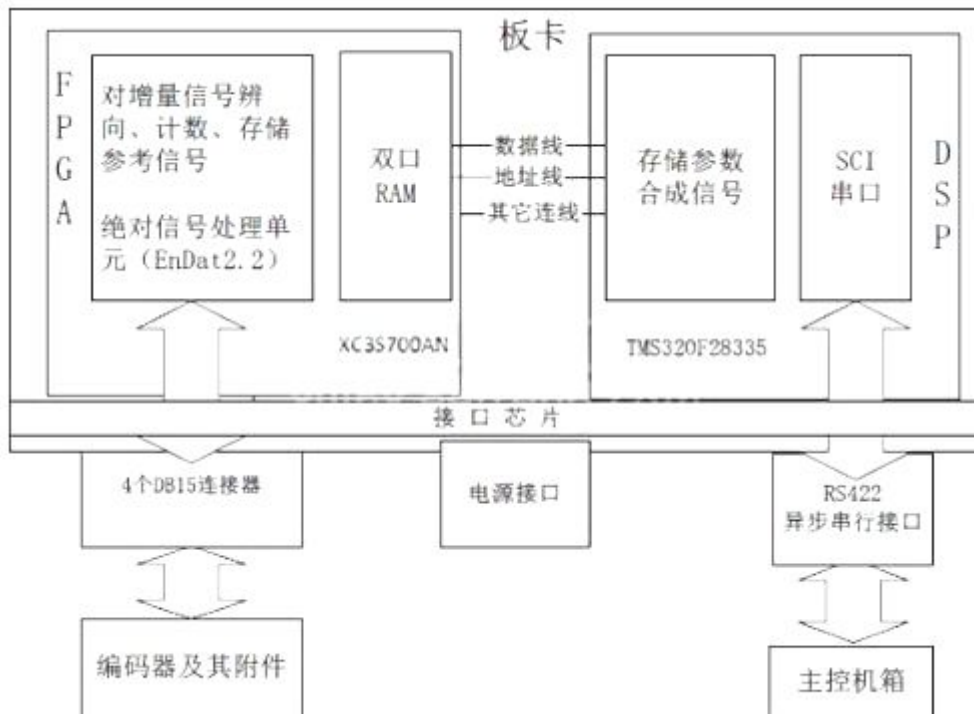


图 2 硬件结构图

图中，模块连接器为标准的 DB15 连接器，通过管脚配置，能相应地与增量式编码器和采用 EnDat2.2 接口的绝对式编码器进行信号交流。模块的收发单元支持的是 RS-485 形式，

差分信号和单端信号通过接口芯片进行转换。为了提高对高精度增量式编码器数据测量精度，需在同一个增量编码器上安装 4 个读数头，各自测量增量式编码器数据，再合成得到位置值。这样，板卡上读取编码器信号的接口设置有 4 个。

FPGA 芯片选用赛灵思公司 Spartan-3AN 系列的 XC3S700An,logiccells 为 10476。

实现：①对增量信号的计数和参考信号的采集，在进行计数达到参考码道的数据后，进行增量信号的清零；②对 Endat2.2 绝对式编码器位置信号的采集；③在外同步时钟上升沿到来前，保存计数处理，把数据存储在全双口 RAM 中，等待 DSP 读取。

本模块选用的 DSP 芯片为 TI 公司的 TMS320F28335，主频可达 150MHz。

TMS320F28335 增加了浮点运算单元，在保持了原有 DSP 芯片优点如强大控制和信号处理能力、C 语言编程效率等优点的同时，节省了代码执行时间和存储空间。F28335 通过 GPIO 端口与 XC3S700An 连接有 4 路地址线和 16 根数据线，可以接受 16 种编码器信号。模块中 DSP 部分开辟参数存储区，在中断信号到来的时候读取 FPGA 中数据，完成数据合成，通过 SCI 串口把数据发送给主控机箱，电器形式为 RS422。

模块板卡由 5V 电源供电。

3 软件设计及实现

根据硬件架构，分别对 DSP 和 FPGA 进行软件功能分析和具体编程实现。

FPGA 部分使用 Xilinx 公司的 ISE10.1 开发软件，采用 Verilog 语言，接受从接口管脚输入的编码器信号，相应地实现对海德汉高精度增量式编码器输出并经细分盒细分后的 TTL 脉冲计数和参考信号生成，或者是与绝对式编码器的 Endat2.2 通信。DSP 部分开发软件采用 TI 公司的 CCS5.2，使用 C 语言进行编程。DSP 完成对信号最终的位置合成处理，在这里，首先要定义编码器的相关参数，如：编码器总刻度数、分辨率、带参考码道的增量式编码器的参考点数，还要考虑增量信号进入 FPGA 前的细分数（取决于 IBV600），以及 FPGA 对 TTL 计数是否进行四倍频等。使用时，根据具体编码器类型进行参数修改。

软件实现了对高精度海德汉增量式编码器和绝对式编码器的位置值的读取。下面将分别进行介绍。

3.1 测量增量式编码器位置值

3.1.1 相关部分的 FPGA 设计

增量式编码器是一旋转式光电编码器，根据轴所转过的角度，输出一系列脉冲。一般来说编码器输出有三相信号：A、B、Z。A、B 两相信号是相位相差 90°的正交方波脉冲串，每个脉冲代表被测对象旋转了一定的角度，A、B 之间的相位关系则反映了被测对象的旋转方向，即当 A 相超前 B 相，转动方向为正转；当 B 相超前 A 相，转动方向为反转。Z 信号是一个代表参考码道的脉冲信号，可用于调零、对位。对象每旋转一定角度时，A、B 两者的脉冲发生变化，根据 AB 相位变化方向和脉冲个数来计算角位移。当 AB 相位变化为 0010110100 时，为输出正转计数脉冲，脉冲计数 P 加 1；当 AB 相位变化为 0001111000 时，为输出反转计数脉冲，脉冲计数 P 减 1。相位变化几次计数操作几次。需要指出的是，相位的状态变化只有严格按照上面 8 中方式改变时，FPGA 才进行计数操作。在 Verilog 编程时，可以把前一个 AB 相电平状态和后一个 AB 相电平状态组成一个散转地址向量，然后把把这个向量作为条

件语句，进行计数操作。比如，当 AB 从 00 变为 10 时，向量就为 0010， $P=P+1$ 。相反，若 AB 从 10 变为 00，这个向量就为 1000， $P=P-1$ 。下面为 FPGA 读取 TTL 数据并组成散转地址向量的 Verilog 代码：

```
always@(posedgeinClk)
begin
regUa1a2State<={inIncUa1,inIncUa2};//读取 AB 向量
if(regUa1a2State!=regAllState[1:0])//状态变化
begin
regAllState<={regAllState[1:0],regUa1a2State};//组成新的散转地址向量
regPulseStateChanged<=1;
end
elsebegin
regPulseStateChanged<=0;
end
end
```

另外，增量式编码器不具有断电记忆功能，每次启动时都需确定零位。以前，只有一个零位参考点时，有时需转 $360^\circ Z$ 相位出现脉冲才能确定零位。高精度海德汉编码器参考点码道有若干个距离编码参考点，任一参考点经过读数头时，Z 相位输出脉冲。此时，需要把之前的脉冲计数 P 保存下来（记为 Q），P 清零。这样，每次 Z 相位输出脉冲时，P 的数值就为上次经过参考点后的脉冲数，这是 DSP 确定零位和当前参考点的重要依据。

FPGA 测得 4 个读数头的 4 组信息，写入双口，等待 DSP 读取。每组写入双口的数据有两个：①上一次过参考码道时的计数增量计数 RefPulseCnt(Q 值)，②增量计数 PulseCnt(P 值)。

3.1.2 相关部分的 DSP 设计

DSP 程序中先生成增量式编码器参考码道的参考角度，也就是每个距离编码参考点所对应的脉冲数以及角度。又因为每两个参考点间脉冲数（即 Q 值）是不同且唯一的，可以根据读取的 FPGA 双口中的 Q 值确定最近经过的参考点，然后“查表”可以得到该参考点的角度。同时，DSP 读取 P 值再乘以分辨率得到已当前参考点后的角度，合成后两者相加可以确定相应读数头测得的位置值。分辨率为 $360^\circ/\text{刻度值总刻度数} \times \text{进入 FPGA 前细分数} \times 4$ （本模块 FPGA 对 TTL 计数的处理实质就是对 AB 路信号进行了 4 倍频）所有读数头过完零以后，输入到 DSP 的 4 路读数头信号相对参考码道的零点而言，都有一个绝对位置。一般来说，安装读数头时，要参考测量的单个读数头的位置值对 4 个读数头的位置要进行调整，通常，相邻两个读数头之间相差 90° 最好。以任何一个读数头为基准，其他 3 个读数头的绝对位置相对基准读数头而言的位置差为 $90^\circ, 180^\circ, 270^\circ$ 。为了简化，以电路板输入端口的 1 作为基准量。合成位置量为

$A=(A1+A2+A3+A4-90-180-270)/4=(A1+A2+A3+A4-540^\circ)/4$ ，由于有安装系统误差，且要求

合成位置值要大于 0，计算时可以用 520° 替代 540° 。其范围为 $(e, e+359.999999)$ ，e 为误差，这个时候要对 360 做求模处理，最后得到的合成值的工作范围就为 $(0, 359.999999)$ 。

3.2 测量绝对式编码器的位置值

模块参考海德汉公司提供的 endat2.2 相关技术手册，设置好参数：根据编码器位数和模式命令设置传输的数据位数 `ct_tx_oem_value`、`ct_rx_oem_value`；需要传送的附加信息个数 `ai_count`；传输时钟频率参数 `freq_oem_value`；恢复时间 $III(t_{ST})$ 的设置参数 `freq_tst_value` 等。测量 EnDat2.2 的子文件根据参数转换状态机，进行相应操作。另外，程序带有电缆传输延迟测量模块 `pdm`。然后，按照下图 4 的格式根据自己对信息的需求设置向编码器传输的信号 `d_in`。在系统时钟上升沿到来后立即通过 `start_trans` 信号控制开始与编码器通信。接收编码器数据，读出相应 `d_out` 信号数据，得到代表位置值的数据写入双口。

Byte 4 Bit [29:24]	Byte 3 Bit [23:16]	Byte 2 Bit [15:8]	Byte 1 Bit [7 :0]
Mode bits	MRS code / Address / Port address	Parameters / Instructions	Parameters / Instructions
M [5 :0]	A [7 :0]	D [15:8]	D [7:0]

图 4endat2.2 输入数据"d_in"

上图中，Modebits 为 6 位模式指令，最基本的编码器发送位置值模式为 000111。模式指令和其他参数的含义都可以在技术手册中查到。

DSP 从 FPGA 双口 RAM 中读取绝对式信号数据，取有效位数后再乘以该绝对式编码器的分辨率即得到位置信息。分辨率为 $360^\circ/2^N$ ，N 是对应的绝对式编码器位数。

3.3 数据输出

模块通过 RS422 异步串行接口与上位机进行通信，串行接口通过 DSP 的 SCI 口实现，设计的模块同时需要上位机发送的同步采样频率信号，将其与 DSP 相连，作为中断信号启动 ISR 功能。同时，该信号管脚通过跳针把该外同步时钟分给 FPGA。这样，保证两者的时钟源是统一的，然后 DSP 访问 FPGA 的双口就能实现正确读取所需数据。过程时序示意图如图 5 所示：

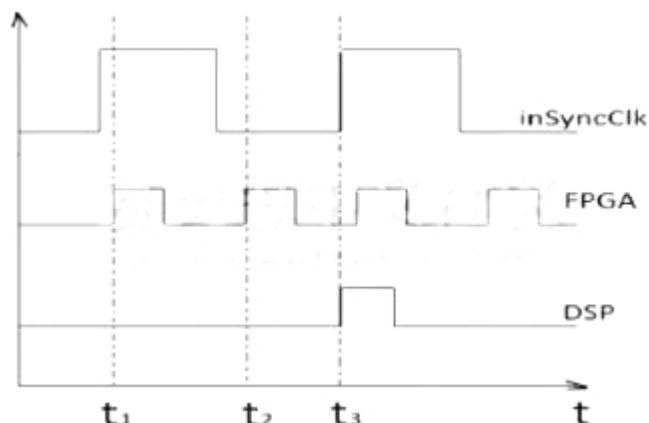


图 5 整体过程时序示意图

如上图所示，在 t_1 时，FPGA 即启动与编码器的通信，在 t_2 时，FPGA 把增量式编码器脉冲计数或者绝对式编码器信息存入双口，在 t_3 时，外同步时钟上升沿启动 DSP 中断程序，读取已经存储在 FPGA 双口中的数据并合成位置值，合成量纲后通过 RS422 接口把绝对位置值传递给主控机箱。这样，主控得到的数据是上一帧的数据，即有一帧的延迟，时钟频率越大，延迟越小。因此，对采样频率有一定要求，不能太低。

4 实验及数据分析

模块设计好以后，需搭建平台检测是否实现功能。实验平台如图 6 所示：

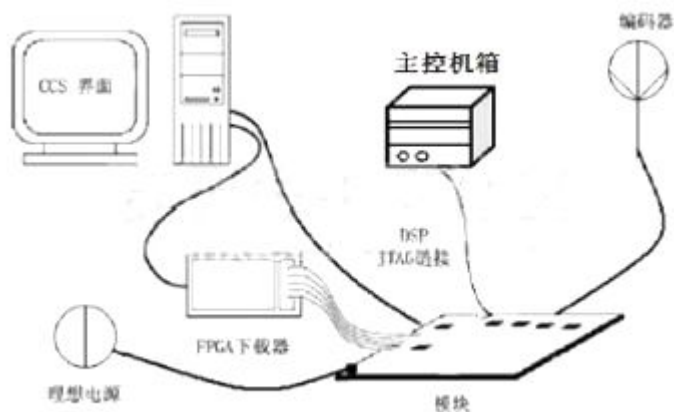


图 6 实验平台

如图 6 所示：打开电源控制开关，然后从 PC 机把 DSP 和 FPGA 程序分别通过仿真器加载到 F28335 和 XC3S700AN 芯片中，打开主控机箱。最后，点击 CCS 上的运行键，拨动编码器，可在 CCS 软件界面右上方的变量观察窗口观察编码器位置值。界面如下图 7 所示：

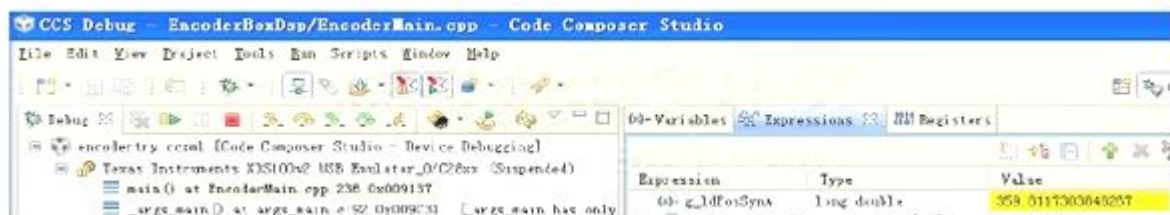


图 7 实验时，观察位置值的 CCS 界面

本实验中，所使用的编码器为 23 位海德汉绝对式编码器 ECN1023，外同步时钟源为 500HZ。FPGA 内部频率为 10MHz,向 Endat2.2 输入的频率为 64MHz 的 32 分频。观察到该界面中位置值为 359.8117303848267 度。在实验中通过 real-time 与自动刷新功能还观察到，界面上数据的变化与编码器的转动几乎同步，编码器停止转动后，数据小数点后前 3 位之前的数据非常稳定，第 3、4、5 位数据比较稳定。由此可见，本模块满足了一定的测量速度和测量精度，能够很好工作。

通过实验对本模块的性能有了一定了解后，还需对精度进行检测。通过模块与标准检测仪同时测量一台海德汉绝对式编码器，360 度测量正反相各测 24 组值。结果，正测 RMS 值为 0.67 角秒，极差为 1.9 角秒；反测 RMS 值为 0.76 角秒，极差为 2.2 角秒。两组误差曲线图如下图 8 所示：

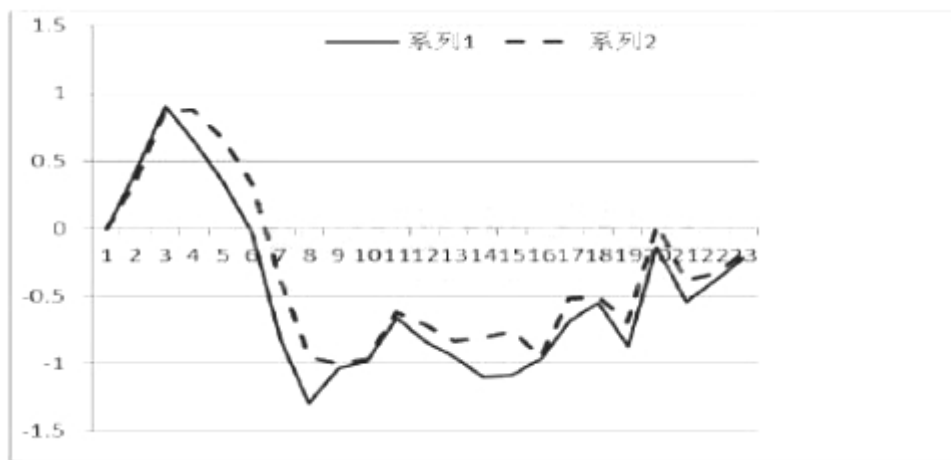


图 8 正反转检测两组误差数据曲线

从图中观察到，从 0 到 23 的 24 组数据皆是从 0 度到 36 度变化时测量得到的。如图所示，两组误差曲线基本重合，可在最大误差点加个修正值减小误差。

结语

编码器应用广泛。本文详细介绍了一个测量各类海德汉编码器的数据的通用且实用的模块。该模块基于 XilinxFPGA 平台和 TIDSP 平台，使用和调试方便，使用者可快速掌握；通过了实验和精度的检测，实现了设计目的，工作可靠；模块小巧，可以与上位机通信，可以很好的被结合到嵌入式系统中。目前，本模块已用于实验转台用的增量式和绝对式编码器数据的处理，拟结合到实验室驱动控制机箱中，正进一步开发它对海德汉绝对式编码器 Endat2.2 附加信息的测量和处理。