

高速数据采集系统设计

张俊杰, 章凤麟, 叶家骏

(上海大学特种光纤与光接入网教育部重点实验室, 上海 200072)

摘要: 为满足雷达信号采集的要求, 设计一个 12 bit 100 MS/s 的基于 PCI 总线的数据采集系统。该系统能够实现 6 GB 数据的实时采集与存储。可编程逻辑器件控制数据的采集、存储与传输。PCI 数据传输采用 PCI 主模式, 传输速率达到 60 MB/s, 采集信号的信噪比达到 55 dB(30 MHz 模拟信号)。

关键词: PCI 控制器; 可编程器件; 抖动; 信噪比

Design of High Speed Data Acquisition System

ZHANG Jun-jie, ZHANG Feng-lin, YE Jia-jun

(Key Laboratory of Special Fiber Optics and Optical Access Networks, Ministry of Education, Shanghai University, Shanghai 200072)

【Abstract】 A 100 MS/s data acquisition system based on PCI bus is designed to meet the need of high-speed radar signal sampling. The 6 GB sampling ADC data can be saved on this card and transferred to the computer simultaneously, which is controlled by one FPGA chip. The transfer rate between this card and the computer can reach up 60 MB/s. The SNR of the sampled data can reach 55 dB at 30 MHz.

【Key words】 PCI controller; FPGA; jitter; SNR

1 概述

随着通信、雷达等领域的快速发展, 需要处理的模拟信号带宽以及动态范围越来越大, 对模数转换器的采样速度与精度要求也越来越高。高速与高精度地采集数据所需要的存储带宽变得越来越大, 因此, 如何提高采样数据存储带宽成为高速采集系统设计的瓶颈^[1]之一。

雷达系统要求数据采集系统的时钟采样频率至少为 100 MHz, 模数转换器分辨率至少为 10 bit。

而现有的计算机系统(32 bit PCI 总线)满足不了雷达系统信号的实时传输需求。但雷达信号的有用信息仅占其中的一小部分, 如图 1 所示, 因此, 只要对有用信息进行采样存储就可以实现雷达信号的实时采样存储。

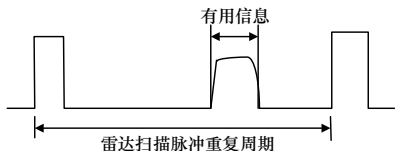


图 1 雷达发射和回波信号

针对雷达信号采集存储的特点, 本文设计了一个 12 bit 100 MS/s 的数据采集系统。该采集系统采用 PCI 总线与计算机相连, 数据采集系统利用板卡大容量存储器对有用信息进行实时存储, 信息采集由系统外部触发信号控制。

2 数据采集卡框架

数据采集系统的框架结构如图 2 所示。整个采集系统分为以下 4 个部分: 模拟信号调制部分, 时钟处理模块, 数据

高速缓存模块, 数据传输与触发模块。

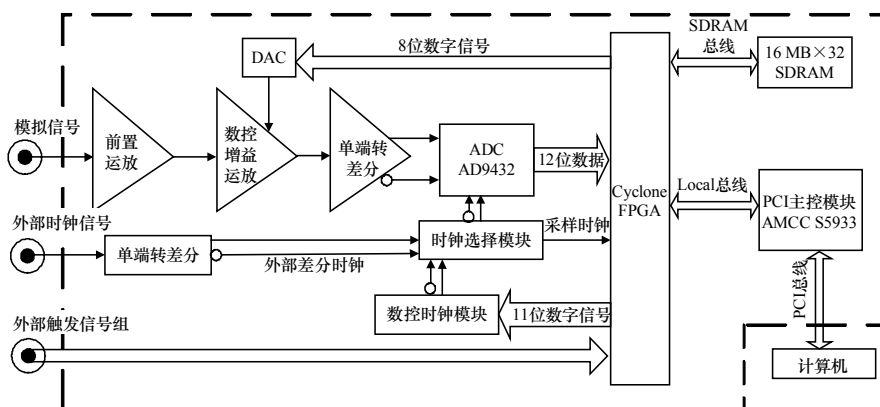


图 2 12 bit 100 MS/s 数据采集系统卡框图

2.1 模拟信号调制

模拟信号调制包括模拟信号前放、信号数控增益以及单端转差分部分。模拟信号前置运放采用 AD9631, 实现输入信号的阻抗匹配及信号的低通滤波。在雷达系统中, 扫描目标与雷达基站的距离不同使采集到的雷达信号幅度不同, 而为了提高采集系统的信噪比, 应该使 ADC 的模拟输入信号幅度接近满幅度^[2]。因此, 在前置运放之后增加了一个压控增益运放芯片 AD603, 以调整 ADC 输入信号的幅度。压控增益芯片 AD603 在 90 MHz 的模拟带宽下, 其增益范围为

基金项目: 国家自然科学基金资助项目“基于骨骼肌结构形态信息的假手控制与建模研究”(60701021); 上海市优秀青年教师基金资助项目(2005); 上海市重点学科建设基金资助项目(T0102)

作者简介: 张俊杰(1978-), 男, 讲师、博士, 主研方向: 高速数据采集, FPGA/ASIC设计; 章凤麟, 硕士研究生; 叶家骏, 教授

收稿日期: 2008-05-26 E-mail: zjj@staff.shu.edu.cn

-11 dB~30 dB。该压控增益芯片的控制电压由一片 8 bit 的 DAC 产生，DAC 芯片选择 MAXIM 公司的 MAX503，芯片的数字输入由 FPGA 控制与产生。

数据采集系统的 ADC 采用 AD 公司的 100 MHz 12 bit 芯片 AD9432，在模拟信号为 45 MHz 时仍然具有 65 dB 的信噪比。由于该 ADC 模拟信号为差分输入，因此从压控增益芯片 AD603 输出的模拟信号经过单端转差分芯片 AD8138 连接到 ADC 芯片上，从 ADC 输出的 12 bit 数字信号直接连接到 FPGA 芯片上。

2.2 时钟模块

为了增加采集系统的灵活性和普适性，ADC 芯片的采样时钟可以来自外部时钟，也可以来自内部时钟。采样时钟的选择是由板卡跳线器决定的。外部时钟通过一个 SMA 接插件连接到采集板上，外部时钟信号为 TTL 电平，由于 ADC 采样时钟需要 PECL 电平，因此外部时钟通过 TTL 到 PECL 电平转换芯片 MC10EL16 连接到时钟选择模块上。

ADC 系统的内部时钟由数控时钟模块产生。数控时钟模块选择频率合成器 SY89429。该器件的时钟输出范围为 25 MHz~400 MHz，输出信号为 PECL 信号，可以直接与 ADC 的采样时钟连接。该频率合成器的输出时钟可以由芯片的 11 位数字信号进行控制，输出时钟调整精度可以精确到 1 MHz。11 位数字信号由 FPGA 控制。

在数据采集系统中，尤其是高速数据采集系统中，时钟是一个非常重要的信号。不同时钟的抖动相差比较大。当采集系统的输入模拟信号带宽较大时，时钟抖动对采集系统的信噪比影响不能忽略。把量化噪声的因素也考虑进去^[3]，对于 12 bit 的 ADC，当输入信号频率为 40 MHz 时，信噪比与采样时钟抖动曲线如图 3 所示，横坐标为采样时钟的抖动，纵坐标为采集系统的信噪比。从图 3 可以看出，若要使 ADC 采集系统的信噪比大于 50 dB，采样时钟的抖动必须控制在 10 ps 以内，否则，外部时钟抖动造成的信噪比损失会降低 AD9432 的性能。本系统采用 SY89429 芯片，其输出时钟抖动峰值最大为 25 ps，时钟抖动均方根为 10 ps 左右，满足系统的设计要求。如果要使用外部时钟，必须选择具有低抖动的外部时钟源。

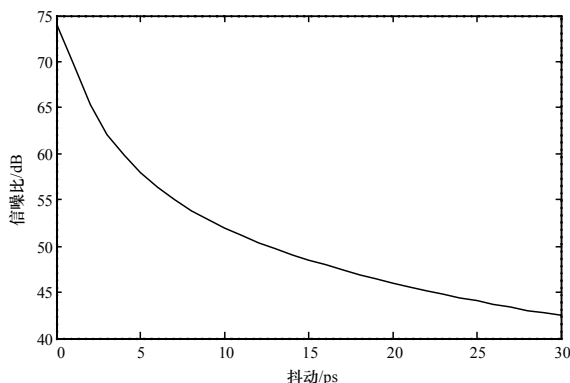


图 3 12 bit ADC 信噪比曲线

2.3 高速数据缓存模块

高速 ADC 数据存储是由 Altera 公司的一片 Cyclone FPGA 芯片控制，其逻辑结构如图 4 所示。

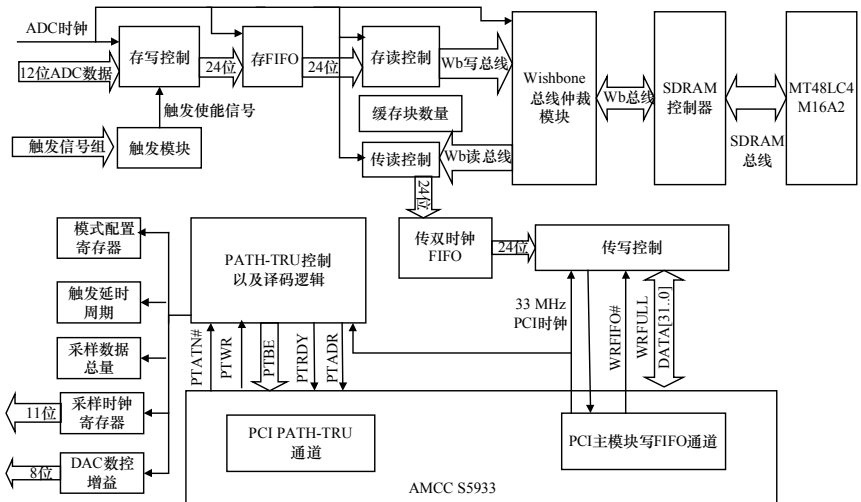


图 4 高速 ADC 数据缓存模块

数据采集系统使用 MICRON 公司 2 片 MT48LC4M16A2 SDRAM 并联起来作为系统的片上存储器。并联 SDRAM 存储器位宽为 32 bit，容量为 16 MB，时钟频率为 100 MHz。相对 SRAM 芯片而言，SDRAM 芯片的工作速度更高、容量更大，为系统设计提供了更高的灵活性。为了提高 SDRAM 的传输带宽，SDRAM 控制器的突发长度 (burst length) 定为 8，这个突发长度是除全页读/写外的最大突发长度。

从高速 ADC 过来的 100 MHz 12 bit 信号在触发使能信号有效时，由存写控制模块把 ADC 数据流的位宽扩展 1 倍，扩展后的 24 bit 采样数据写入存 FIFO 中。当存读控制模块检测到存 FIFO 中数据深度大于 8 时，从存 FIFO 里读取 8 个 24 bit 的采集数据，并利用 Wishbone(Wb)^[4]写总线把数据传递到 SDRAM 控制器，由 SDRAM 控制器把数据写入外部的 SDRAM 芯片中。虽然外部 SDRAM 芯片的数据总线宽度为 32 bit，但实际用到的仅为 24 bit，即 SDRAM 总线的理论传输带宽为 300 MB/s。考虑到 SDRAM 的刷新以及突发传输的开销，实际能够达到 200 MB/s，而 ADC 采样数据的传输带宽为 150 MB/s，因此，SDRAM 控制器足以满足采样数据的实时存储。

存 FIFO 的容量为 2 KB，位宽为 24 bit。由于 SDRAM 的操作包括刷新、突发读操作与突发写操作，从存写控制模块输出的数据并不能实时存储到 SDRAM 中，因此利用存 FIFO 完成数据存储速度的匹配及数据的 FPGA 片内暂存。

存读控制模块负责向 SDRAM 控制器发起突发写操作，由于 SDRAM 控制器采用突发传输操作，因此存读控制模块每次必须向 SDRAM 传输一个块 (16 个采样数据)，这要求 ADC 传输的数据量必须是 16 的倍数，也符合实际需求。为了提高 Wb 写总线的传输性能，存读控制模块一旦检测到存 FIFO 中的数据量大于或等于一个块，就启动 Wb 写总线操作。在整个数据采集系统中，SDRAM 以环形的方式存储采样数据，提高了 SDRAM 的使用效率，简化了系统的逻辑设计。

2.4 数据传输与触发模块

利用 AMCC 公司的 PCI 主控器件 S5933 把采样数据传输到计算机内存中。S5933 是一种功能很强、使用灵活的 PCI 总线控制器专用芯片。它完全符合 PCI 局部总线规范 2.11，既可以做 PCI 总线的从设备，又可以做 PCI 总线的主设备用于数据传输^[5]。

S5933 有 3 个接口：PCI 总线接口，ADDON 总线接口和

外部参数配置 NVRAM 接口。PCI 总线接口与计算机的 PCI 总线插槽相连。计算机与用户端可以通过 ADDON 总线接口的 FIFO 通道、PATH-THRU 通道进行相互通信。PCI 总线利用 PATH-THRU 通道与用户端进行信息交互。用户端利用 FIFO 通道把本地存储数据通过计算机的 PCI 总线传递到计算机内存中。系统逻辑实现框图见图 4。

计算机利用 S5933 的 PASS-TRU 操作控制 FPGA 内部的寄存器。当计算机发出的 PCI 地址落在 PASS-THRU 定义的某个区中时, S5933 通过 PTATN#向 FPGA 的 PATH-TRU 控制及译码逻辑发出请求。PATH-TRU 控制与译码逻辑根据 PTAWR 信号判断本次操作是 PATH-TRU 读操作还是写操作, 利用 PTADR 信号获取本次 PATH-THRU 操作的地址信息(该地址存放在 S5933 的 PATH-TRU 地址寄存器内部)。FPGA 利用 PATH-THRU 操作的地址信息进行相应的译码, 选通内部不同的寄存器。

计算机通过 S5933 的 PATH-THRU 通道完成以下工作:

(1)根据计算机采集到模拟信号的最大数值, 通过 DAC 数控增益寄存器使 ADC 的模拟信号输入接近满幅度输入。

(2)通过 ADC 采样时钟寄存器设置 ADC 采样时钟工作频率(如果采用内部时钟)。

(3)设置 ADC 需要采集的数据总量: 数据总量寄存器为 32 位, 足以满足现有雷达系统的需求, 数据总量寄存器必须为 16 的倍数。

(4)通过模式配置寄存器设置 ADC 高速采集系统的工作模式: 设置 ADC 外部触发信号的触发模式(电平触发或者边沿触发), 设置 ADC 采集信号以软件触发还是硬件触发(即外部触发), 控制 ADC 采样使能。

(5)设置触发延迟周期: 雷达系统的触发延时采样时间可以通过该寄存器进行设置。

触发模块根据触发条件、采样数据总量及单次触发采样数量产生触发使能信号, 该信号相当于存 FIFO 的写使能信号。

计算机利用 S5933 的 PCI 主模块 FIFO 通道实现采样数据到计算机内存的自动传输。S5933 内部的 FIFO 通道写操作由 FPGA 完成, 读操作由 S5933 内部控制器完成。

传写控制模块一旦检测到 S5933 的 WRFULL(FIFO 通道满信号)信号无效, 即 PCI 主模块写 FIFO 通道非满, 则从非空传双时钟 FIFO 中读取数据, 并把数据写入到 S5933 的 PCI 主模块写 FIFO 通道。

缓存块数量记录 SDRAM 控制器内部还有多少个数据块有待传输, 在向 SDRAM 写入一个数据块时, 缓存块数量加 1, 在从 SDRAM 读取一个数据块时, 缓存块数量减 1。

传双时钟 FIFO 容量为 2 KB, 实现读写速率的匹配及传输数据的缓冲。传双时钟 FIFO 的写控制由传读控制逻辑完成。传读控制逻辑只有在采集数据没有传输完毕且传双时钟 FIFO 非满时, 才启动 Wb 读总线操作, 从 SDRAM 缓冲区读取一个数据块并把该数据块写入传双时钟 FIFO 中。

Wishbone 总线仲裁模块实现 Wb 写总线与 Wb 读总线的仲裁, 其采用固定优先级的方式, Wb 写总线的优先级比 Wb 读总线的优先级高, 保证了采样数据的实时本地存储。

3 软件设计

为了提高数据的传输率和减少 CPU 资源的占用, 采用 PCI 主控方式实现数据采集到计算机内存的数据传递。然而

由于 S5933 芯片单次传输的数据量最大为 64 MB, 因此若要连续传输大于 64 MB 的数据, 则需要启动多次主模式数据传输。在数据传输过程中, CPU 不对这一过程进行控制。图 5 为单次数据传输时的软件工作流程。

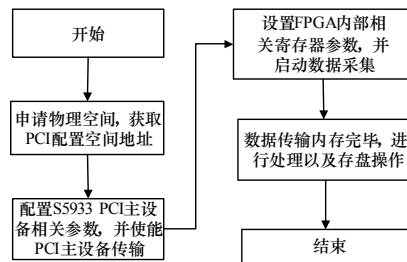


图 5 软件工作流程

软件首先执行 PCI 总线扫描, 获取 S5933 芯片所占用的 PCI 配置空间地址, 接着向操作系统申请采集数据传递到计算机内存的物理空间, 并把该物理空间地址映射到 S5933 PCI 主设备上。然后软件配置 S5933 芯片内部寄存器, 包括 DMA 传输数据总量以及 PCI 总线传输特性等寄存器, 并使能 S5933 PCI 主控操作。S5933 等待 FPGA 向其发送采集数据, 若 S5933 芯片内部写 FIFO 通道非空, 则发起 PCI 总线操作把数据传递到计算机内存中。

软件根据实际雷达需求通过 S5933 的 PASS-TRU 操作对 FPGA 内部相关寄存器进行配置, 设置数据采集系统相关参数, 并触发使能 FPGA 数据采集。雷达信号的数据采集及存储由硬件全自动完成, 当采样数据达到 S5933 单次数据传输总量时, S5933 向计算机发起中断申请。软件在该中断处理程序中完成采样数据的读取及存盘操作, 并能对采样数据进行相应的处理, 如 FFT 变换。

在计算机进行多次 DMA 数据传输参数设置期间, 数据采集卡大容量缓存保证了采样数据的无丢失存储。

4 性能分析与测试

本文的数据采集系统采样频率为 25 MHz~100 MHz, 可以按 1 MHz 的步长进行动态调整。采集系统支持多种外部触发模式, 外部触发模式由可编程逻辑器件动态设计。

板卡内置的 32 MB 片内存储器决定了有用信息的采集时间, 在 100 MHz 采样频率下, 有用信息持续采集时间能够达到到 160 ms。

该采集系统能够实时传输的数据量受限于可编程逻辑器件内部的寄存器大小以及计算机内存大小, 本系统采用 32 位的寄存器, 能够传输的数据理论总量为 2^{32} 个采样点, 即 6 GB。设计的数据采集系统经过测试, 其 PCI 平均传输速度为 60 MB/s(多次 DMA 数据传输), 在 100 MHz 的工作频率下, 为了实现雷达信息的实时采集, 雷达系统的扫描周期与有用信息采集时间之比应该大于 2.5。本系统涉及的雷达有用信息采样时间为 72 μ s, 雷达扫描周期为 360 μ s, 因此, 本文的高速数据采集系统满足该雷达系统的实时存储与传输要求。测试表明, 该系统的信噪比达到 55 dB(30 MHz 模拟信号), 能够满足该雷达系统的性能需求。

5 结束语

本文根据雷达信号的特点完成了高速数据采集系统的设计。本系统能够完成雷达信号的实时采集与存储, 系统信噪比性能达到雷达的需求。由于采用可编程逻辑器件, 因此系统还能满足其他场合的需求。(下转第 212 页)

而 TAP 时序控制逻辑是协议转换的核心逻辑,完成如下功能:

(1)命令识别:产生除主机接口单元外的其他单元的控制信号,使整个 TAP 控制逻辑进行有序的工作。

(2)计数:提供数据移位的时间标准,在移位操作结束时给出结束信号。

(3)TDI 缓冲:从 TAP 接口中的 TDI 信号线接收数据,转化成并行数据后存放到 TDI 寄存器中。

(4)TDO 缓冲:将 TDO 寄存器的数据按 IEEE 1149.1 标准中规定的格式,从 TAP 接口中的 TDO 信号线发送到待测电路中。

(5)TMS 生成:根据来自命令识别模块的控制信号和状态信号产生 TAP 接口中的 TMS 信号,同时根据产生的 TMS 信号给出待测电路板当前所处的状态。

(6)TCK 生成:产生 TAP 接口中的 TCK 信号,且时钟频率可调。

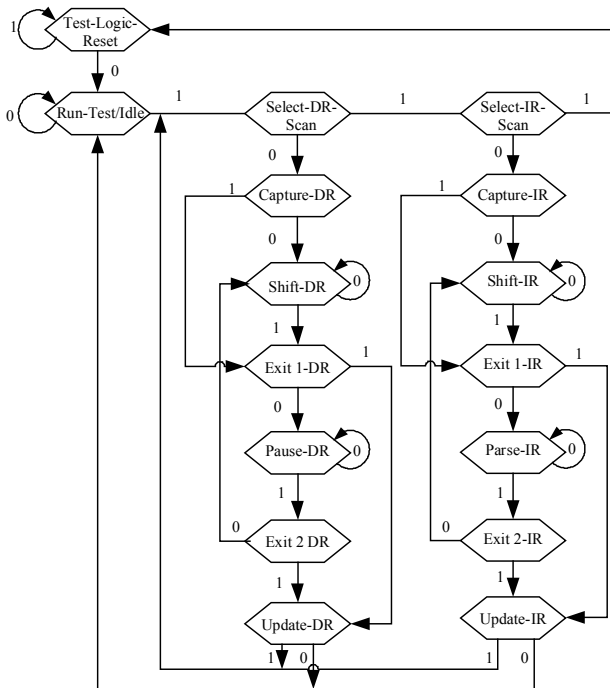


图 4 TAP 控制器状态

5 实验

控制器用 Verilog 语言编写,对 JTAG 主控芯核进行一系列时序仿真后,将其集成在一片 CPLD 芯片内,应用于边界扫描控制器的设计中。组建一个边界扫描测试实验系统,以

对边界扫描控制器作进一步验证。

边界扫描控制器接收主控计算机发来的控制命令及发向被测件的测试数据,同时接收测试响应数据,通过发送测试数据和接收测试相应数据来观察控制器的数据传输速度。采用同步传输方式,接口芯片的时钟是 48 MHz,传输的数据宽度是 16 bit。图 5 和图 6 是通过逻辑分析仪截获的数据输出和输入的时序图。

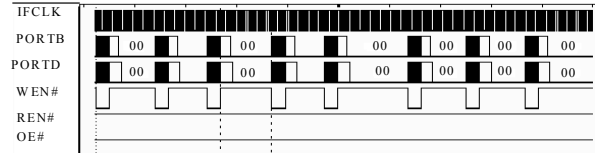


图 5 控制器写时序图

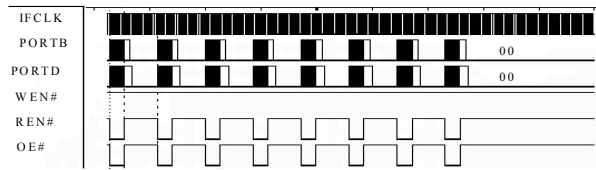


图 6 控制器读时序图

传输的数据是以 512 Byte 块的方式传输。经过计算分析,数据的传输率可以达到 $23 \text{ M} \times 16 \text{ bit/s} = 368 \text{ Mb/s}$, 达到了理想的数据传输速率。

6 结束语

本文提出基于 USB2.0 总线的高速边界扫描控制器,支持热插拔和即插即用,最大化地利用了 USB2.0 的传输带宽,在 FX2 与 CPLD 之间采用 GPIF 主模式的通信方式,符合边界扫描测试时对测试数据高速率传输的要求,缩短了边界扫描的测试时间,提高了扫描效率。

参考文献

- [1] Test Technology Technical Committee of the IEEE Computer Society. IEEE Std1149.12-1990 IEEE Standard Test Access Port and Boundary Scan Architecture[S]. 1990.
- [2] 王成儒,李英伟. USB2.0 原理与工程开发[M]. 北京: 国防工业出版社, 2004.
- [3] 林金晓,陈伟男,周学功,等. 基于 Eclipse 平台的边界扫描测试软件的开发[J]. 计算机工程, 2007, 33(12): 280-282.
- [4] 钱峰. EZ-USB FX2 单片机原理编程及应用[M]. 北京: 北京航空航天大学出版社, 2006.

(上拉第 209 页)

参考文献

- [1] 张蕴玉,王元祥,胡修林. 高速数据采集系统中的存储瓶颈问题及其解决[J]. 微计算机应用, 2007, 28(6): 610-613.
- [2] 张俊杰,乔崇,刘尉悦,等. 高速数据采集系统中时钟抖动研究[J]. 中国科学技术大学学报, 2005, 35(2): 227-231.
- [3] Dalt N D. On the Jitter Requirements of the Sampling Clock for

Analog-to-Digital Converters[J]. IEEE Transactions on Circuits and Systems, 2002, 49(9): 1354-1360.

- [4] 陈双燕,王东辉,张铁军,等. 基于 WISHBONE 的可兼容存储器控制器设计[J]. 计算机工程, 2006, 32(18): 240-242.
- [5] 张平,刘寄,伍卫华. 基于 S5933 的高速数据采集卡控制设计[J]. 重庆大学学报, 2006, 29(10): 69-73.