

# 基于 FPGA 的 SPI 控制器

## 一 SPI 协议概括

SPI, 是英语 Serial Peripheral interface 的缩写, 顾名思义就是串行外围设备接口。是 Motorola 首先在其 MC68HCXX 系列处理器上定义的。SPI 接口主要应用在 EEPROM, FLASH, 实时时钟, AD 转换器, 还有数字信号处理器和数字信号解码器之间。SPI, 是一种高速的, 全双工, 同步的通信总线, 并且在芯片的管脚上只占用四根线, 节约了芯片的管脚, 同时为 PCB 的布局上节省空间, 提供方便, 正是出于这种简单易用的特性, 现在越来越多的芯片集成了这种通信协议, 比如 AT91RM9200。

SPI 的通信原理很简单, 它以主从方式工作, 这种模式通常有一个主设备和一个或多个从设备, 需要至少 4 根线, 事实上 3 根也可以 (单向传输时)。也是所有基于 SPI 的设备共有的, 它们是 SDI (数据输入), SDO (数据输出), SCK (时钟), CS (片选)。

- (1) SDO - 主设备数据输出, 从设备数据输入
- (2) SDI - 主设备数据输入, 从设备数据输出
- (3) SCLK - 时钟信号, 由主设备产生
- (4) CS - 从设备使能信号, 由主设备控制

其中 CS 是控制芯片是否被选中的, 也就是说只有片选信号为预先规定的使能信号时 (高电位或低电位), 对此芯片的操作才有效。这就允许在同一总线上连接多个 SPI 设备成为可能。

接下来就负责通讯的 3 根线了。通讯是通过数据交换完成的, 这里先要知道 SPI 是串行通讯协议, 也就是说数据是一位一位的传输的。这就是 SCK 时钟线存在的原因, 由 SCK 提供时钟脉冲, SDI, SDO 则基于此脉冲完成数据传输。数据输出通过 SDO 线, 数据在时钟上升沿或下降沿时改变, 在紧接着的下降沿或上升沿被读取。完成一位数据传输, 输入也使用同样原理。这样, 在至少 8 次时钟信号的改变 (上升和下降沿为一次), 就可以完成 8 位数据的传输。

要注意的是, SCK 信号线只由主设备控制, 从设备不能控制信号线。同样, 在一个基于 SPI 的设备中, 至少有一个主控设备。这样传输的特点: 这样的传输方式有一个优点, 与普通的串行通讯不同, 普通的串行通讯一次连续传送至少 8 位数据, 而 SPI 允许数据一位一位的传送, 甚至允许暂停, 因为 SCK 时钟线由主控设备控制, 当没有时钟跳变时, 从设备不采集或传送数据。也就是说, 主设备通过对 SCK 时钟线的控制可以完成对通讯的控制。SPI 还是一个数据交换协议: 因为 SPI 的数据输入和输出线独立, 所以允许同时完成数据的输入和输出。不同的 SPI 设备的实现方式不尽相同, 主要是数据改变和采集的时间不同, 在时钟信号上升沿或下降沿采集有不同定义, 具体请参考相关器件的文档。

在点对点的通信中, SPI 接口不需要进行寻址操作, 且为全双工通信, 显得简单高效。在多个从设备的系统中, 每个从设备需要独立的使能信号, 硬件上比 I2C 系统要稍微复杂一些。

最后, SPI 接口的一个缺点: 没有指定的流控制, 没有应答机制确认是否接收到数据。

AT91RM9200 的 SPI 接口主要由 4 个引脚构成: SPICLK、MOSI、MISO 及 /SS, 其中 SPICLK 是整个 SPI 总线的公用时钟, MOSI、MISO 作为主机, 从机的输入输出的标志, MOSI 是主机的输出, 从机的输入, MISO 是主机的输入, 从机的输出。/SS 是从机的标志管脚, 在互相通信的两个 SPI 总线的器件, /SS 管脚的电平低的是从机, 相反 /SS 管脚的电平高的是主机。在一个 SPI 通信系统中, 必须有主机。SPI 总线可以配置成单主单从, 单主多从, 互为主从。

SPI 的片选可以扩充选择 16 个外设, 这时 PCS 输出 = NPCS, 说 NPCS0~3 接 4-16 译码器, 这个译码器是需要外接 4-16 译码器, 译码器的输入为 NPCS0~3, 输出用于 16 个外设的选择。

## 二 SPI 协议举例

SPI 是一个环形总线结构, 由 ss (cs)、sck、sdi、sdo 构成, 其时序其实很简单, 主要是在 sck 的控制下, 两个双向移位寄存器进行数据交换。

假设下面的 8 位寄存器装的是待发送的数据 10101010, 上升沿发送、下降沿接收、高位先发送。

那么第一个上升沿来的时候 数据将会是 sdo=1; 寄存器=0101010x。下降沿到来的时候, sdi 上的电平将所存到寄存器中去, 那么这时寄存器=0101010sdi, 这样在 8 个时钟脉冲以后, 两个寄存器的内容互相交换一次。这样就完成了一个 spi 时序。

举例:

假设主机和从机初始化就绪: 并且主机的 sbuff=0xaa, 从机的 sbuff=0x55, 下面将分步对 spi 的 8 个时钟周期的数据情况演示一遍:假设上升沿发送数据

脉冲	主机 sbuff	从机 sbuff	sdi	sdo
0	10101010	01010101	0	0
1 上	0101010x	1010101x	0	1
1 下	01010100	10101011	0	1
2 上	1010100x	0101011x	1	0
2 下	10101001	01010110	1	0
3 上	0101001x	1010110x	0	1
3 下	01010010	10101101	0	1
4 上	1010010x	0101101x	1	0
4 下	10100101	01011010	1	0
5 上	0100101x	1011010x	0	1
5 下	01001010	10110101	0	1
6 上	1001010x	0110101x	1	0
6 下	10010101	01101010	1	0
7 上	0010101x	1101010x	0	1
7 下	00101010	11010101	0	1
8 上	0101010x	1010101x	1	0

这样就完成了两个寄存器 8 位的交换，上面的上表示上升沿、下表示下降沿，**sdi**、**sdo** 相对于主机而言的。其中 **ss** 引脚作为主机的时候，从机可以把它拉底被动选为从机，作为从机的是时候，可以作为片选脚用。根据以上分析，一个完整的传送周期是 16 位，即两个字节，因为，首先主机要发送命令过去，然后从机根据主机的命令准备数据，主机在下一个 8 位时钟周期才把数据读回来。

**SPI** 总线是 **Motorola** 公司推出的三线同步接口，同步串行 3 线方式进行通信：一条时钟线 **SCK**，一条数据输入线 **MOSI**，一条数据输出线 **MISO**；用于 CPU 与各种外围器件进行全双工、同步串行通讯。**SPI** 主要特点有：可以同时发出和接收串行数据；可以当作主机或从机工作；提供频率可编程时钟；发送结束 中断标志；写冲突保护；总线竞争保护等。下图示出 **SPI** 总线工作的四种方式，其中使用的最为广泛的是 **SPI0** 和 **SPI3** 方式 (实线表示)：

脉冲	主机 sbuff	从机 sbuff	sdi	sdo
0	10101010	01010101	0	0
1 上	0101010x	1010101x	0	1
1 下	01010100	10101011	0	1
2 上	1010100x	0101011x	1	0
2 下	10101001	01010110	1	0
3 上	0101001x	1010110x	0	1
3 下	01010010	10101101	0	1
4 上	1010010x	0101101x	1	0
4 下	10100101	01011010	1	0
5 上	0100101x	1011010x	0	1
5 下	01001010	10110101	0	1
6 上	1001010x	0110101x	1	0
6 下	10010101	01101010	1	0
7 上	0010101x	1101010x	0	1
7 下	00101010	11010101	0	1
8 上	0101010x	1010101x	1	0

#### SPI 总线四种工作方式

SPI 模块为了和外设进行数据交换，根据外设工作要求，其输出串行同步时钟极性和相位可以进行配置，

时钟极性（CPOL）对传输数据没有影响。如果 CPOL = 0，表示同步时钟的高电平为数据采样点。如

