

基于 FPGA 的 32 阶 FIR 滤波器设计

Design of 32 Order FIR Filter based on FPGA

张兆东

扬州职业大学 江苏 扬州 225009

【摘要】研究了一种采用 FPGA 实现 32 阶 FIR 数字滤波器硬件电路方案,讨论了窗函数的选择、滤波器的结构以及系数量化问题;研究了 FIR 滤波器的 FPGA 实现,各模块的设计以及如何优化硬件资源,提高运行速度等问题。实验结果表明了该方法的有效性。

【关键词】FIR 滤波器 FPGA VHDL

【中图分类号】TN911

【文献标识码】B

1、引言

在数字信号处理中,数字滤波器的应用是极其广泛和重要的单元。与模拟滤波器相比,数字滤波器可以克服模拟滤波器所无法克服的电压漂移,温度漂移以及噪声等问题。数字滤波器根据冲击响应函数的特性,可以分为 IIR 滤波器和 FIR 滤波器两种。由于 FIR 滤波器只有零点、系统稳定等诸多优点在工程上得到了广泛的应用。目前,FIR 滤波器的实现主要有三种方法:利用单片通用数字滤波器集成电路、DSP 器件和可编程逻辑器件实现。单片通用数字滤波器使用方便,但由于字长和阶数的规格较少,不能完全满足实际需要。使用 DSP 器件实现虽然简单,但由于程序顺序执行,执行速度必然不快。FPGA 有着规整的内部逻辑阵列和丰富的连线资源,特别适合于数字信号处理任务。基于 FPGA 的 FIR 滤波器的设计也要很多方法,如采用并行乘法器实现、串行乘法器实现、查找表结构实现等等,随着滤波器阶数的增大,FIR 滤波器占有的 FPGA 内部逻辑阵列必然急剧增加,各种方法大体都是围绕如何有效的设计乘法器,最大效率的使用逻辑阵列。

2、指标的确定

根据工程项目的需要,选定 FIR 滤波器的性能指标如下:信号是由 8 位 AD 转换器来完成的;采样频率 $F_s = 60\text{KHz}$,截止频率 $F_c = 3\text{KHz}$,最小阻带衰减 $A_s = 50\text{dB}$,滤波器阶数 $N = 32$ 。

3、窗函数的选择以及滤波器结构

在窗函数的选择时,不仅希望主瓣尽可能的窄,以获得较陡的过渡带,还希望尽量减少最大旁瓣的相对幅度,即能量集中在于主瓣。实际上,二者通常不可兼得,不得不在设计中有所侧重。

采用矩形窗是最直接和简便的方法,但矩形窗主旁瓣比仅为。因此实际设计中,一般采用其他窗函数,比较常用的窗函数有 Hanning 窗、Hamming 窗、Blackman 窗、Kaiser 窗等。采用 Hanning 窗使能量集中在主瓣内,主旁瓣比为 31dB,但主瓣的宽度增加了 1 倍。采用 Hamming 窗使 99.9% 以上的能量集中在主瓣,主旁瓣比达 43dB,主瓣的宽度也是矩形窗的 2 倍。Blackman 窗进一步抑制旁瓣,使主旁瓣比达到 58dB,但主瓣的宽度是矩形的 3 倍。Kaiser 窗是一种比较灵活的窗,可以通过调整 beta 的值,达到窗的旁瓣幅度和主瓣宽度之间的折衷,

本设计采用 Kaiser 窗。

FIR 滤波器的差分方程为：

$$y(n) = \sum_{k=0}^{31} h(k) x(n-k) = \sum_{k=0}^{15} h(k) [x(n-k) + x(n-31+k)]$$

所以系统需要 16 个乘累加器 31 个延时单元。

4. 系数设计与量化

Matlab 中提供了数字信号处理工具箱,其中包含了 FIR 滤波器的设计,窗函数法由 fir1、fir2 两个函数来实现,它们分别用来设计单带、多带滤波器,根据前面定义的指标,当时,使用 Kaiser 窗设计的滤波器系数,如表 1 所示。

FPGA 只能进行定点数的运算,但我们设计的滤波器系数是一组有符号浮点数,其大小在 (-1, 1) 之间,必须进行浮点到定点的转换,即系数量化。

在这里采用缩放 2^n 倍量化法,在对滤波器系数进行量化时,为了提高其量化效率,可以先对其缩放,即乘以一个缩放因子 2^n ($n=0, 1, 2, \dots$),并且使缩放后绝对值最大的系数的值小于 1 且最接

近 1,然后再对缩放后的系数进行量化,参与滤波器运算,在滤波器输出时,对数据流右移位,就可以将数据流重新还原,如表 2 所示。

根据系数的最大值是 0.063561,所以缩放因子取 8,量化后的频率响应如图,满足通带线性相位的要求和阻带最小衰减的要求,如图 1 所示。

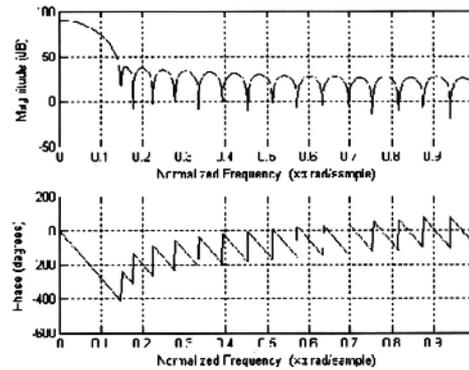


图 1 量化后 FIR 滤波器频率响应

5. FIR 的 FPGA 实现

本文采用了串并乘法器的方法,输入数据是 8 位并行的,所以,必须先进行并串转换,输出也需进行串并转换,输出 8 位数据,如图 2 所示:

表 1 量化前滤波器系数

h(0)	h(1)	h(2)	h(3)	h(4)	h(5)	h(6)	h(7)
0.001144	0.002480	0.004461	0.007190	0.01073	0.015091	0.020222	0.026003
h(8)	h(9)	h(10)	h(11)	h(12)	h(13)	h(14)	h(15)
0.032247	0.038706	0.045086	0.051068	0.056332	0.060579	0.063561	0.065098
h(16)	h(17)	h(18)	h(19)	h(20)	h(21)	h(22)	h(23)
0.065098	0.063561	0.060579	0.056332	0.051068	0.045086	0.038706	0.032247
h(24)	h(25)	h(26)	h(27)	h(28)	h(29)	h(30)	h(31)
0.026003	0.020222	0.015091	0.01073	0.007191	0.004462	0.002480	0.001144

表 2 量化后滤波器系数

h(0) h(31)	h(1), h(30)	h(2), h(29)	h(3), h(28)
000000100101	0000001010001	0000010010010	0000011101011
h(4), h(27)	h(5), h(26)	h(6), h(25)	h(7), h(24)
0000101011111	0000111101110	0001010010110	0001101010100
h(8), h(23)	h(9), h(22)	h(10), h(21)	h(11), h(20)
0010000100000	0010011110100	0010111000101	0010111000101
h(12), h(19)	h(13), h(18)	h(14), h(17)	h(15), h(16)
0011100110101	0011111000001	0100000100010	0100001010101



图2 FIR 整体示意图

FIR 的内部结构如图 3 所示:它是由并串转换器、延时器 (DELAY)、串行加法器 (SADD)、串并乘法器 (SPM)、流水线加法器组 (SUM)、串并转换器、使能控制逻辑组成。

串行数据 $x(n)$ 通过延时器产生信号 $x(n-k)$, 经过串行加法器后, 输出 $x(n-k) + x(n-(31-k))$, 再经过串并乘法器和流水线加法器组后, 就可以实现、差分方程, 从而实现了滤波功能。

5.1 串并乘法器

串并乘法器在 FPGA 上可以很好的执行, 这种乘法器有一个串行输入端、一个并行输入端 (用来构成系数)、一个串行 4 输出端。本文采用的是 Baugh - Wooley 补码阵列乘法器。该算法的优点是所有被加数的符号均是正的, 所以可以只采用一种加法器来构成。

5.2 流水线加法器组

流水线加法器组是对 16 个乘法器输出的串行信号进行累加, 它实际上由多个串行加法器组成的, 流水线技术是把一个周期内执行的操作分解成几步较小的操作, 在几个连续的时钟内完成, 将 16 个输入的串行加法运算分解成每次由两个加法器来实现的加法器组, 在四个周期内完成 16 个串行位的加法运算, 在流水工作的情况下, 其运算速度约为一个时钟周期, 使用 FPGA 实现的资源减小了。

5.3 串并转换器

串并转换器对输入的串行数据进行重新组装, 满足输出并行数据的要求, 它在时钟控制下进行工作, 实际上, 由于滤波器系数放大了 8 倍, 经过乘加运算后, 数据位的宽度应该是 24 位, 但识别系统要求数据位的宽度是 8 位, 本设计采取截取高 8 位, 即只对高 8 位进行串并转换, 舍弃低 16 位的方法, 这样可以获得 8 位输出数据。

5.4 滤波器时延

滤波器的处理时延可以计算数据从输入到输出的使用的时钟周期数来计算, 它是数据经过各个组件产生的总的延时。当使能信号为高电平时, 经过 31 个 CP 信号后, 串并转换器输出数据, 因此, 在忽略门电路延时的情况下, 系统的处理延时为 31 个 CP, FPGA 时钟频率选用 25MHz, 其延时有 $1.24\mu s$ 。

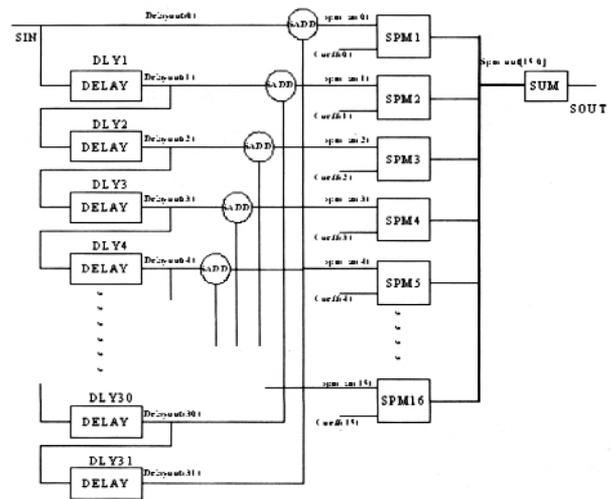


图3 FIR 内部结构图

FIR 滤波器具有一个恒群延迟, 其大小为 $N/2$, 对于本文的 32 阶系统来说, 群延迟为 16 个点, 当采样频率为 60KHz 时, 延迟时间为 $267\mu s$ 。

6、结论

FIR 滤波器在数字处理领域有着广泛的使用, 本文实现了一种采用 FPGA 方法的 FIR 滤波器, 并讨论了在设计中遇到的一些关键性问题, 仿真结果表明所设计的设计、验证的方法已成功应用于工程实践。

参考文献

1. C. L. Chen, K. Y. Khoo, and A. N. Willson, Jr. An Improved Polynomial-Time Algorithm for Designing Digital Filters with Purer-of-Two Coefficients. in Proceedings of 1995 IEEE ISCAS, (Seattle, WA). 1995

(下转 80 页)

被困垓下，夜闻四面汉军唱楚歌而心惊胆战的故事。现在我们用这个成语，一般形容多面受攻击或处境困难。我们直译这个历史典故为“Xiangyu heard Chu songs on all sides”，如果在此基础上再加上一句注释“be surrounded by danger/be surrounded by enemies on all sides”，就会显得非常清晰明了。再比如“东施效颦”，如果译成“Dongshi, an ugly woman, knitting her eyebrows in imitation of the famous beauty Xishi only to make herself uglier”，对于不了解西施是什么人物的一般外国读者来说，读了这个翻译仍是感觉“丈二和尚摸不着头脑”，起不到应有的效果。如果在上文的翻译之后加上一点解释“blind imitation with ludicrous effect”，意思就会一目了然。这种直译加意译的方法不仅能够使翻译通理达意，而且还可以一定程度上介绍中国文化到国外去。随着中国在国际上地位的增强，学习中文的外国人越来越多，在国外掀起了一股“汉语热”。借此契机，在努力使我们的文化走向国门，让世界人了解中国的文化之际，利用这种方法翻译承载中国历史文化的特殊的语言形式——谚语不失为上策。再举四大名著《三国演义》中的两个典故的翻译，

事后诸葛亮

to be Zhuge Liang after the event, to be wise after the event

司马昭之心 路人皆知

Sima Zhao's ill intent is known to all, the villain's design is obvious.

(上接 77 页)

2. 潘松,王国栋. VHDL 实用教程 [M]. 成都:电子科技大学出版社, 2000. 3

3. (美) Keshab K. Parhi 著. VLSI 数字信号处理系统设计及实现 [M]. 北京:机械工业出版社, 2004. 6

Abstract: To study method to implement 32 order FIR filter based on FPGA in this paper; With the design, how

当然并不是所有情况下直译加意译法可以行得通的。对于谚语这种特殊的语言形式，要想在翻译中仍然保持神韵形式兼具是一件非常困难的事情。但是，从读者的接受以及文化传播角度来讲，这种方法是可以优先考虑的。

参考文献

[1] 崔静, 任怀平. Cultural Dissimilarities and Idiom Translation [A]. 译学词典与译学论文集 [C]. 济南:山东大学出版社, 2003

[2] 冯玉律. 词语的文化内涵与翻译 [M]. 文化与翻译. 北京:中国对外翻译出版公司, 2000.

[3] 精选英语谚语 3000 句 [M]. 上海:上海科技教育出版社, 1987.

[4] 童恩正. 文化人类学 [M]. 上海:上海人民出版社, 1989.

[5] 张复星. 试论成语翻译的灵活性 [A]. 英语学科研究文集 [C]. 北京:外语教学与研究出版社, 1998.

Abstract: As an important part of language, proverbs are concise, comprehensive and phonological. Proverbs can be translated in many ways. From the point view of proverbs' characteristics and cultural exchange, the author argues that in many cases the mixture of both literal translation and free translation is a good technique to deal with proverbs.

Key words: translation ; proverb ; literal translation ; free translation

to select the windows function, struct and coefficients for FIR filter, how to accelerate the operation and optimize the availability of hardware resource are discussed. The example shows that the proposed method is feasible and efficient.

Key words: FIR filter ; FPGA ; VHDL