

# MOSFET

# INTRODUCE

Roc\_zhu@pegatroncorp.com

# 目錄

- MOS簡介
- MOS特徵
- MOS在開關電路中的應用與計算

# MOS簡介

- MOS的歷史來源
- MOS的優點
- MOS的分類
- MOS的結構
- MOS的基本參數

# MOSFET的歷史來源

很久以前，我們只知道如何利用二極管來實現開關，但是，我們只能對其進行開關操作，而不能逐漸控制信號流。此外，二極管作為開關取決于信號流的方向，我們不能對其編程以通過或屏蔽一個信號。直到1947年發明了三極管，它就像一個控制發射機電流流動的“龍頭”——控制龍頭的“手”就是基極電流。雙極型三極管因此是電流控制型的器件。之後不久一對杰出的父子發明了FET，FET的三個電極分別被稱為漏極、柵極和源極。FET主要有兩個變種，它們針對不同類型的應用做了最大優化：JFET被用於小信號處理，而MOSFET主要用於線性或開關電源中。

# MOSFET的優點

三極管用于功率應用電路中時，有很多局限性，雖然在一些電器中仍能采用雙極型三極管，但是它們的用途實際上被限制到小於**10KHZ**的電路，並且在整體效率成為關鍵參數的技術前沿應用中，它們已基本全部退出。

**BJT**是少數載流子器件，而所有少數載流子器件相關的存儲電荷問題限制了最大工作速度，而**MOSFET**的主要優勢是作為多數載流子器件，不存在少數載流子存儲電荷問題，因此，其工作頻率要高的多，**MOSFET**的開關延遲特性完全是因為寄生電容的充放電。

由於器件在開關狀態的持續時間內既有大電流又有高電壓，器件工作速度快，其損耗的能量就較少，僅這一個優勢就能彌補高壓**MOSFET**存在的導通損耗稍高的問題。

雙極型三極管受電流驅動，因為增益隨集電極電流的增加而大幅度降低，我們要驅動的電流越大，則我們需要提供的電流也越大，在高溫的情況下會加重，需要更大的電流，這不但使三極管消耗大量的

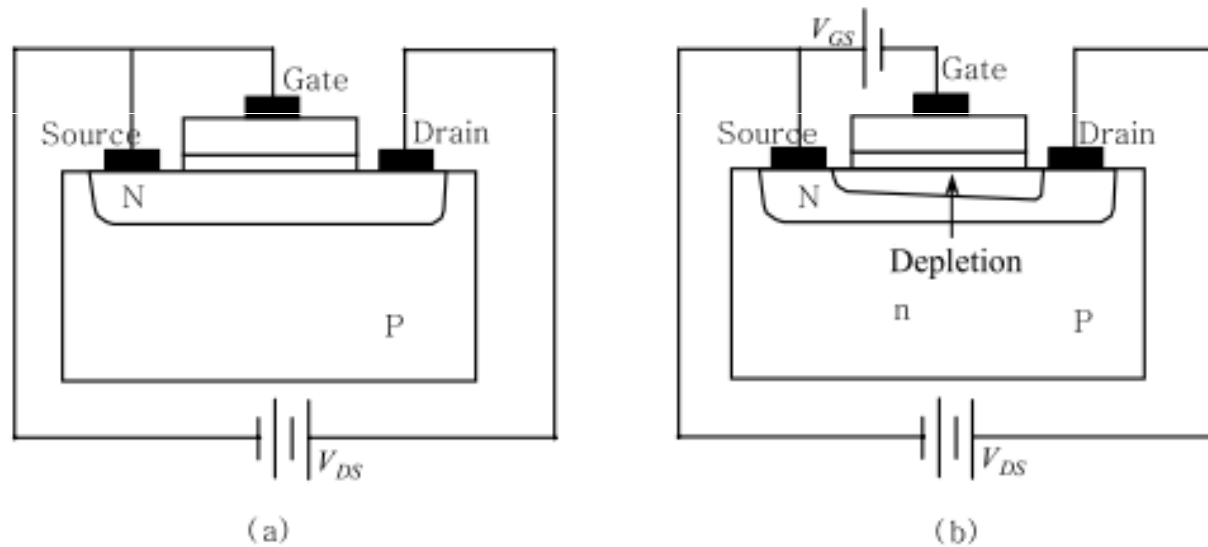
功率，還會使其需要能夠快速泵出和吸收電流的相當複雜的基極驅動電路，相比之下，**MOSFET**在柵極實際上消耗的電流基本為零，甚至在**125°C**的典型柵極電流都小於**100nA**。一旦寄生電容被充電，由驅動電路提供的電流就非常低，其驅動電路也極為簡單。

**MOSFET**另外一個優點是不存在二次損壞機制，具有比較寬的**SOA**，而由於**BJT**導通電阻是負溫度係數，高溫下會流入更多的電流，最終出現不可逆轉的破壞，而**MOSFET**能夠應用於一段短時間內的大電流和高電壓，這就避免了二次擊穿對器件超成的破壞，同時，**MOSFET**導通電阻具有正的溫度係數，比**BJT**相比，更容易并聯使用。

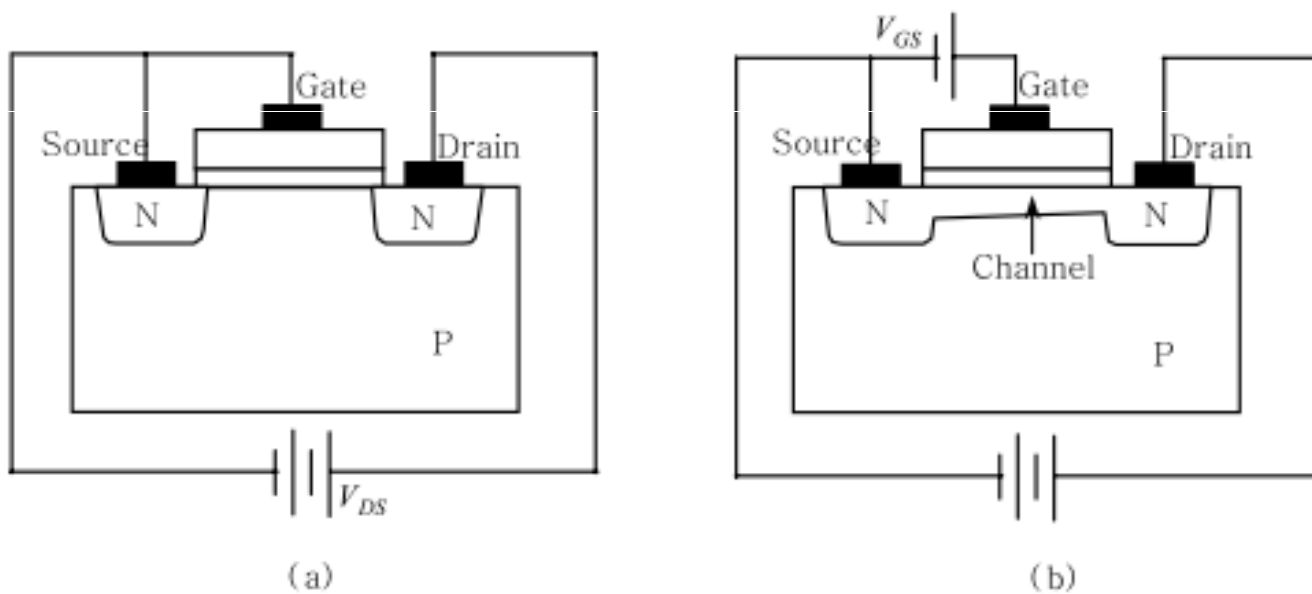
**MOSFET**內部寄生的二極管使其在電感負載開關應用中，不需要增加額外的成本就能起到箝位二極管的作用。

# MOS的分類

- MOSFET分为两种类型：耗尽型和增强型。
  - a、耗尽型：这种MOS是，即使gate与source间的电压为0，只要在drain与source间加上电压，就会有 $I_d$ 形成。



b、增强型：如下图，这种MOS没有原始导电沟道，必须通过在gate与source加电压才形成。 $I_{ds}$ 随着 $V_g$ 的增加而增加。当gate端不加电压时， $I_{ds}$ 为0。

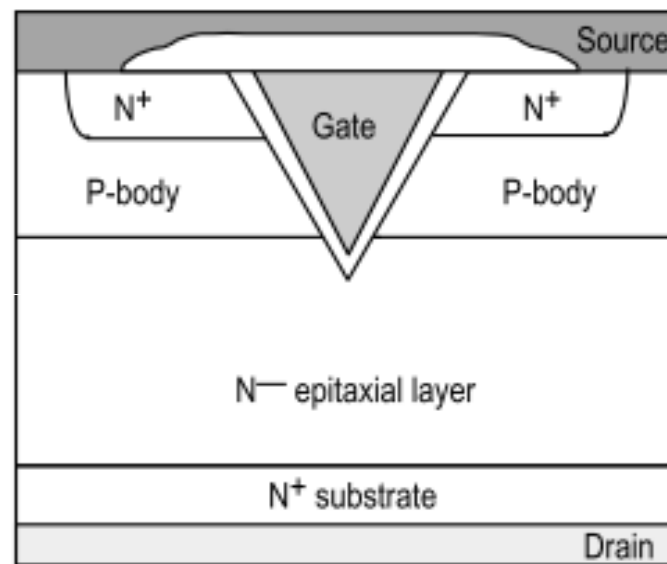




# MOS的结构

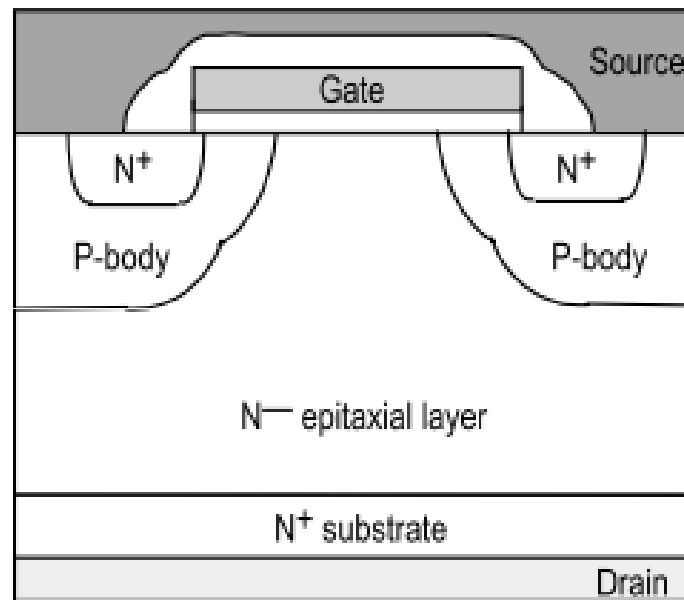
- 横向通道型：指**Drain**、**Gate**、**Source**的终端均在硅晶圆的表面，这样有利于集成，但是很难获得很高的额定功率。这是因为**Source**与**Drain**间的距离必须足够大以保证有较高的耐压值。
- 垂直通道型：指**Drain**和**Source**的终端置在晶圆的相对面，这样设计**Source**的应用空间会更多。当**Source**与**Drain**间的距离减小，额定的**Ids**就会增加，同时也会增加额定电压值。  
垂直通道型又可分为：**VMOS**、**DMOS**、**UMOS**。

## a、VMOS：



如图，在gate区有一个V型凹槽，这种设计会有制造上的稳定问题，同时，在V型槽的尖端也会产生很高的电场，因此VMOS元件的结构逐渐被DMOS元件的结构所取代。

b、DMOS：

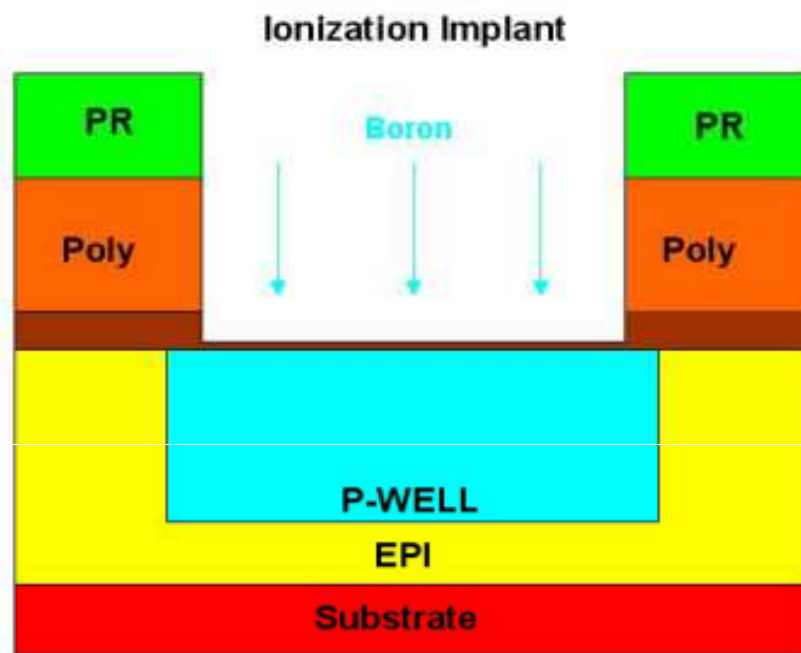


# MOSFET制程

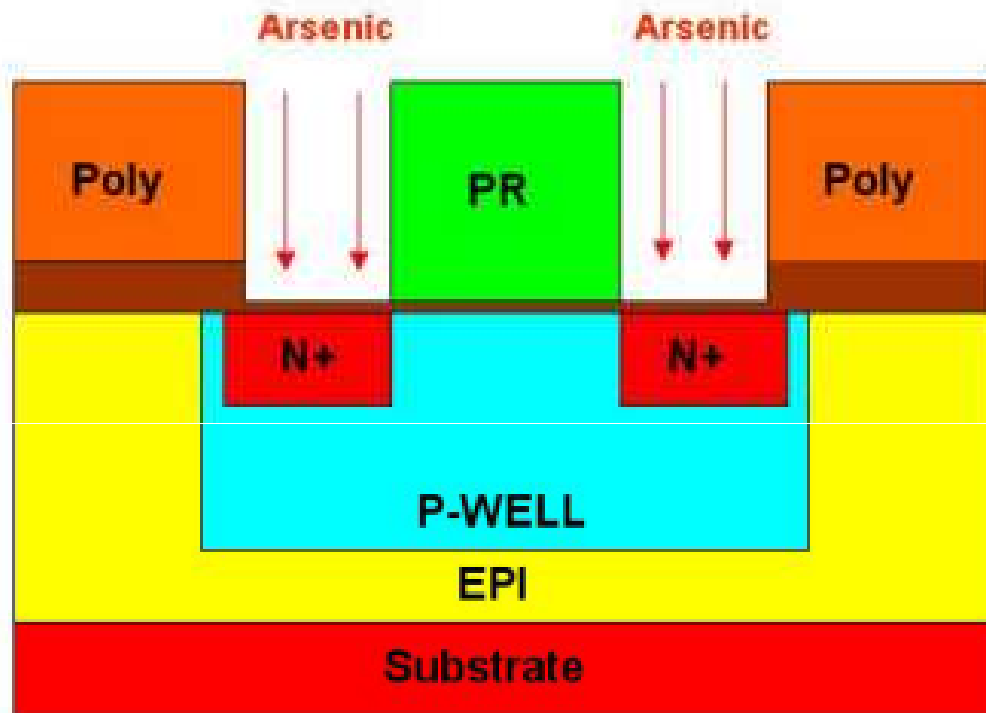
- 垂直式双扩散金属氧化物场效应管（**VDMOSFET**）制程流程
- 在这个结构中，**P**型基体（**P-Well**）和源极区是利用同一窗口扩散而成，此结构的通道栅极氧化层的下方。



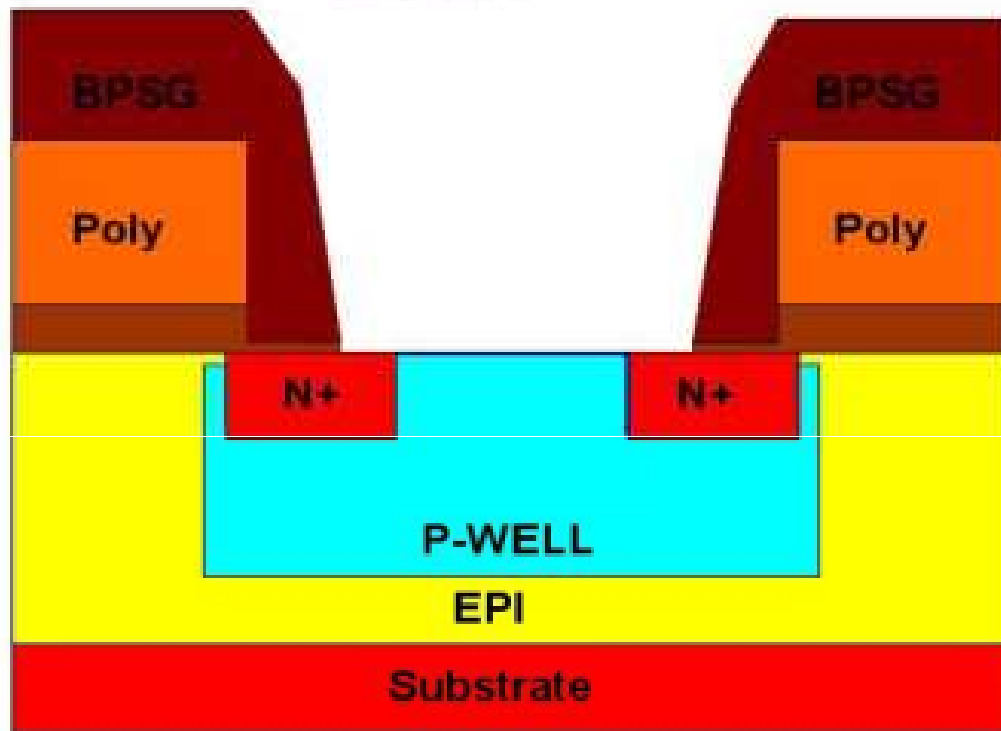
- 首先沉积n-晶层在基座上，此基座为元件的漏极。之后以EPI光罩定义EPI区的范围，再成长一层栅极氧化层（gate oxide），再沉积一层复晶矽（poly silicon）（gate），并掺杂离子降低电阻。



- 使用光罩定义出衬底P-Well区范围，利用硼（boron）元素进行离子布植形成p-body区，并进行适当的控制浓度、能量，以达到所需的临界电压及各项电性。接着使用高温长时间加热对硼作注入和退火动作，形成P-Well

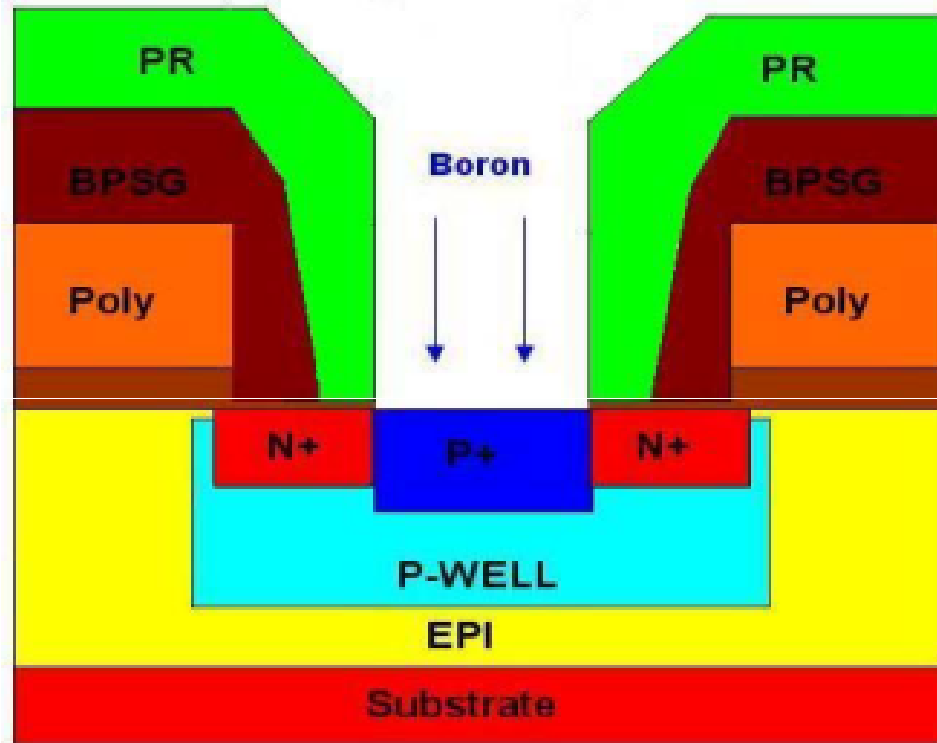


- 使用源极光罩定义出元件的源极区域，利用砷（arsenic）元素进行离子布植如上图。

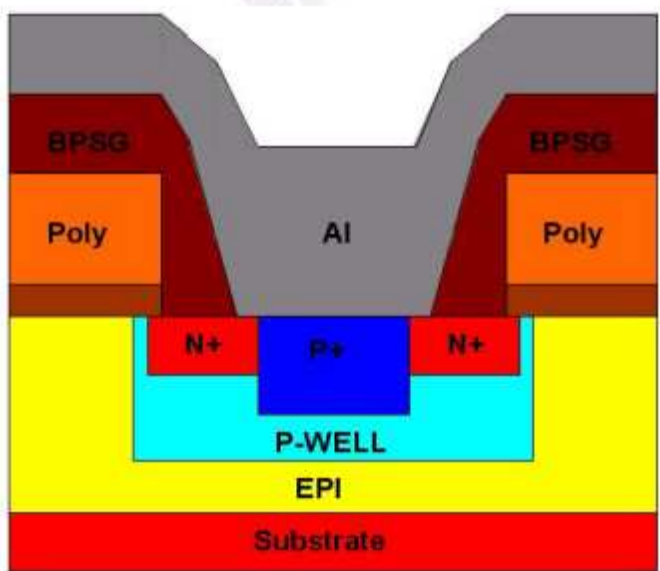
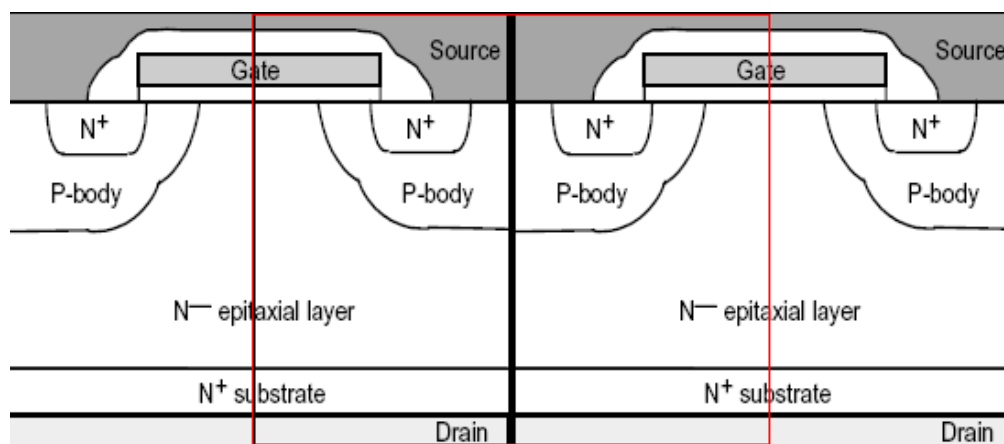


- 沉积**BPSG**作为栅极和源极的绝缘层，使用接触光罩（**contact mask**）定义出元件的接触窗口。



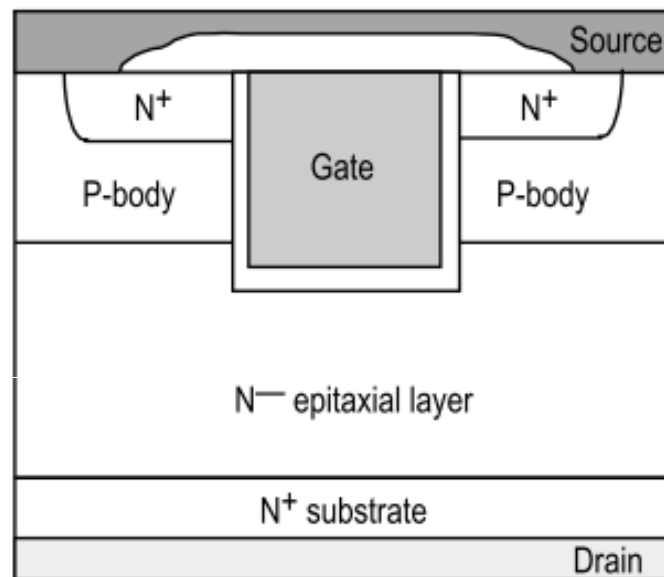


- 布植高浓度硼元素形成重掺杂的P+区域



- 以铝金属沉积作为接线。
- 如上图的红框区域。

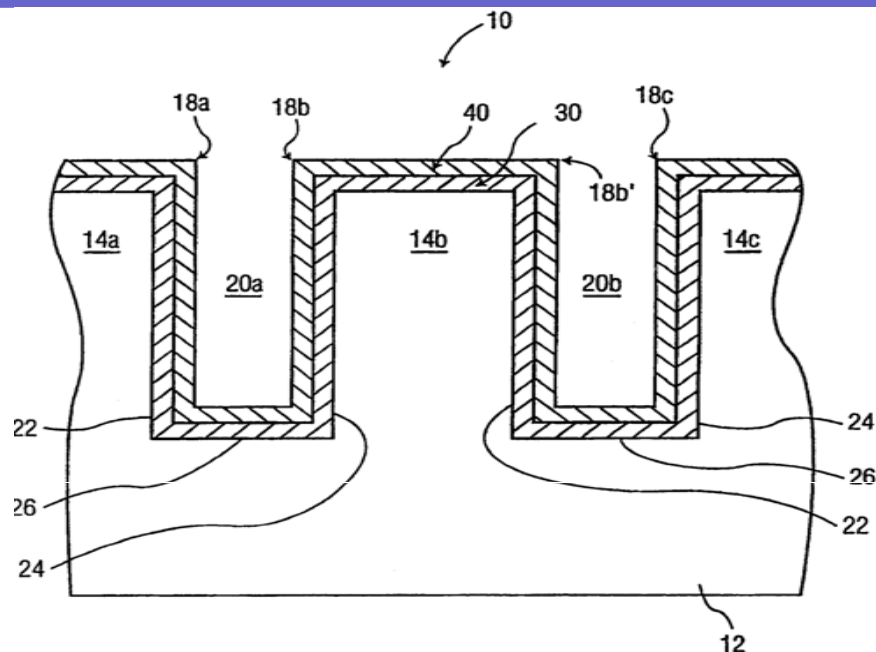
### c、UMOS：



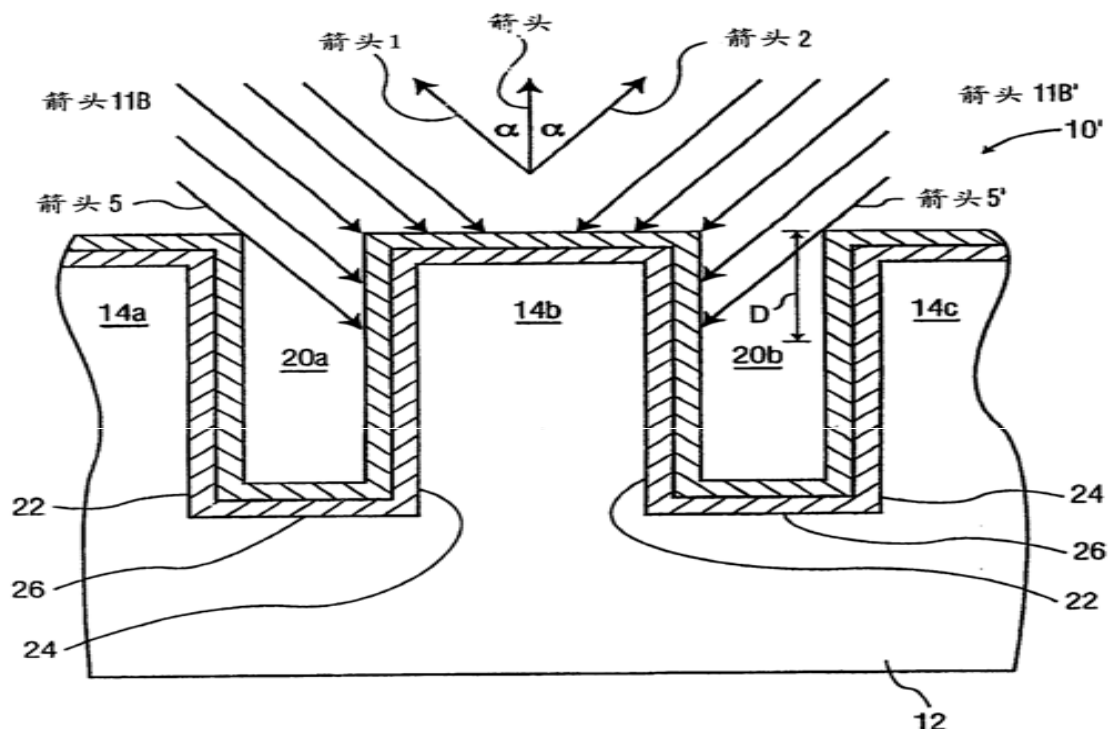
在gate区有一个U型槽。与VMOS和DMOS相比，这种设计会有很高的通道浓度，进而可以减小导通电阻。

# UMOSFET的制程

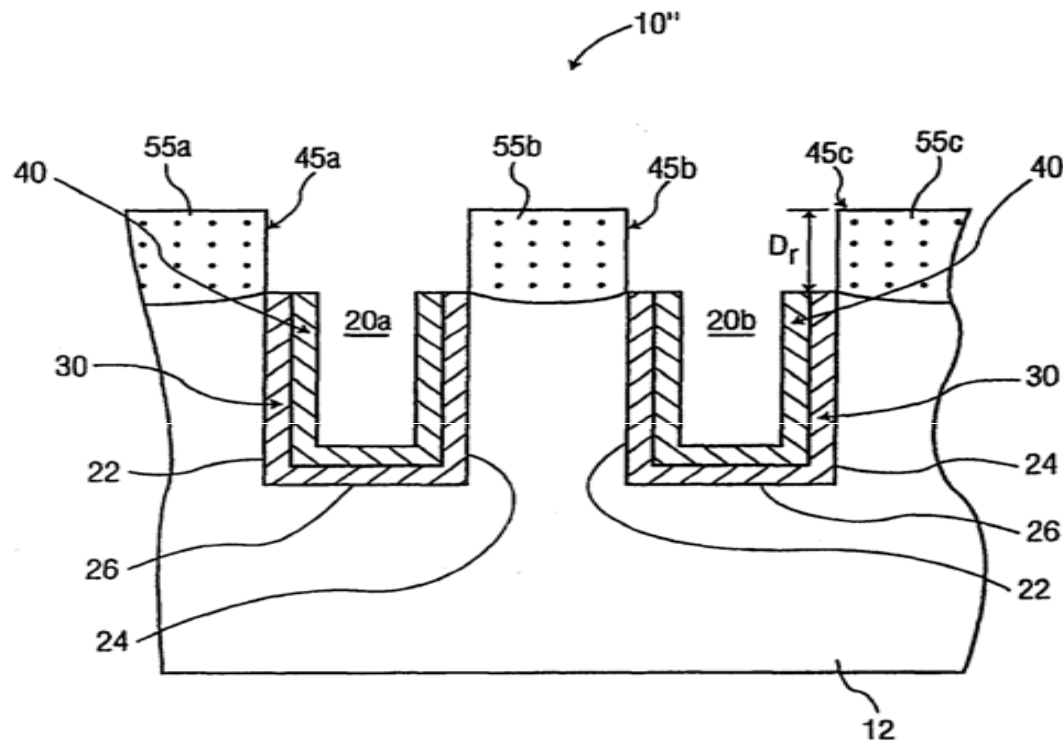
- **UMOSFET**一种新结构的**MOS**器件，它的制程与**DMOSFET**最大的区别在栅极区的形成和蚀刻技术上。UMOSFET的栅极借由反应离子蚀刻来形成。
- 一种形成自准直的双氧化物**UMOSFET**的方法，包括以下步骤：在衬底中刻蚀一个沟槽；通过注入多能级的沟道掺杂物在沟槽中产生一个门，以及形成一个源和一个漏极。



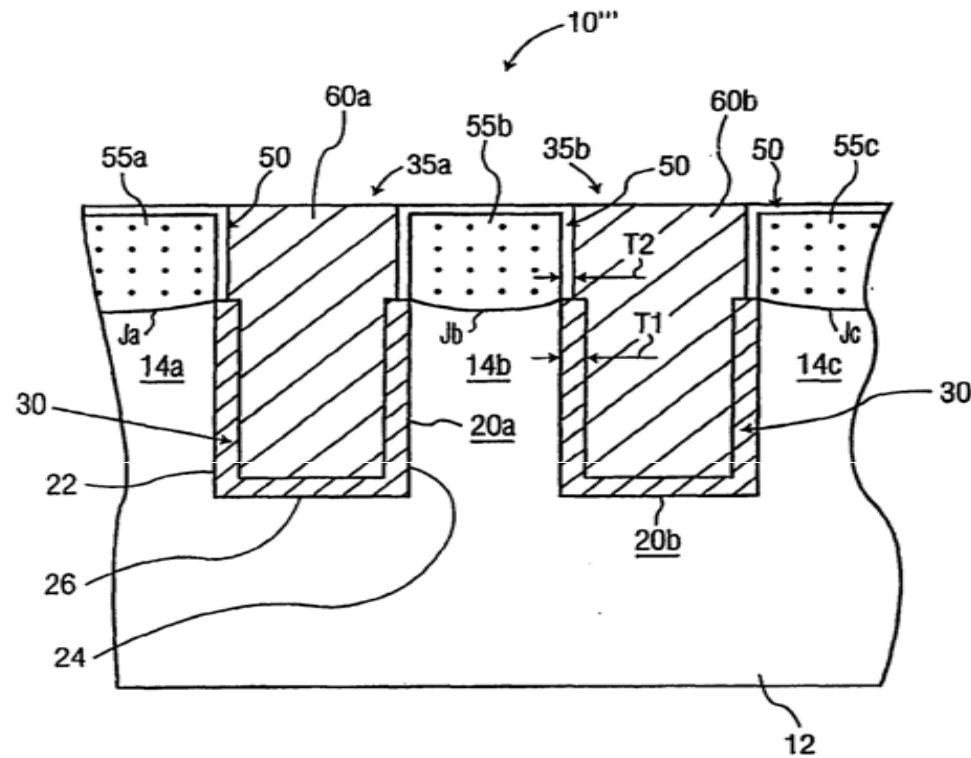
- 如图提供一个衬底12，对衬底进行蚀刻而形成每个约深4 $\mu$ m的沟槽20a,20b和衬底台面14a,14b,14c，然后在每个沟槽的侧壁、底面和衬底台面的已蚀刻的衬底上沉积一个厚绝缘层30，其后，在厚绝缘层30上均匀地沉积一个后继的氮化硅层40，从而形成如图所示的沟槽。



- 沟道掺杂物（比如硼）沿 $\alpha$ 角度注入，并达到预计的深度

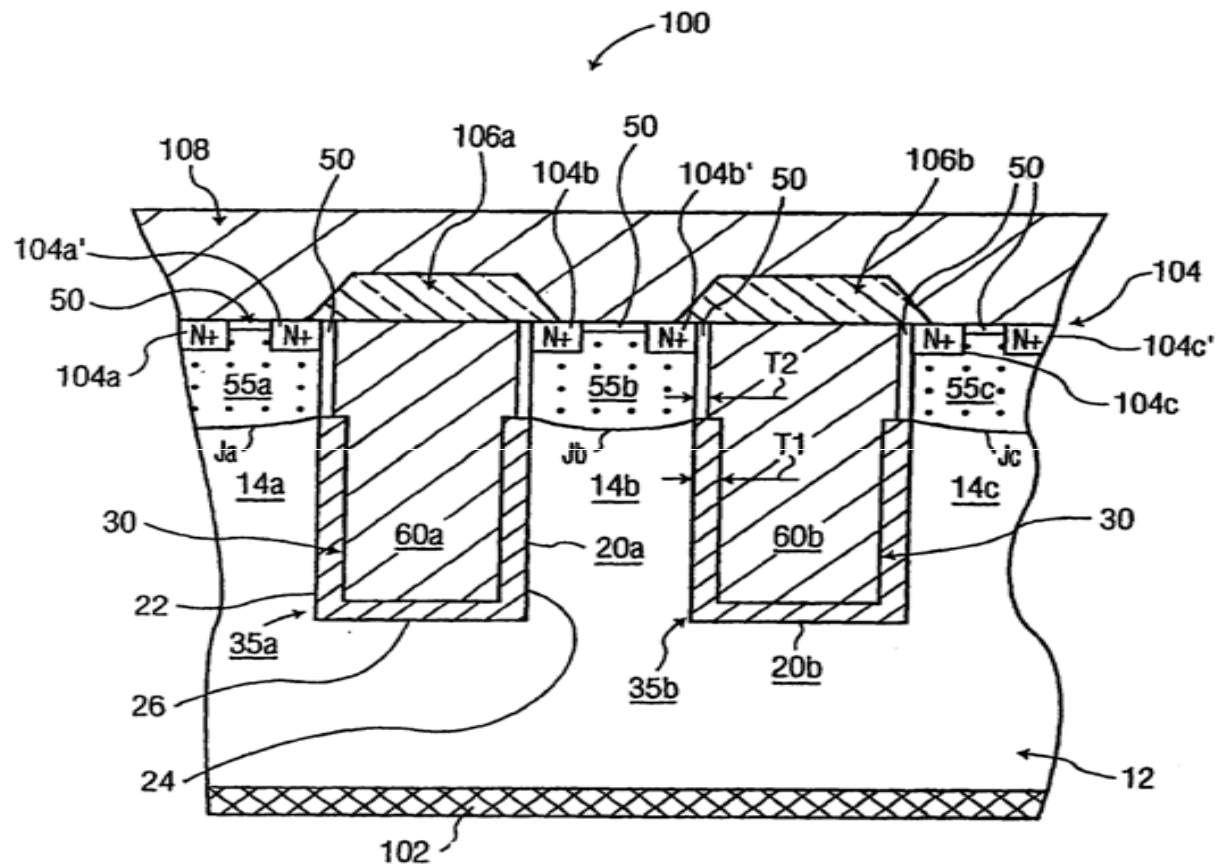


- 利用湿蚀刻技术除去厚绝缘层30和氮化硅层40



- 在沟道掺杂区55a,55b,55c并置的表面上生成栅极氧化层50，这些表面包括衬底的台面14a,14b,14c的顶部和沟槽的侧壁从上部到深度D的部分。





- 源极形成，涂敷金属，连接电极。

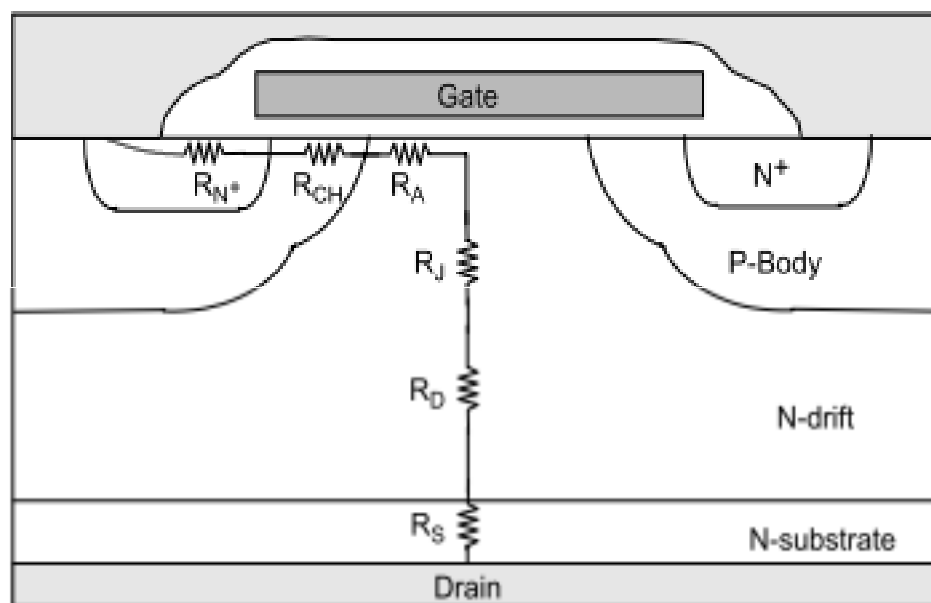
## 三种MOS的优缺点：

- **VMOSFET**：（优点）导通阻抗较小，没有**JFET**效应，且  $C_{gd}$  最小，有最快的开关响应速度。（缺点）V型底部尖端，容易造成高电场的过度聚集而导致击穿，且沟槽蚀刻过程不稳定会造成临界电压不稳。
- **DMOSFET**：（优点）制程稳定简单，**p-body**和源极区可利用相同的窗口扩散来获得，成本小。（缺点）导通阻抗大，有**JFET**效应。且由于**p-n**界面转角处电力线集中，易发生雪崩击穿。
- **UMOSFET**：（优点）有效缩小了元件宽度，即增加元件密度，提高单位面积的电流，使导通阻抗降低，不会产生**JFET**效应。（缺点）制程复杂，成本大，正处于研究阶段。

# MOS的基本参数

- $V_{GS(th)}$ ：又称为阈值电压，是指加的栅源电压能使漏极开始有电流或者关断MOSFET时停止流过电流时的电压，栅-源电压超过此值时，漏极电流由小到大显著增加。 $V_{GS(th)}$ 是负温度系数，这就意味着当温度上升时，MOSFET将会在比较低的栅源电压下开启。 $V_{GS(th)}$ 与gate oxide的厚度成正比，与P-body掺杂浓度的平方成正比。
- $BV_{DSS}$ ：是指在特定的温度和栅源短接情况下，流过漏极电流达到一个特定值时的漏源电压。这种情况下的漏源电压为雪崩击穿电压。当漏-源电压 $V_{DS}$ 超过 $BV_{DSS}$ 时，漏-源极之间雪崩效应电流激增。 $BV_{DSS}$ 为正温度系数，结温每升高 $10^{\circ}\text{C}$ ， $BV_{DSS}$ 约增大1%。

- **RDS (on)**：是指MOS在完全导通状态时，漏源间的总电阻。他是影响最大额定电流和功耗的主要参数。



$$R_{DS(on)} = R_{N^+} + R_{CH} + R_A + R_j + R_D + R_S$$

**R<sub>N<sup>+</sup></sub>**：是指source与N<sup>+</sup>间的电阻，与组成RDS(on)的其他电阻相比很小，所以，在高压MOS时可以忽略。

$R_{CH}$ ：是指通道电阻，在低压MOS时，是RDS（on）的主要组成部分。受通道宽度和长度、gate oxide厚度、gate驱动电压的影响。可以通过降低原胞面积来大幅度降低其阻值。

$R_A$ ：当在gate端加驱动电压时，电荷在N-的上表面积累，在通道与JFET区之间形成电流。这个积累区的电阻就是 $R_A$ 。 $R_A$ 受积累区的电荷和表面自由电子的转移速率影响。随栅极电压增加而增加，可以增加其掺杂浓度以降低阻值。

$R_J$ ：N-区域和两个P-body区域构成JFET，JFET沟道即中间N-区域的电阻就称为 $R_J$ 。

$R_D$ ：漂移层电阻，JFET区域下方N-区域的电阻。在高压MOS时，是构成RDS（on）的主要因素。 $R_D$ 也是限制MOS在高压领域使用的主要因素

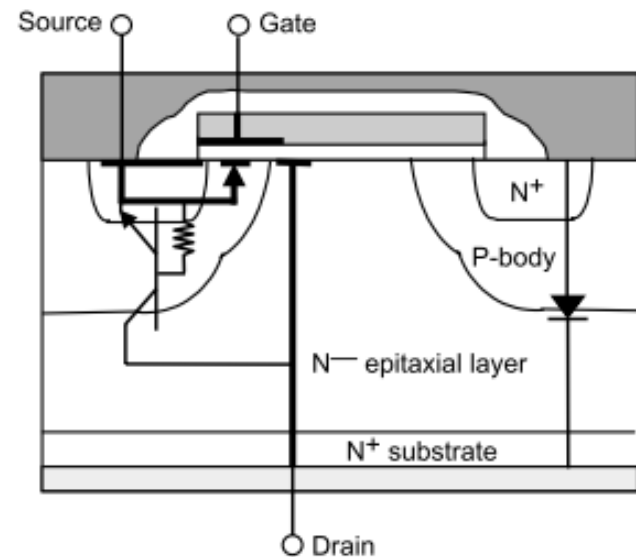
$R_S$ ：指的是整个底层的电阻。在高压MOS时可以忽略，但是，在低压MOS时，当击穿电压小于50V时，它就是构成RDS（on）的一个主要因素。

- $Q_g$ ：是指特定栅极电压下MOS完全导通时输入电容的总电量。直接影响着MOS的开关速度，开关损耗在频率提高时占据了主要位置，降低 $Q_g$ ，可有效降低开关损耗。  
降低 $Q_g$ 有三种方法：增加氧化层厚度；降低沟道区的掺杂浓度；减少栅极面积
- $I_{DSS}$ ：零栅压漏极电流，是指栅源电压为零时，在特定的漏源电压下漏源之间泄露电流，泄漏电流随着温度的增加而增大， $I_{DSS}$ 在室温和高温下都有规定。漏电流造成的功耗可以用 $I_{DSS}$ 乘以漏源之间的电压计算，通常这部分功耗可以忽略不计。

# MOS的特征

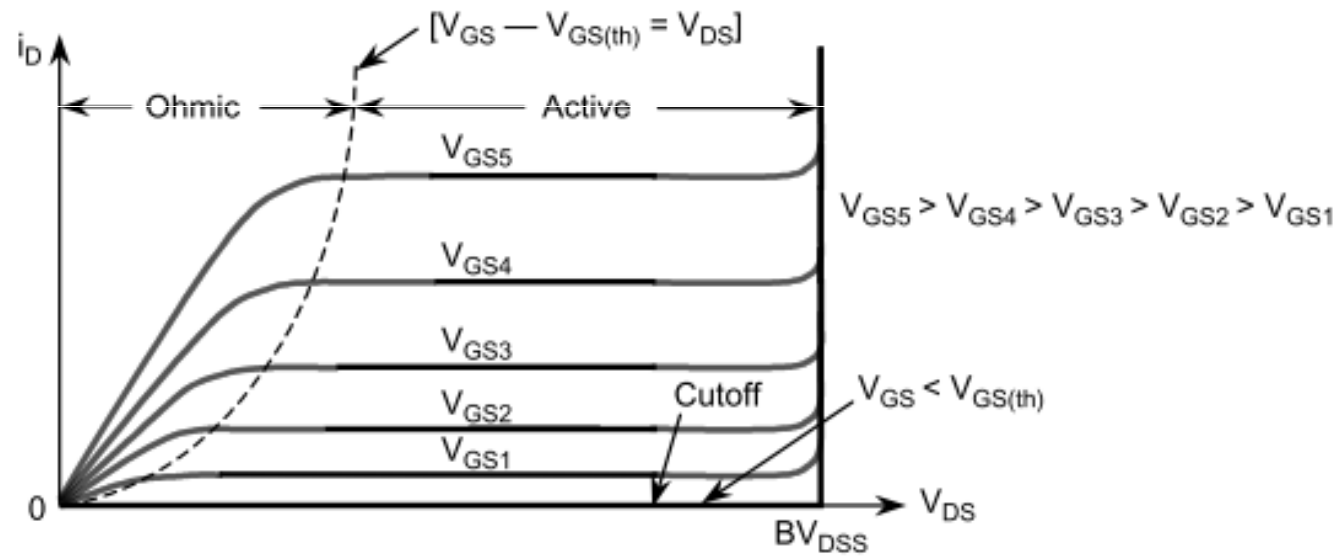
- 寄生三极管：

MOS内部N+区，P-body区，N-区构成寄生三极管，当BJT开启时击穿电压由 $BV_{CBO}$ 变成 $BV_{CEO}$ （只有 $BV_{CBO}$ 的50%到60%），这种情况下，当漏极电压超过 $BV_{CEO}$ 时，MOS雪崩击穿，如果没有外部的漏极电流限制，MOS将被二次击穿破坏，所以，要镀一层金属来短接N+区和P-body区，以防止寄生BJT的开启。



- 输出特性：

如图所示，在不同 $V_{GS}$ 条件下， $I_D$ 随着 $V_{DS}$ 变化而变化。可以分为欧姆区、饱和区、截止区。





- 转移特性：

如图所示，为MOS的转移特性曲线。Id与Vgs的关系为：

$$I_d = K(V_{gs} - V_{gs(th)})^2$$

$$K = \mu_n C_{ox} \frac{W}{2L}$$

其中， $\mu_n$ ：载流子的转移速率；

$C_{ox}$ ：单位面积gate-oxide的电容，

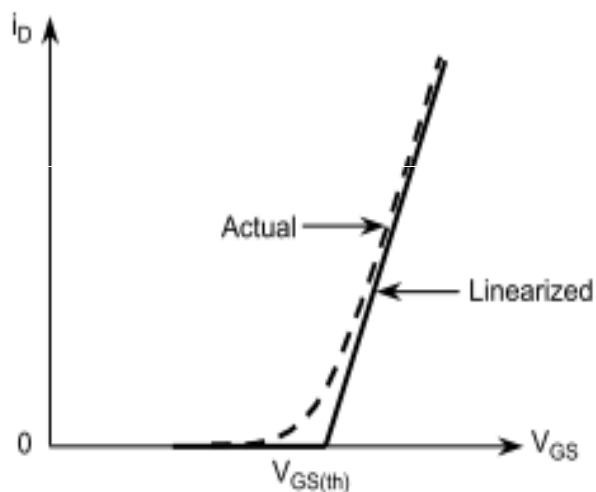
$$C_{ox} = \epsilon_{ox} / t_{ox}$$

$\epsilon_{ox}$ ：二氧化硅的电解质常数

$t_{ox}$ ：gate氧化层的厚度

W：通道宽度

L：通道长度



根据上述公式得到的曲线，在Power MOSFET中，只有当 $I_d$ 很小的时候是正确的。这是因为载流子的转移速率不是常数，它随着反型层内由于电流增加而引起的导电区域的增加而降低。

- MOS在off / on状态时的特性：

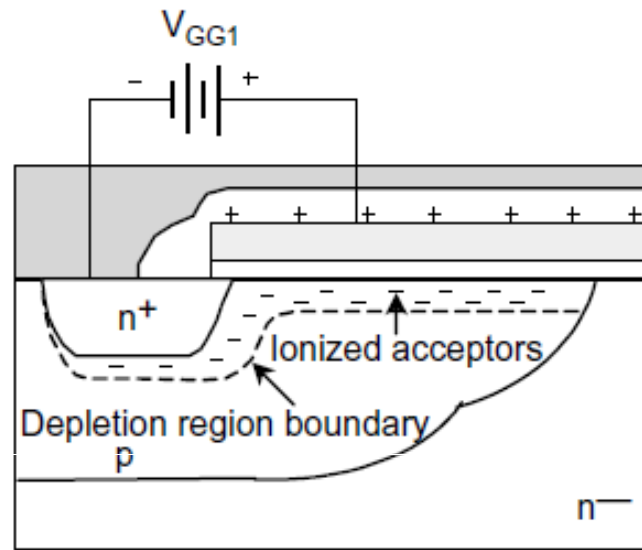
- a、off state:

在这种状态下，**drain**与**source**间能存在的最大电压，即为击穿电压—— $BV_{DSS}$ 。它是指**gate**与**source**被shorted时，在**body-drain pn junction**没有发生雪崩击穿的情况下，**MOS**可以承受的最大电压，它受温度的影响很小。

- b、Turn-on state:

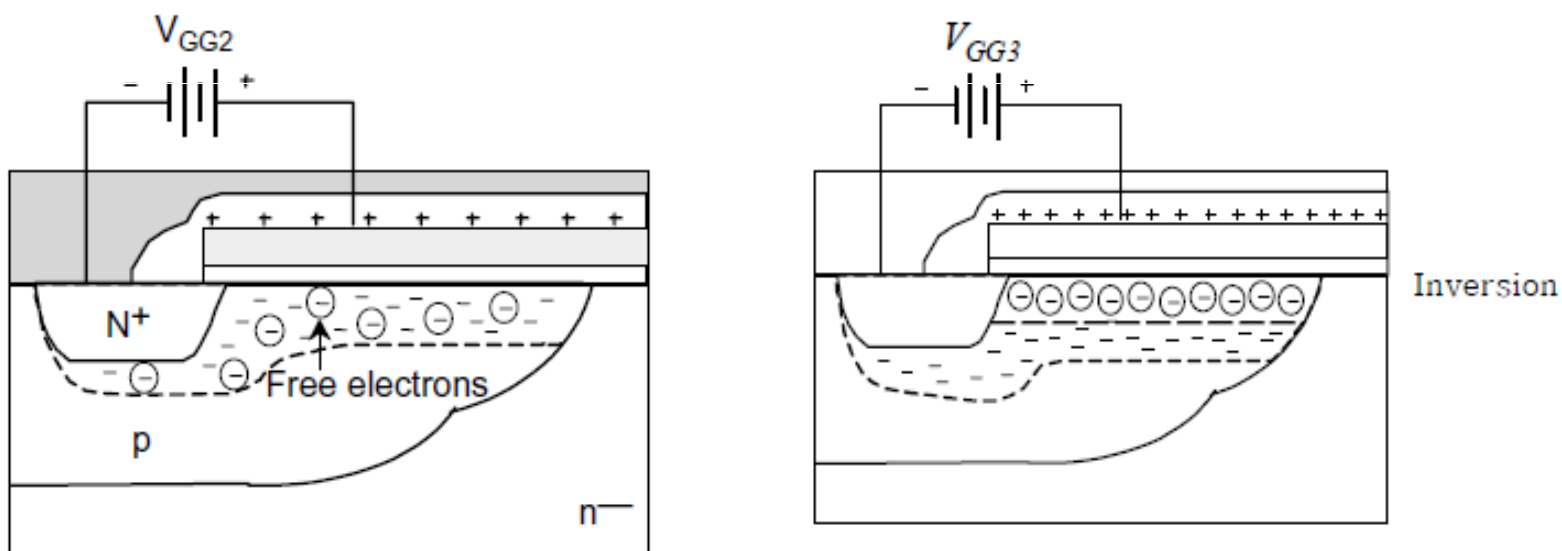
耗尽层的形成：当在**gate-to-source**加一个很小的正电压时，在**gate**电极端会感应出正电荷，在氧化硅表面（**gate**氧化层底部的**p-body**区）感应出负电荷，空穴在电场的作用下向下移动。所以，耗尽层就由负电荷组成

如下图所示：



反形层的形成：当gate-to-source端的电压增加时，耗尽层开始向着body的方向变宽，如下两幅图。由于热电离的作用而产生的自由电子就会在表面聚集，剩下的空穴进入到半导体中。没有进入到半导体中的空穴就被电子中和。

如果外加电压一直增加，**body**处的空穴和表层的自由电子的浓度就会达到平衡。此时的自由电子层就是反形层，形成反形层时的**gate-to-source**电压即为**MOS**的阈值电压 **$V_{GS(th)}$** 。

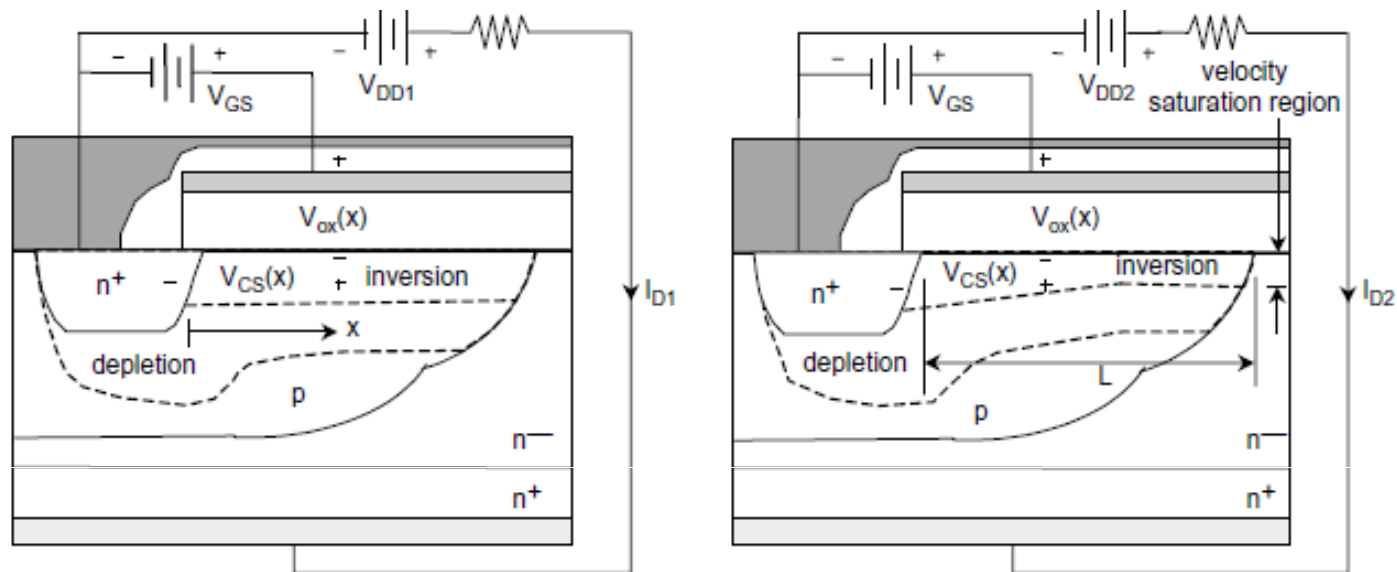


### c、on state：

此状态中，当 $V_{gs}$ 恒定时， $I_d$ 随着drain-to-source两端的电压 $V_{dd}$ 的增加而线性增加。当通道已经形成， $V_{dd}$ 开始供电， $I_d$ 就会形成。然而，当 $V_{dd}$ 大于某个特定的值时， $I_d$ 增加的速率就会减弱，最终达到一个恒定的值，而此值只与 $V_{gs}$ 有关，与 $V_{dd}$ 无关。

下面是此状态时MOS的特征。当 $I_d$ 流过反形层时，由于导通电阻的存在产生 $V_{cs}(x)$ 。 $V_{cs}(x)$ 是通道与source间的电压。 $V_{cs}(x) = V_{gs} - V_{ox}$ ， $V_{ox}$ 是gate与body间的电压。当 $x=L$ （通道总长度）时， $V_{ox}(x)$ 有最大值。

如下左图，当 $V_{dd}$ 为低电压时， $V_{cs}(x)$ 没有压降， $I_d$ 也很低。当 $V_{ox}(0) \sim V_{ox}(L)$ 为常数时，反形层的厚度是均



匀的。当 $V_{DD}$ 较大时， $I_d$ 增加 $V_{cs}(x)$ 产生压降，同时 $V_{ox}(x)$ 降低。这样，反形层的厚度将从 $x=L$ 处开始减小，电阻增加， $I_d$ 由于 $V_{DD}$ 也增加而趋于平坦。当 $V_{ox}(L) = V_{GS} - V_{DS} = V_{GS}(th)$ 时，随着 $I_d$ 的增加，反形层厚度减小，形成高电场，因此在 $x=L$ 处的反形层不会消失，会保持一个很小的厚度。同时这个高电场也会使在 $V_{ox}(L) = V_{GS} - V_{DS} = V_{GS}(th)$ 时的载流子速度达到最大。

载流子的速度随着初始电场的增加而增加，当达到某值时，速度达到最大。当电场强度达到 $1.5E4$ 、电子漂移速度为 $8E6$ 时，硅开始饱和，此时MOS进入饱和区。当Vdd为高电压时，在 $x=L$ 处的电场越大，保持最小厚度的通道区域越宽。随着Vdd的增加，当Vds增加到大于 $V_{gs}-V_{gs(th)}$ 时，Id达到恒定。

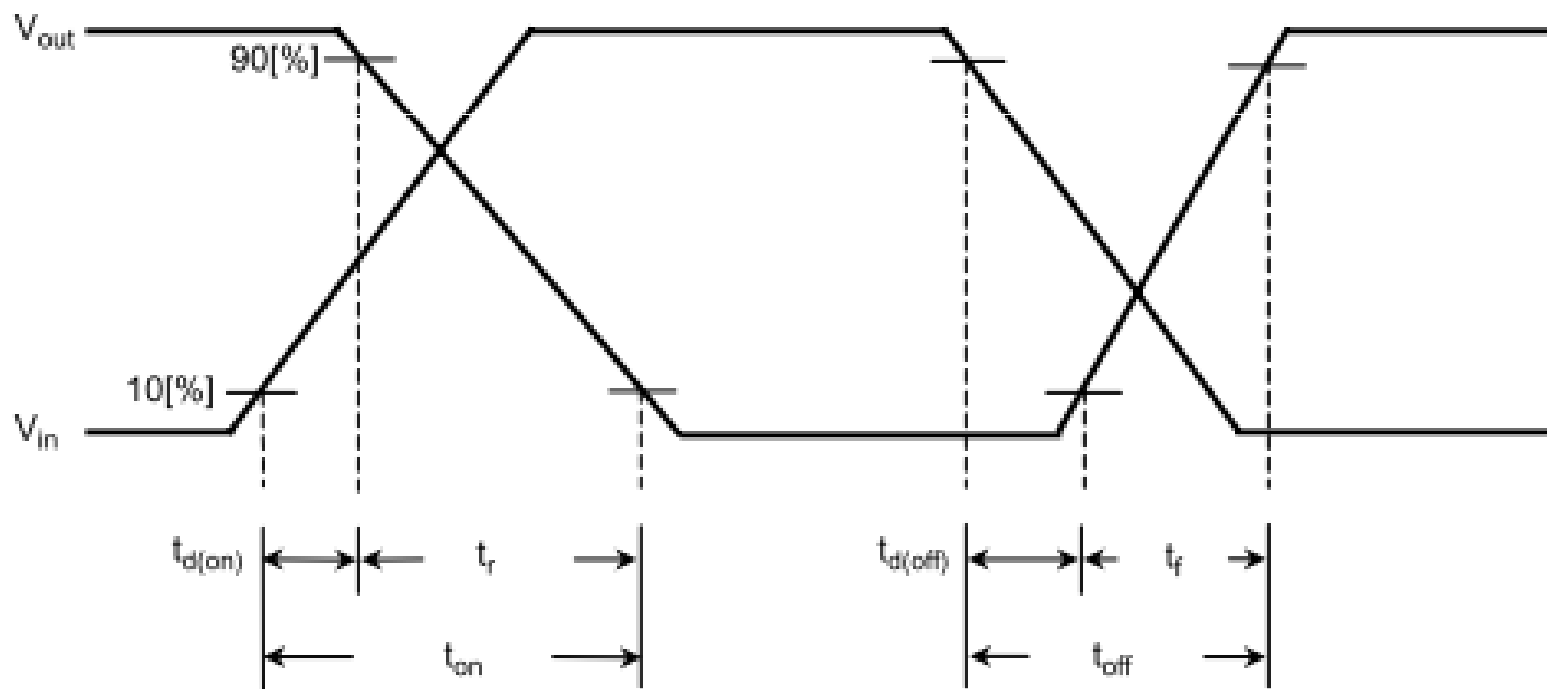
d、Turn-off state：

是turn on的逆过程。



- 开关特性：

Power MOS开关特性不会由于少子的原因产生存储延迟，也不会受到温度的影响，具有比较好的开关特性曲线。



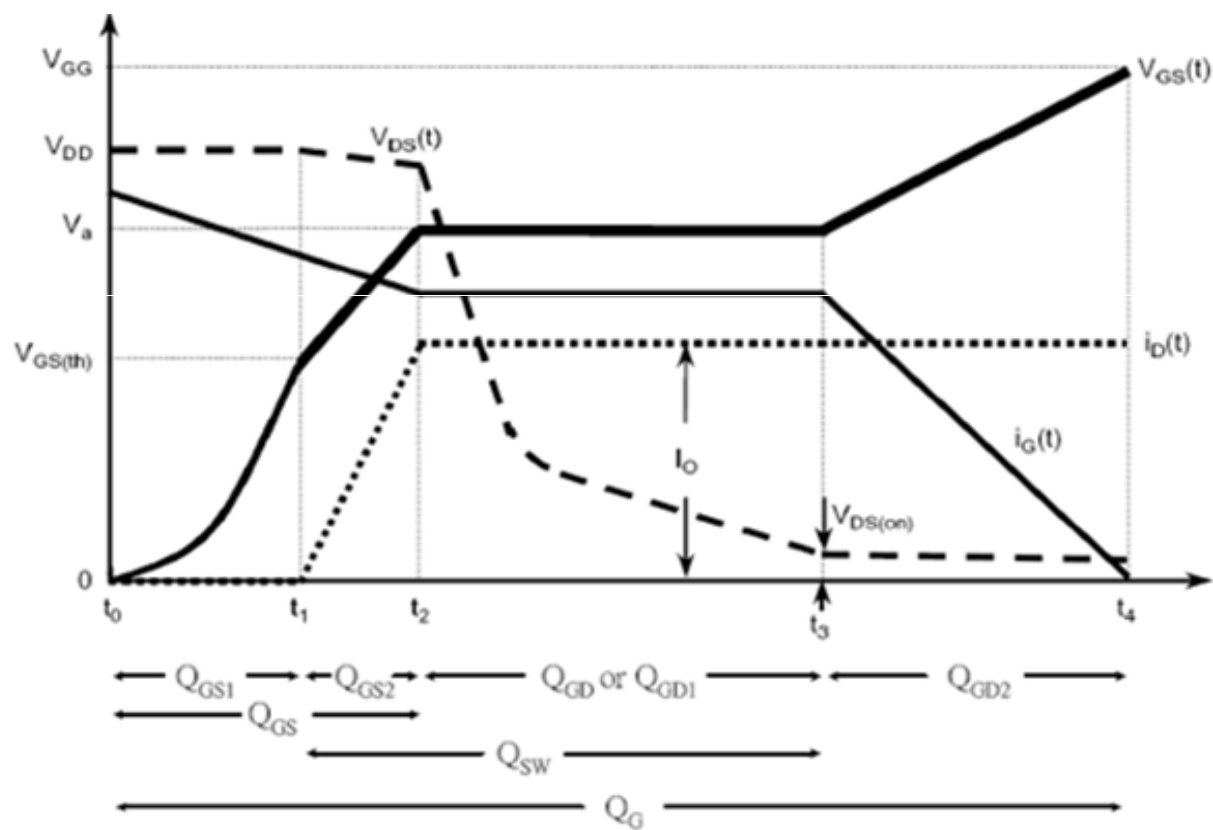
**td (on) (turn on delay time)** : 是**Vgs**从0到达**Vgs (th)**所用的时间。这段时间是给输入电容**Cgs+Cgd**充电，使**Vgs**到达**Vgs (th)**。

**tr (rise time)** : 是**Vds**从**Vdd**开始下降到**MOS**完全导通时的**Vds (on)**所用的时间。此阶段中，**Vds**下降时的**Vgs**和**Id**保持恒定。由于存在大电流和大电压，所以会产生很大的功耗。所以应该通过减小**gate**端的串联电阻和**Cgd**来减小上升时间。之后，**Vgs**继续增加，直到到达外部提供的电压值，但是**Vds**和**Id**在这段时间是恒定的，不受影响。

**td (off) (turn off delay time)** : MOS导通时 $V_{gs}$ 为外部提供的电压，当turn off开始时， $V_{gs}$ 开始减小。**td (off)** 就是 $V_{gs}$ 减小到使 $I_d$ 达到饱和电流的 $V_{gs}$ 值时所用的时间。这段期间 $V_{ds}$ 和 $I_d$ 保持不变。

**tf (fall time)** : 这段时间是在**td (off)** 之后减小到 $V_{gs}$ 的阈值电压时所用的时间。此时段， $V_{ds}$ 从MOS导通时的电压增加到外部提供的电压， $I_d$ 从负载电流减小到0。与turn-on状态时存在功耗一样，在turn-off状态时也存在功耗。所以，下降时间也要尽可能的减小。

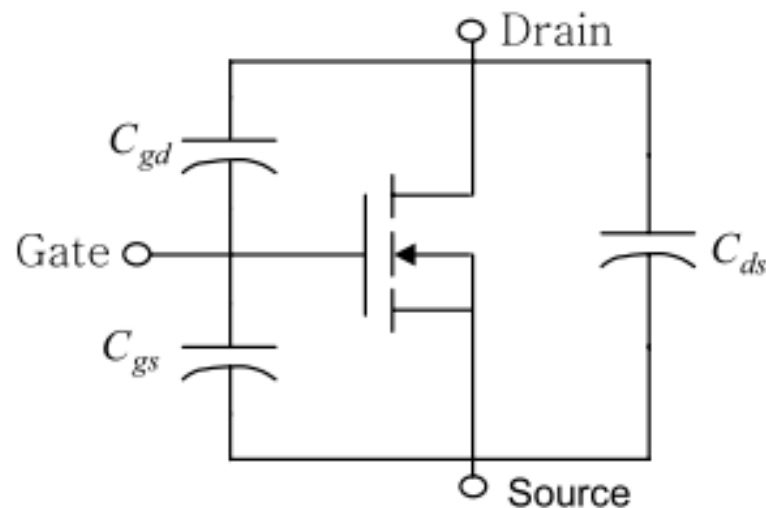
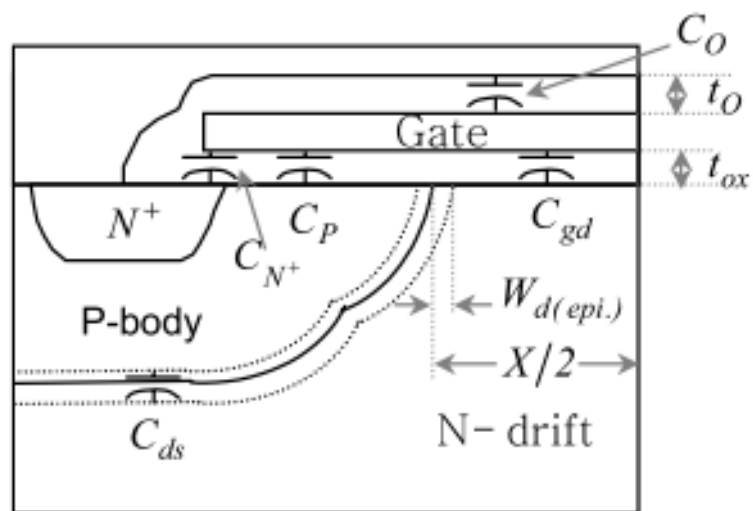
- 如图所示为MOSFET的开启过程，可分为四个阶段：



- $t_0-t_1$  :  $C_{GS1}$  开始充电，栅极电压还没有到达  $V_{GS(th)}$ ，导电沟道没有形成，MOSFET仍处于关闭状态。
- $[t_1-t_2]$  区间, GS间电压到达  $V_{gs(th)}$ ，DS间导电沟道开始形成，MOSFET开启，DS电流增加到  $I_D$ ,  $C_{gs2}$  迅速充电， $V_{gs}$  由  $V_{gs(th)}$  指数增长到  $V_a$
- $[t_2-t_3]$  区间, MOSFET的DS电压降至与  $V_{gs}$  相同, 产生Miller效应， $C_{gd}$  电容大大增加, 栅极电流持续流过，由于  $C_{gd}$  电容急剧增大，抑制了栅极电压对  $C_{gs}$  的充电, 从而使得  $V_{gs}$  近乎水平状态， $C_{gd}$  电容上电压增加, 而DS电容上的电压继续减小;
- $[t_3-t_4]$  区间, 至  $t_3$  时刻, MOSFET的DS电压降至饱和导通时的电压, Miller效应影响变小， $C_{gd}$  电容变小并和  $C_{gs}$  电容一起由外部驱动电压充电,  $C_{gs}$  电容的电压上升, 至  $t_4$  时刻为止. 此时  $C_{gs}$  电容电压已达稳态, DS间电压也达最小，MOSFET完全开启。

- 电容特性：

MOS的寄生电容分为三种：输入电容 $C_{iss}$ 、反向传输 $C_{rss}$ 、输出电容 $C_{oss}$



$$C_{iss} = C_{gs} + C_{gd} \quad C_{rss} = C_{gd} \quad C_{oss} = C_{gd} + C_{ds}$$

其中，  $C_{gs} = C_0 + C_{N^+} + C_p$        $C_{gd} = C_{ox} \left(1 - \frac{2W_{d(epi.)}}{x}\right)$

$C_0$  : 是gate与source metal间的电容，  $C_0 = \frac{\epsilon_I A_0}{t_0}$

$\epsilon_I$  : 内部绝缘体的介电常数；

$t_0$  : 内部绝缘体的厚度；

$A_0$  : source与gate间的交迭面积。

$C_{N^+}$  : 为gate与n+间的电容，  $C_{N^+} = \frac{\epsilon_{ox} A_{N^+o}}{t_{ox}} = C_{ox} A_{N^+o}$

$\epsilon_{ox}$  : gate oxide的介电常数；

$t_{ox}$  : gate oxide的厚度；

$C_{ox}$  : 单位面积的gate与oxide间的电容；

$A_{N^+o}$  : gate与N<sup>+</sup> emitter交迭的面积。

$C_p$  : gate与p-body间的电容，受 $V_g$ 、 $V_d$ 和通道长度的影响。 $C_p$ 是在 $C_{gs}$ 中唯一受 $V_{ds}$ 影响的元件。当 $V_{ds}$ 增加时，耗尽区的面积向p-body方向扩展， $C_p$ 将下降。但是，当耗尽区没有超过p-body的10%时，即使 $V_{ds}$ 增加到击穿电压， $C_p$ 也不会改变。所以， $C_{gs}$ 受 $V_{ds}$ 的影响很小。

$X$  : 相邻cells的长度；

$W_{d(epi)}$  : 在N-漂移区的耗尽区的宽度，

$$W_{d(epi)} = \sqrt{\frac{2K_S \epsilon (V_{DS} + \phi_B)}{qC_B}}$$

当 $C_{gd}$ 由于miller效应而成倍增加时，他将会减弱MOS的频率特性。

☆ 频率特性：MOS的频率响应受输入电容的充、放电能力的限制。如果 $C_{gs}$ 和 $C_{gd}$ 很小，MOS频率響應速度很快。因为输入电



容与温度无关，所以，MOS的开关频率也与温度无关。

Cds：Vds的变化会导致p-body与n-漂移区的交迭厚度，进而影响

Cds值，

$$C_{ds \text{ (per unit area)}} = \sqrt{\frac{qk_s \epsilon_0 C_B}{2(V_{DS} + \phi_B)}}$$

q：单位正电荷（=1.9E-19[C]）

Ks：硅的介电常数

C<sub>B</sub>：外延层基底浓度[atoms/cm<sup>3</sup>]

ε<sub>0</sub>：真空磁导率（=8.86E-14[F/cm]）

Φ<sub>B</sub>：二极管电压

当V<sub>DS</sub> >> Φ<sub>B</sub> 时，Cds随着V<sub>DS</sub>的增加而减小。

# Drain-to-Source dv/dt

MOS关断的时候，DS两端电压会由  $V_{DS(ON)}$  快速上升到  $V_{DD}$ ，关断速度很快时， $dv/dt$  就会很大，这种情况可能造成器件发生错误的动作，甚至破坏器件，主要分以下两个方面：

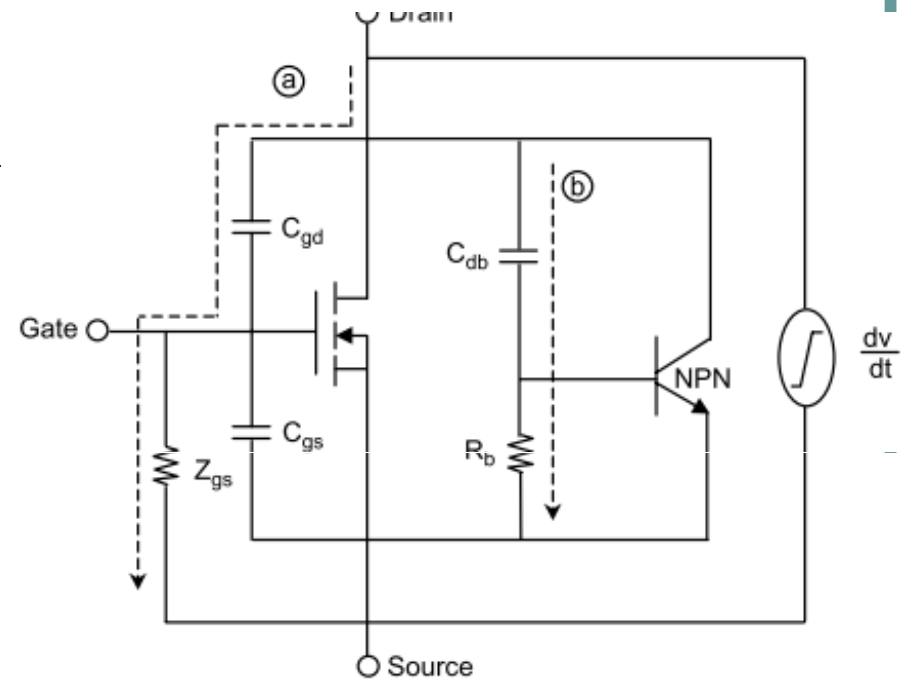
- 錯誤的MOS開啟

$$V_{GS} = Z_{gs} C_{gd} \left[ \frac{dv}{dt} \right]$$

$$\left[ \frac{dv}{dt} \right] = \frac{V_{GS(th)}}{Z_{gs} C_{gd}}$$

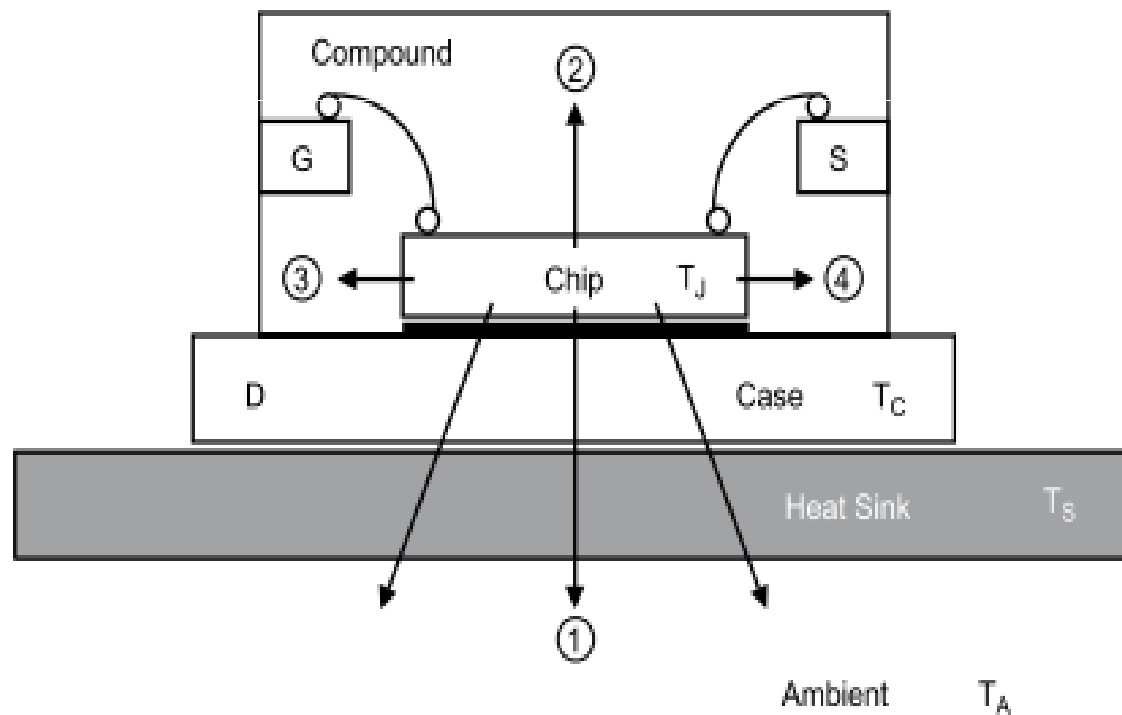
- 寄生三極管的開啟

$$\left[ \frac{dv}{dt} \right] = \frac{V_{be}}{R_b C_{db}}$$



# 热阻特性

- **MOSFET**的損耗產生熱量，增加了結點的溫度。會降低它的特性和縮短壽命。



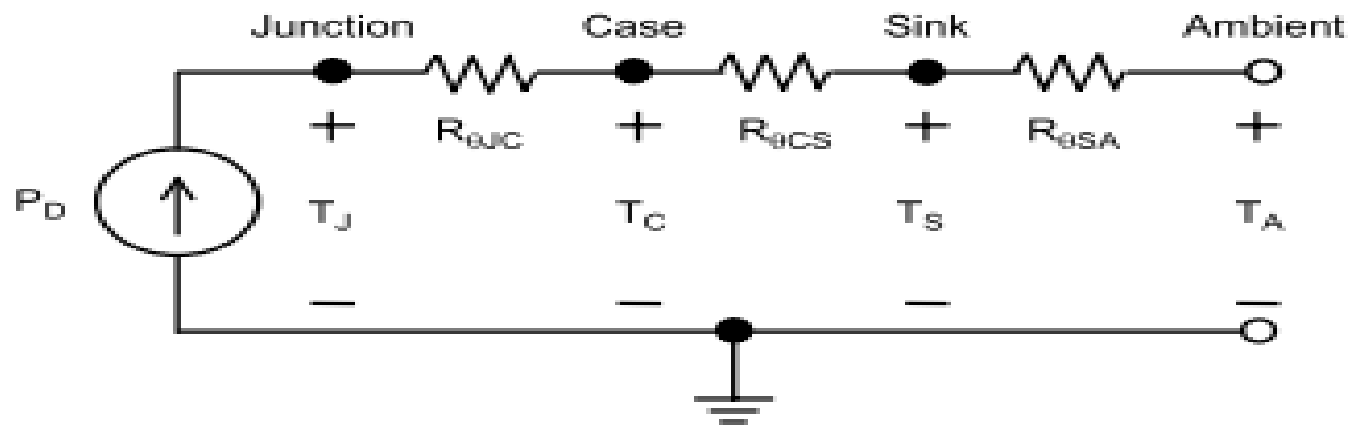
$R_{\theta JA}$  : Junction與Ambient 間的熱阻為： $R_{\theta JA} = R_{\theta Jc} + R_{\theta cs} + R_{\theta SA}$

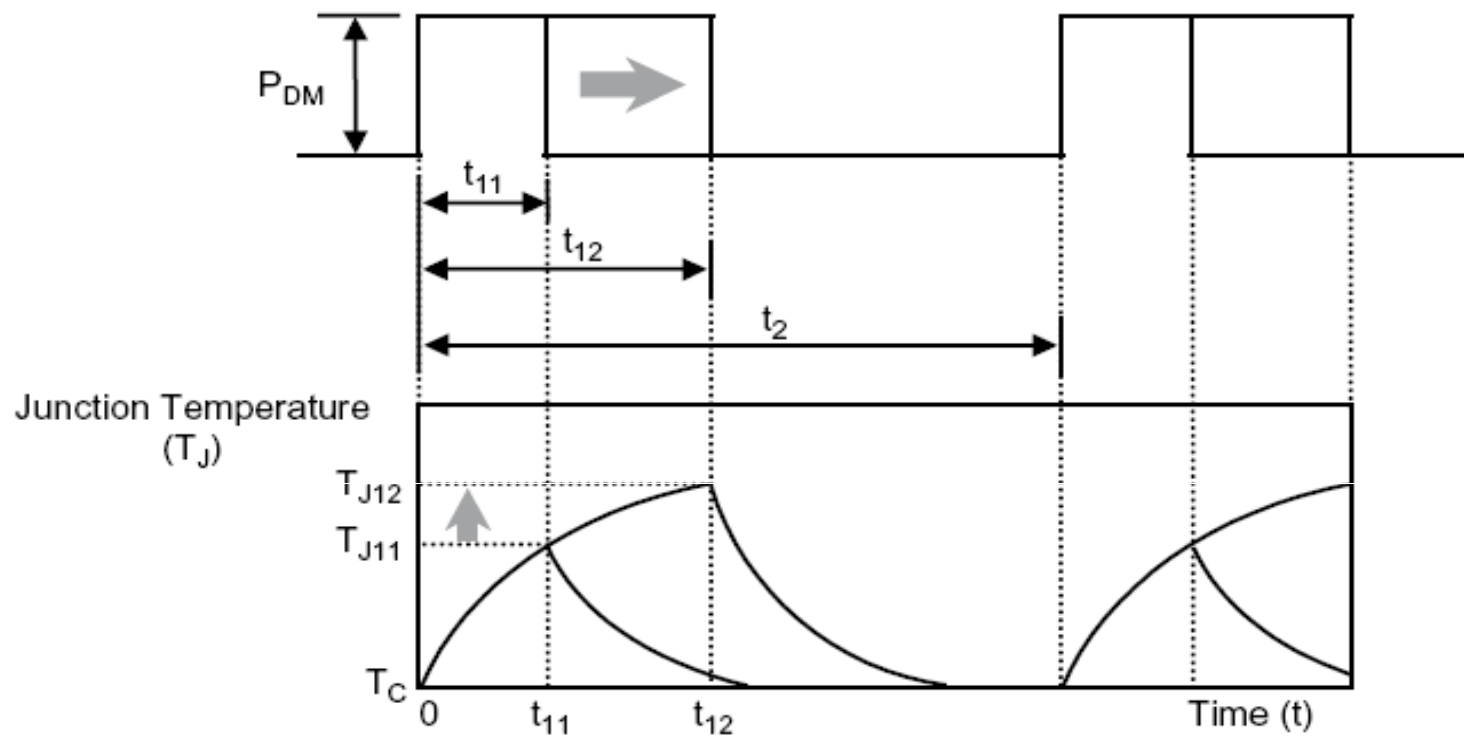
$R_{\theta Jc}$  : 內部金屬片節點和包裝支架之間的電阻。一般 $T_C$ 溫度與環境溫度相同。即

$$T_C = T_A$$

$$R_{\theta Jc} = \frac{T_J - T_C}{P_D} [^{\circ}C / W]$$

$R_{\theta cs}$  : Case到Sink熱阻，因包裝與heat sink的襯底方法不同而變化。





- 热阻随温度的变化:一个单独的脉冲曲线决定了热阻可以表述有固定周期D的重复功率脉冲.由下面公式可以表示:

$$Z_{\theta JC}(t) = R_{\theta JC} \cdot D + (1-D) \cdot S_{\theta JC}(t)$$

**Drain**电流:元件(MOSFET)的散热能力决定了 $I_d$ 的等级,最大电流与case温度的关系式如下: $I_d$ 会随着 $T_c$ 的增加而减小.

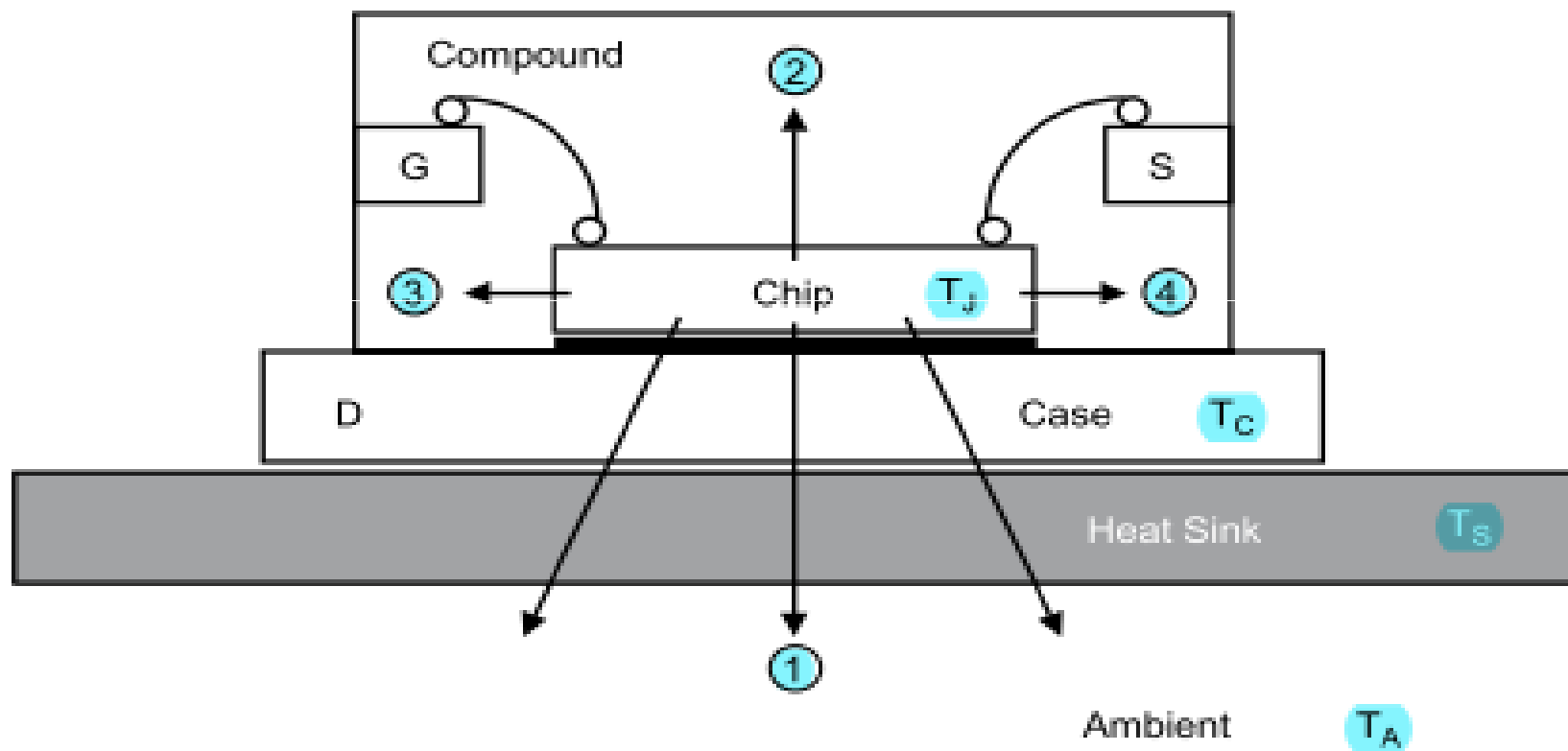
$$R_{\theta JC} = \frac{T_J - T_C}{P_D} [^{\circ}\text{C}/\text{W}]$$

$$I_D(T_C) = \sqrt{\frac{T_{Jmax} - T_C}{R_{DS(on)}(T_{Jmax}) \cdot R_{\theta JC}}}$$

# Thermal resistor

- MOS工作时产生的功耗会转化为热量,进而增加junction温度.该温度会影响MOS的特性和寿命。所以，必须将热量释放出来以降低junction温度。
- 影响MOS散热能力的参数就是热阻。

- 下图为MOS的散热途径。

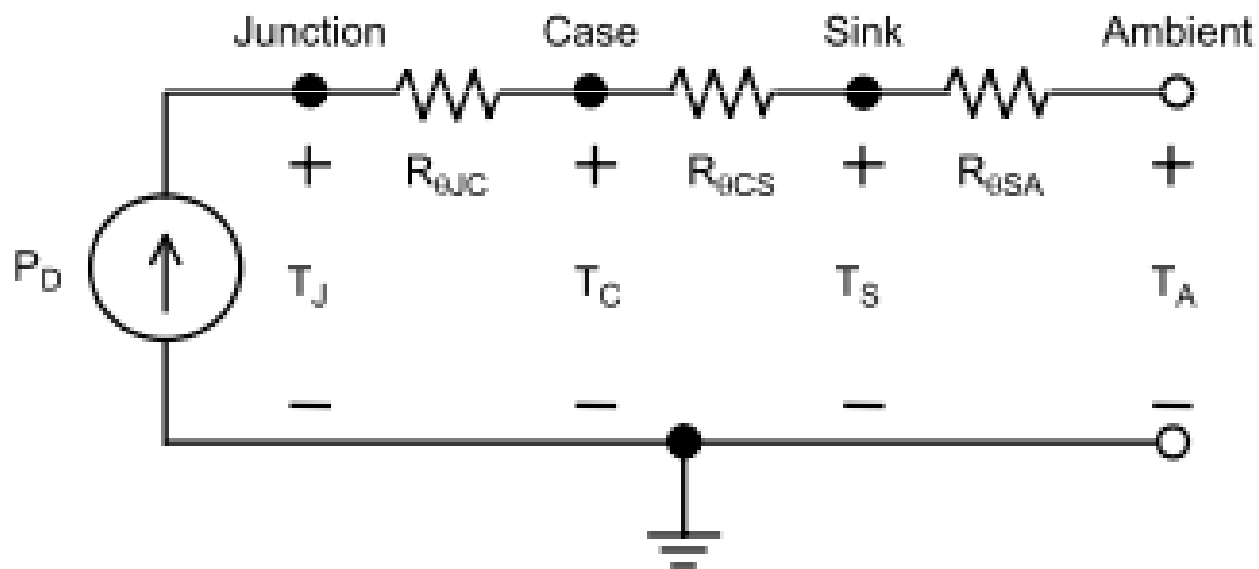


**The Path of Thermal Discharge at the Chip Junction**



- 散热途径可以看作串联电路，所以MOS的热阻可以等效为如下电路，总热阻为：

$$R_{\theta JA} = R_{\theta JC} + R_{\theta CS} + R_{\theta SA}$$



**An Equivalent Circuit Based on Thermal Resistance**

其中：

$R_{thCS}$ ：是由package和heatsink的安装方法决定。

$R_{thSA}$ ：heatsink的设计方法决定的。

$R_{thJC}$ ：一旦模具的size确定，它就由package的设计方法和lead frame的材料决定。

这里， $R_{thJC}$  可以在 $T_c = 25$ 度的条件下被测得，公式如下：

$$R_{thJC} = \frac{T_J - T_C}{P_D} [^{\circ}C/W]$$

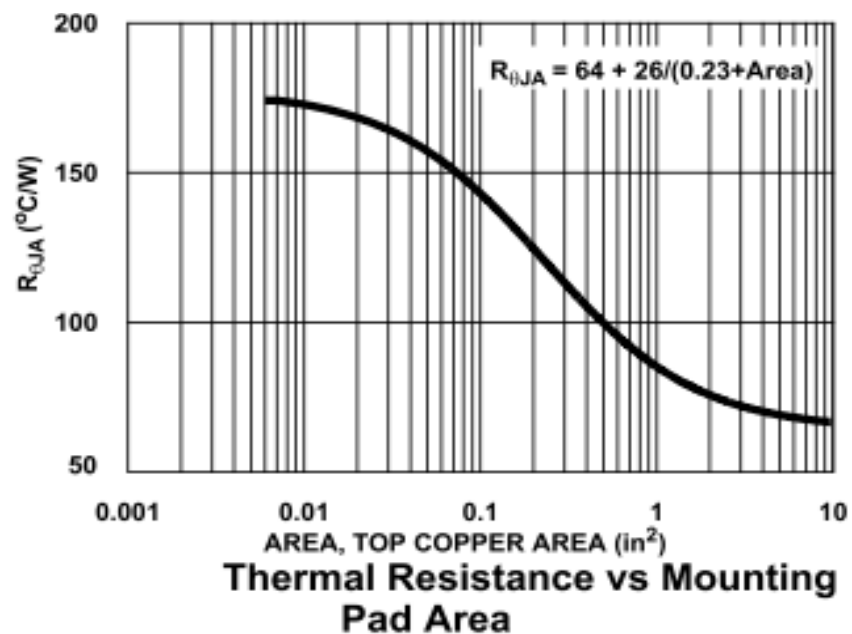
$T_c = 25$ 意味着将heatsink视为无限大，也就是 $T_c = T_A$ 。

以上可以看出热阻在MOS的制程过程中已经形成，不能通过将其减小来散热。但是在应用时，可以通过增加PCB板上，放置MOS处的pad面积或空气流动，使热量尽快散掉。

- 热阻与mounting pad面积的关系式为：

$$R_{\theta JA} = 64 + \frac{26}{0.23 + Area}$$

其中，Area是放置MOS处的pad的面积，由layout决定。



- **Junction 温度的确定**

最大的额定 junction 温度和热阻决定了 MOS 的最大允许功耗 ( $P_{DM}$ )，当 MOS 完全导通时， $P_{DM}$  可视为恒定。所以，要 review ambient 温度和热阻，以确保 junction 温度不会超过极限。关系式如下：

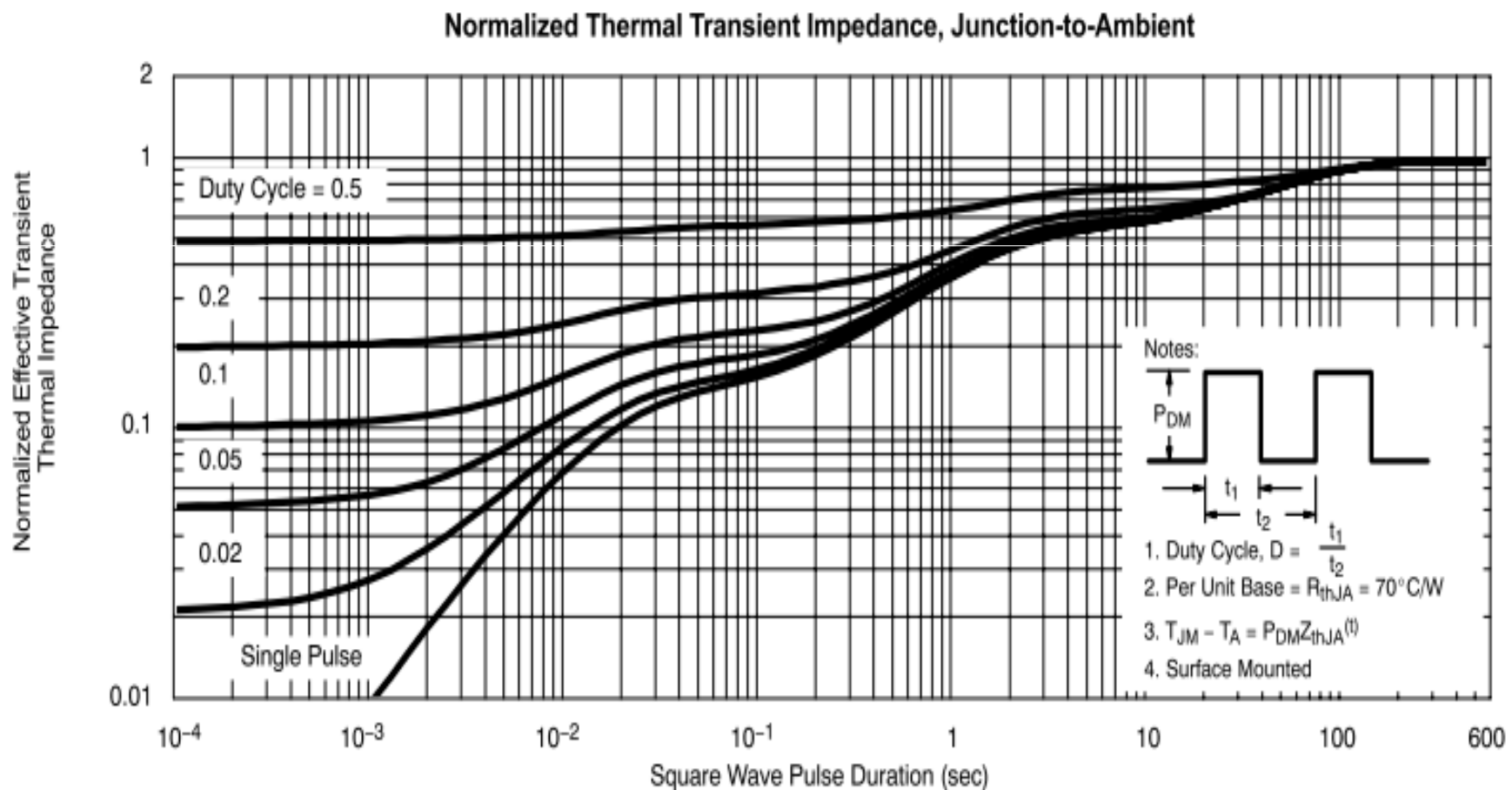
$$P_{DM} = \frac{(T_{JM} - T_A)}{R_{\theta JA}}$$

- 更精确的影响 MOS 最大允许功耗的因素包括：

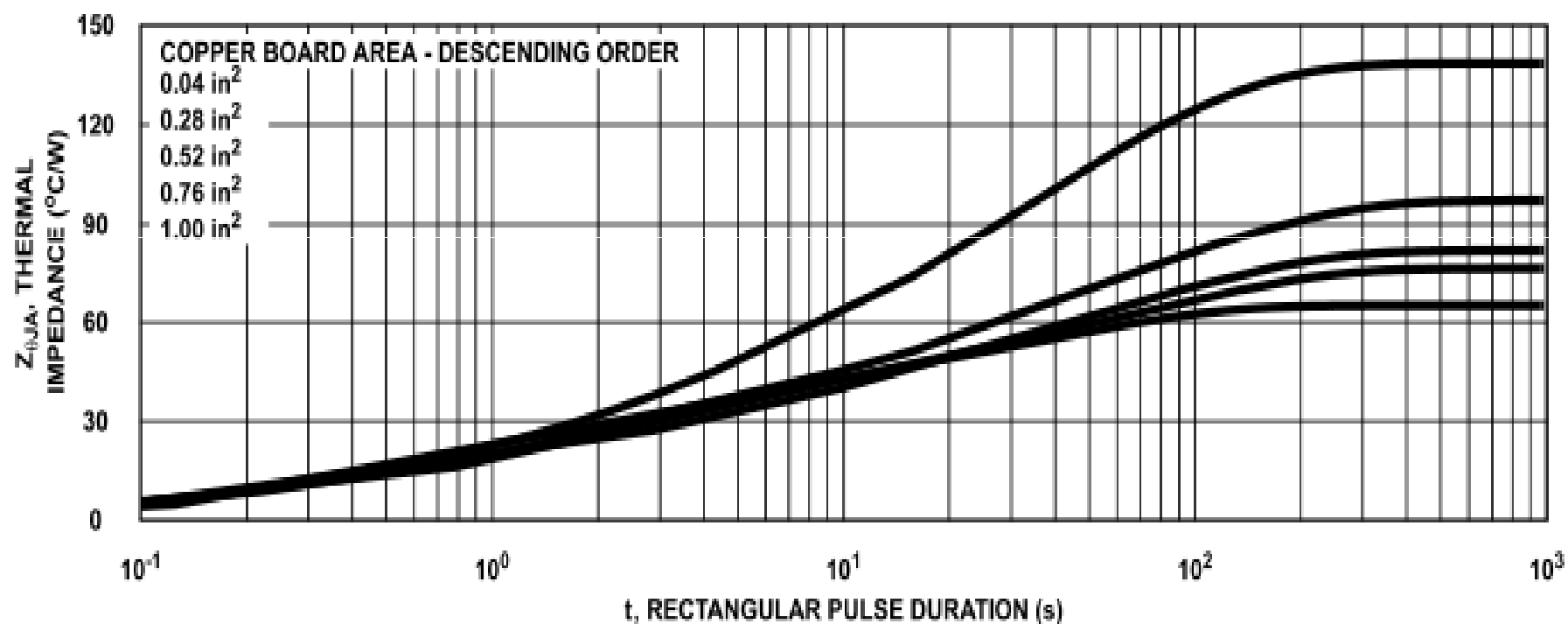
- a、放置 MOS 处的 pad 的面积，还有放置 MOS 处的 board 的 bottom 层是否有铜。
- b、board 的厚度和 copper layer 的数目。
- c、heatsink 和 thermal via 的用法。
- d、空气流动和 board 的走向。
- e、占空比。一

# Transient thermal resistor ( $Z_{thJA}$ )

- 影响 $Z_{thJA}$ 的主要因素是占空比（D），在方波周期一定的情况下， $Z_{thJA}$ 会随着D的增加而增大，波形如下：



- $Z_{thJA}$  也会受Area 的影响，如下图所示。当pulse带宽小于100ms时，Area对 $Z_{thJA}$ 没有明显的影响，此时的 $Z_{thJA}$ 由模具和package决定。



Thermal Impedance vs Mounting Pad Area

# MOS在開關電路中的應用與計算

- MOS損耗計算
- MOS選取
- MOS好壞的判斷
- Shoot through、Overshoot and Undershoot

# MOS損耗計算

MOS在同步BUCK電路分為High-side MOS和Low-side MOS所以MOS損耗的計算分為兩個部分：

1：High-side MOS損耗 ( $P_H$ )

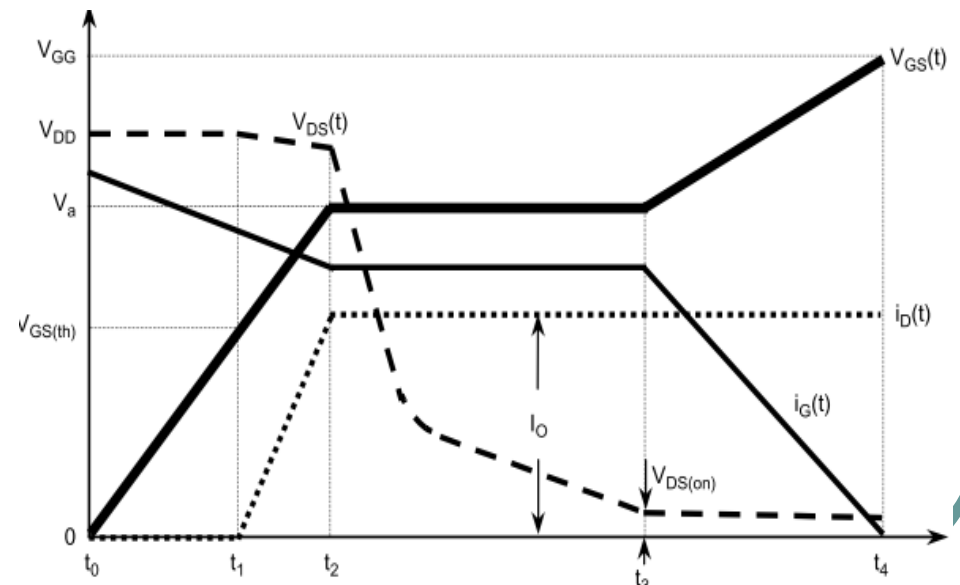
導通損耗： $P_{on}=I_{rms}^2 * R_{ds(on)} * D$

開關損耗：由右圖所示MOS的開通損耗主要集中在 $t_1-t_3$ 階段, $t_1-t_2$ 期間, $I_D$ 線性增加到 $I_o$ , $V_{DS}$ 基本不變,所以此段時間內功耗為：

$$E_{t_2-t_1} = I_o * V_{DS} * (t_2 - t_1) / 2$$

$t_2-t_3$ 期間, $I_o$ 不變, $V_{DS}$ 基本呈線性下降,所以此段時間內功耗為：

$$E_{t_3-t_2} = I_o * V_{DS} * (t_3 - t_2) / 2$$





所以開通時開關損耗為  $P_{sw(on)} = I_o * V_{DS} * (t_3 - t_1) * F_{sw} / 2$

可得開關損耗為  $P_{sw} = I_o * V_{DS} * (t_r + t_f) * F_{sw} / 2$

**驱动损耗**：驱动损耗为栅极电容的充放电损耗,其大小为

$$P_{driver} = Q_G * V_G * F_{SW}$$

(注意:  $Q_G$  为MOS手册上所给出的某一特定电压下的值,当这一特定电压与  $V_G$  大小不一样时,需要乘以两个电压的比值来算出  $V_G$  下的  $Q$  大小.)

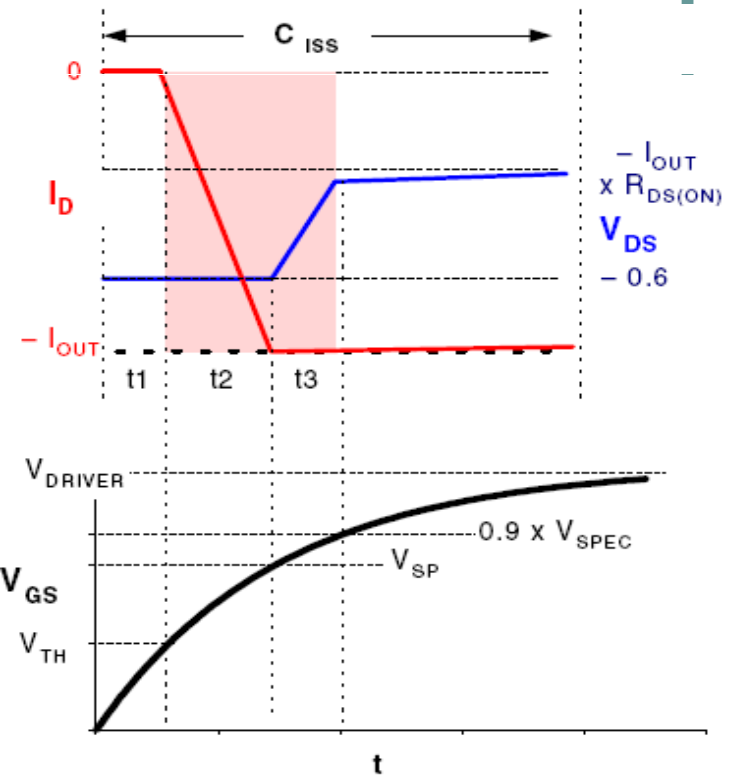
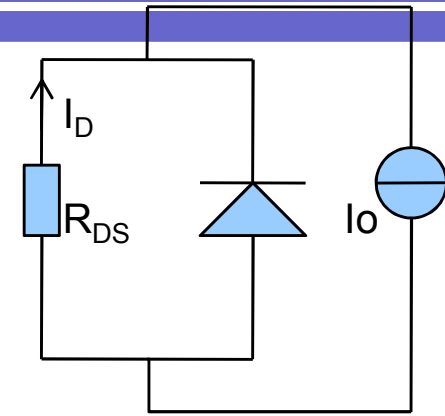
$$\text{综上所述可知: } P_H = R_{DS(ON)} * I_o^2 * D + \frac{1}{2} I_o * V_{DS} * (t_r + t_f) * F_{SW} + Q_G * V_G * F_{SW}$$

2 : Low-side MOS損耗 ( $P_L$ )

**導通損耗**:  $P_{on} = I_{rms}^2 * R_{ds(on)} * (1 - D)$

**開啟損耗**：L-side MOS 由於是D端為負壓，開啟前期DS間電流會從寄生diode流過，和H-side MOS的開啟過程有很大差別，由於 $V_{DS}$ 最大電壓很小(為寄生diode的壓降)，所以不會有H-side MOS的開啟過程中的米勒效應。為了便於理解，以右圖所示的電路圖所示， $R_{DS}$ 代表溝道電阻，在下圖對應t1.t2時刻內其阻值很大，逐漸下降，此時電流大部分流經diode，t3階段開始時，電阻降低到兩端電壓小於0.6V，此時diode無法導通，所有電流均流經 $R_{DS}$ ，在t3階段，溝道電阻線性下降到 $R_{DS(ON)}$ ，MOS完全導通。啟開損耗為：

$$(t_1 * V_F + t_2 * V_F + t_3 * \frac{V_F + I_O * 1.1 * R_{DS(ON)}}{2}) I_O * F_{SW}$$



**關閉損耗**:如圖所示，L-side MOS關閉過程為開啟逆過程，則L-side MOS關閉損耗與開啟損耗相同。

**驅動損耗**: 和H-side MOS一樣，其驅動損耗為

$$P_{\text{driver}} = Q_G * V_G * F_{\text{SW}}$$

**寄生diode損耗**: 在deathtime內兩個MOS均關閉，電流流經L-side MOS的寄生diode，其損耗為

$$P_{\text{deathtime}} = V_F * I_O * t_{\text{deathtime}} * F_{\text{SW}}$$

綜上可知：

$$P_L = R_{\text{DS(ON)}} * I_O^2 * (1-D) + 2(t_1 * V_F + t_2 * V_F + t_3 * \frac{V_F + I_O * R_{\text{DS(ON)}}}{2}) I_O * F_{\text{SW}} \\ + Q_G * V_G * F_{\text{SW}} + V_F * I_O * t_{\text{deathtime}} * F_{\text{SW}}$$

# MOS的选取

MOS選取主要分以下幾個步驟：

- 第一步：選用N溝道還是P溝道

N-MOS栅极低电平时关闭，高电平时开启，P-MOS恰好相反；相同电流和电压定额的MOS，一般P-MOS导通电阻比N-MOS大，开关速度也比N-MOS慢，所以开关电路中一般只有常开的总线里才用P-MOS。

- 第二步：確定額定電壓和電流

要确保DS两端最大电压不能超过其额定电压 $BV_{DSS}$ ，这个最大电压要从整个工作温度范围内去考量，还要包括其他电子设备诱发的电压瞬变和突起。同时最大电流包括尖峰电流都不能超过MOSFET的额定电流。

- 第三步：確定熱要求

选择MOS还要考虑系统的散热要求，采用最坏情况的计算结果，以保证系统不会失效。

- 第四步：效率考量

在系统稳定的情况下，最重要的还是效率的提高，要提高效率，就要选用较快的开关速度（ $Q_G$ 、 $R_G$ 比较小的）和较小的导通电阻，但是这也意味着成本的增加，所以要根据实际情况进行选取，比如H-side MOS损耗主要集中在开关阶段，就要选用低 $Q_G$ 的，而L-side MOS损耗主要在导通阶段，要注意选用导通电阻比较小的MOS。

下面以IRF6337(H)和IRF6618(L)的参数表为例来说明下MOS选取应该注意的参数几个参数.

	Parameter	Min.	Typ.	Max.	Units	Conditions	
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	6.2	8.1	m $\Omega$	$V_{GS} = 10V, I_b = 15A$ ③	
		—	8.9	11.7		$V_{GS} = 4.5V, I_b = 12A$ ③	
$BV_{DSS}$	Drain-to-Source Breakdown Voltage	30	—	—	V	$V_{GS} = 0V, I_b = 250\mu A$	
$Q_g$	Total Gate Charge	—	11	17			
$Q_{gs1}$	Pre-V <sub>th</sub> Gate-to-Source Charge	—	3.1	—		$V_{DS} = 15V$	
$Q_{gs2}$	Post-V <sub>th</sub> Gate-to-Source Charge	—	1.0	—	nC	$V_{GS} = 4.5V$	
$Q_{gd}$	Gate-to-Drain Charge	—	4.0	—		$I_b = 12A$	
$Q_{gclr}$	Gate Charge Overdrive	—	2.9	—			
$Q_{sw}$	Switch Charge ( $Q_{gs2} + Q_{gd}$ )	—	5.0	—			
$V_{GS(th)}$	Gate Threshold Voltage	1.25	—	2.25	V	$V_{DS} = V_{GS}, I_b = 250\mu A$	
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$					55	
$I_D @ T_A = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$					14	A
$I_D @ T_A = 70^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$					11	
$I_{DM}$	Pulsed Drain Current ①					120	

IRF6637

	Parameter	Min.	Typ.	Max.	Units	Conditions
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	1.7	2.2	m $\Omega$	$V_{GS} = 10V, I_b = 27A$ Ⓞ
		—	—	3.4		$V_{GS} = 4.5V, I_b = 22A$ Ⓞ
$BV_{DSS}$	Drain-to-Source Breakdown Voltage	30	—	—	V	$V_{GS} = 0V, I_b = 250\mu A$
$Q_g$	Total Gate Charge	—	46	69		
$Q_{gs1}$	Pre-V <sub>th</sub> Gate-to-Source Charge	—	13	—		$V_{DS} = 15V$
$Q_{gs2}$	Post-V <sub>th</sub> Gate-to-Source Charge	—	4.9	—	nC	$V_{GS} = 4.5V$
$Q_{gd}$	Gate-to-Drain Charge	—	15	—		$I_b = 22A$
$Q_{godr}$	Gate Charge Overdrive	—	13	—		See Fig. 16
$Q_{SW}$	Switch Charge ( $Q_{gs2} + Q_{gd}$ )	—	20	—		
$V_{GS(th)}$	Gate Threshold Voltage	1.35	—	2.35	V	$V_{DS} = V_{GS}, I_b = 250\mu A$
$I_D$ @ $T_C = 25^\circ C$	Continuous Drain Current, $V_{GS}$ @ 10V					150
$I_D$ @ $T_A = 25^\circ C$	Continuous Drain Current, $V_{GS}$ @ 10V					29
$I_D$ @ $T_A = 70^\circ C$	Continuous Drain Current, $V_{GS}$ @ 10V					23
$I_{DM}$	Pulsed Drain Current Ⓞ					210

IRF6618

# MOS好坏的判断

量测之前，先把GS两端短路放电，然后用欧姆表量测DSG任意两端电阻为M欧级，假若先量测GS，再量测DS两端电阻，其阻值会明显变小或者通路。

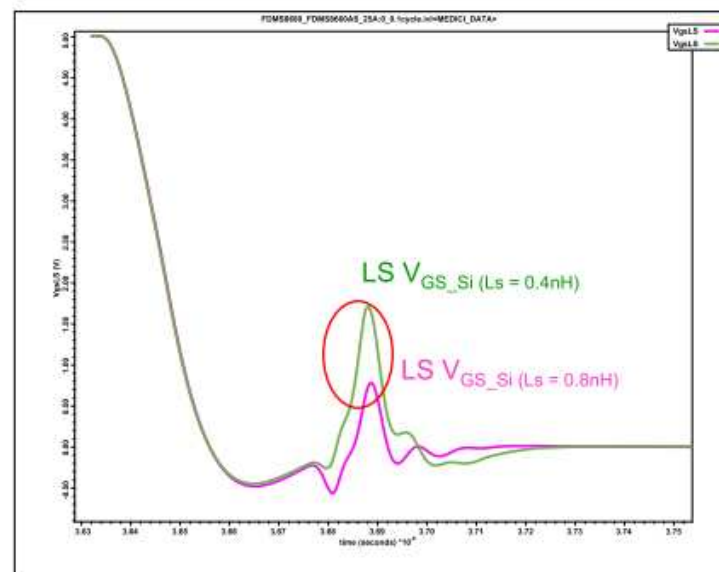
用二极管档量测S D（S正D负）两端会有一个电压，其他任意两端均为无穷大，如果量测完GS端再量测SD和DS会发现有一个很小电压，再短路GSpin进行放电再量测DS就会重新变成无穷大，这些都应该是一个正常的MOS所具备的。



# Shoot through

所谓Shoot through就是指在上管还没关闭或者完全关闭的时候，下管就已经打开了。这样上下管同时导通，是VCC短接到地。  
产生原因：当Phase端有一个peak电压过来的时候，Low side mos的Cgd和Cgs会有一个分压，也就是Vgs会起来，促使Low side mos开启，产生如上图2圆圈部分所示的Peak，这个peak电压会产生一定的Short though。

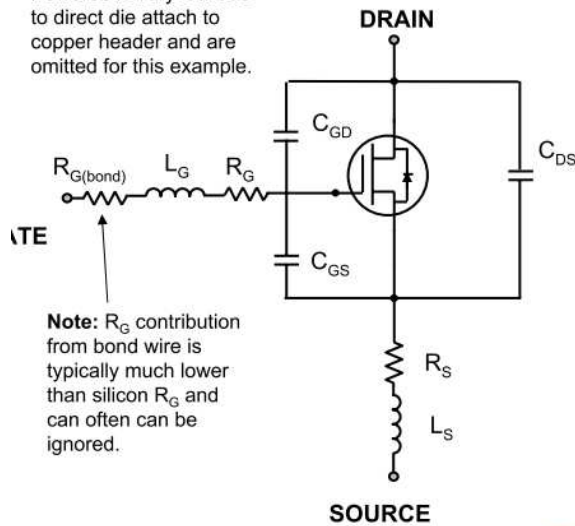
解决方法：选择Cgd/（Cgs + Cgd）的比值较小的MOS以及较大Ls的MOS



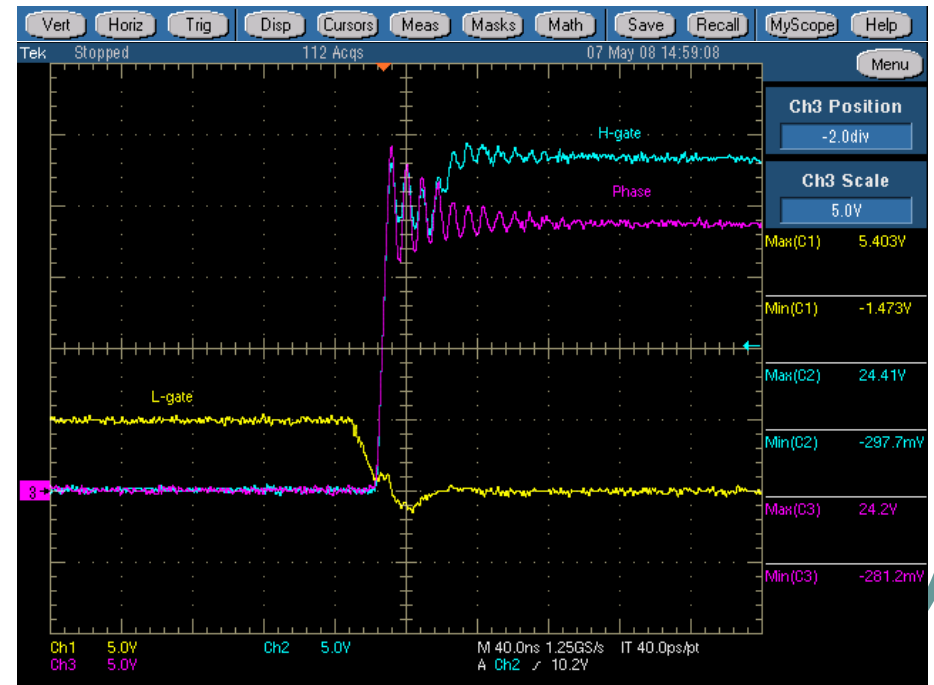
# Overshoot

当上管刚开启的时候，MOS的 $L_S$ 和 $C_{DS}$ 震荡产生ring，当这个ring比较大时有可能击穿下管，这种现象称为Overshoot。  
解决方法：在栅极加电阻以降低开关速度；在下管并联snubber来降低overshoot的能量。

Note:  $L_D$  and  $R_D$  contribution from Power56 is very low due to direct die attach to copper header and are omitted for this example.



Note:  $R_G$  contribution from bond wire is typically much lower than silicon  $R_G$  and can often be ignored.



# Undershoot

Mos的undershoot主要是在High side mos关闭的时候，会进入Dead time，此时chock上的电流会通过下管的Body diode来形成一个回路，刚开始时会因为下管的Ls和Cds震荡，产生一个负压，会通过phase影响IC。

