

通过在FPGA设计流程引入功率分析改善PCB的可靠性

过去，FPGA 设计人员考虑的是时序和面积使用率。但是，随着 FPGA 正越来越多地取代 ASSP 和 ASIC，设计人员期望开发功率较低的设计并提供更加精确的功率估计。最新 FPGA 分析软件能提供一种精确和灵活的手段来模拟各种工作环境下的功耗。

与功能和时序验证类似，功率分析以并行验证的形式对设计流程进行跟踪(见图 1)。早期的功率分析依赖于简单的利用率和由设计者用“假设分析”方法提供的信号活性评估。后来，由于可以获取布局后(post-layout)器件信息和门级仿真记录的信号活性，功率估计变得更加精确了。

FPGA 功率计算器可评估器件功耗，使设计者能够导入布局和布线设计，并指定诸如电压、温度、工艺变化、气流、散热片及资源利用率、活性和频率等参数。应用这些参数可以在不同的设计环境下形成尽可能精确的模型。

基本功耗计算

大多数 FPGA 功率分析工具可报告功耗的动态(AC)和静态(DC)部分。静态电流由器件的漏电流组成。静态电流/功率与器件的温度、工艺、电压参数和条件有关。它在很大程度上取决于温度，温度与电路板及器件的热特性相关。静态功耗也是所有电源上的漏电流。

功耗的动态部分为所使用的资源在转换时的功耗。动态部分的功耗直接与工作频率(资源在该频率下工作)和使用的资源数量成正比。

DC 功率由下面的方程得出：总 DC 功率(器件)= $A \times e \times B \times T$

其中：A 是与参数相关的工艺，B 是温度系数，T 是器件的结温。

AC 功率由下面的方程得出：总 AC 功率(资源) = $K_r \times f_{MAX} \times AF \times Nr$

其中：K_r 是针对资源的功率常数(单位为 mW/MHz)。f_{MAX} 是正在使用的资源的最大频率。频率用 MHz 量度。AF 是资源组的活性因子。活性因子是切换频率的百分比。Nr 是设计中使用的资源数目。

FPGA 布线互连是整体功耗的主要来源，功耗与金属层的电容和转换率成正比。

活性因子(AF%)被定义为频率(或时间)的百分比，在该频率下信号被激活或者转换输出。大多数与时钟域相关的资源以某频率的百分比运行或转换。功率分析工具的用户可以手工将这些参数以百分比形式输入，或者根据仿真结果导入活性因子。可针对每个布线资源、输出或 PFU 计算出 AF。如果未提供仿真结果，则对于一个占器件资源 30%到 70%的设计，通常建议 AF%在 15%到 25%之间。AF(通常从仿真结果导入)的精确性取决于时钟频率，设计的激励信号和最终输出。

器件的 I/O 消耗大量的功率，对于一个指定设计可以将其配置成串行或混合结构。由用户提供的信号(输入情况)或作为设计的输出(输出情况)的信号决定了混合 I/O 的状态。I/O 转换速率定义了它们的状态。下列方程定义了输出的转换速率，用 MHz 表示。

$$\text{转换速率(MHz)} = 1/2 \times f_{\text{MAX}} \times \text{AF}\%$$

其它环境因素，如电路板的面积、散热片和气流都是计算动态和静态功耗时的要素。

管理功耗

现今最关键的设计要素之一是必须降低系统的功耗，特别是对于手持设备和电子产品而言。用户可以利用一些 FPGA 设计技术来有效地降低整个系统的功耗，包括：

1. 降低工作电压。
2. 在指定的封装温度限制范围内运作。
3. 使用优化的时钟频率，因为动态功率直接与工作频率成正比。设计者必须明确，如果设计的某部分可以以较低速率时钟控制，那将会降低功耗。
4. 减小设计在器件中的跨度，紧密放置的设计可使用较少的布线资源以降低功耗。
5. 可能的话，减小 I/O 的电压摆幅。
6. 可能的话，使用优化的编码。例如 16 位的二进制计数器平均只有 12% 的活性因子，7 位的二进制计数器平均有 28% 的活性因子。另一方面，7 位线性反馈移位寄存器的可以以 50% 活性因子转换，这会导致较大的功耗。每个时钟沿仅有一位改变的格雷码计数器所消耗的功率最少，同时活性因子将低于 10%。
7. 利用以下方法尽可能减小工作温度：使用散热性能较好的封装，例如具有较低热阻抗的封装；在 PCB 上的器件周围放置散热片和散热层；采用更好的气流技术，如机械气流导管和风扇(系统风扇和器件风扇)。

典型的功率分析方案

可以在 FPGA 设计流程的任何阶段用 FPGA 功率分析工具估算功耗。例如，可以在实际设计完成之前、或在布局布线后导入最终设计数据库时，用这个工具来估算功耗。当与映射后、布局后或者布线后的结果一起提供时，功率分析工具的精度得到提升。结合了功率分析的 FPGA 设计流程通常可提供重要的事件：驱动估计、后布局布线，以及后仿真。图 2 显示了该流程以及在功率的 FPGA 设计流程中的典型重要事件。

1. 驱动估计：采用的资源和转换频率由手工输入。
2. Post-PAR：针对更加精确的模型导入后布局 and 布线资源。
3. 后仿真：针对更加精确的活性因子和转换速率模型，导入由 HDL 仿真器产生的转换频率。

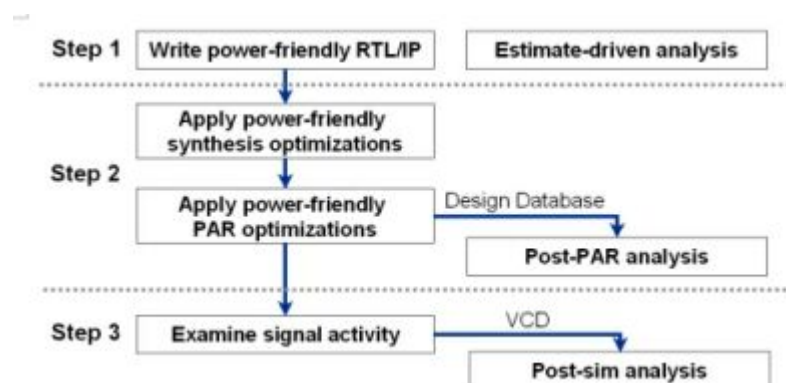


图2：面向 FPGA 功率分析的设计流程。

为适应提供给分析工具的不同模型数量，功率估计工具的运作可能是形式上的。在“驱动预计”模式下，分析引擎根据器件资源或者由用户提供的模板计算功耗。在对器件评估和进行“假设分析”时，这种模式最初是非常有用的。在该模式下，设计者提供频率、活性因子、电压参数和器件利用率。还需要提供工作条件，例如环境温度。利用先进的功率工具，设计者还可以选择诸如电路板尺寸、散热片和气流等。

在一个更精确的计算模式下，这个工具在 post-PAR 分析期间根据从布局布线器件数据库提取的器件资源计算功耗。数据库包括使用的块和布线信息。可从数据库提取详细的 FPGA 块利用率信息。FPGA 通常包含普通的可编程结构块，I/O、时钟、嵌入式 RAM 块、嵌入式 DSP、PLL/DLL 和 SERDES I/O。

环境建模

功率分析环境提供了一种方法来模拟 FPGA 器件的环境，包括 PCB 的叠层、散热片、气流和环境温度。

为给这个设计选择热阻模型，设计者可以用各种尺寸的电路板、散热片和气流设置进行实验。电路板的选择会影响热阻结合面至电路板(Theta JB)，以及电路板至空气(Theta BA)的值，散热片和气流选择会影响散热片至空气(Theta SA)，以及结合面至空气(Theta JA)的值。在某些情况下，可提供 JEDEC 电路板(2s2p)、JEDEC 标准、JESD51-11 来模拟电路板的特性，如最终尺寸、连线和电介质层。

规则的 theta JA 通常基于 4"x4"的 4 层 JEDEC 标准电路板。更复杂的 PCB 板尺寸为 8"x8"，具有 8~10 层用于散热。由于电路板可吸收和散去一部分热，因此电路板设计非常关键。在电路板上将一些大功率器件排在一起会使它们争夺“热资源”，这将造成无法预计的后果。在电路板上加一些热过孔有助于把热传播到不同的层，甚至可能是电路板之外。

因为散热片特性影响功率计算，分析工具可适用于各种散热片。电路板上的热阻很大时(系统不能很快的散热时)，要用散热片。可以预先使用一些较新的器件热模型和仿真工具来核查是否有任何热方面的问题。

把气流特性加到某一设计中能够通过对流较好地散热。这又有助于降低系统的整体热阻。环境气流(用英尺/分钟(LFM)表示)是功率分析工具使用的另一个要素。环境温度指的是在一个封装中围绕器件的介质的期望工作温度(用摄氏度表示)。还应考虑 FPGA 与其它发热器件的位置，因为在气流路径上的其它发热器件会引起热传递。

热模型的发展

在热设计工具的历史上，元件建模一直依赖于表示 IC 封装的物理结构的详细模型。一个合适的详细模型将精确地预测封装的温度，而不管它所放置的环境。这被称为边界条件独立(BCI)。这些详细而精确的模型是计算密集型的。1996 年 DELPHI 联盟开发了用于生成 BCI 紧凑模型的方法学，研究热现象的 JEDEC JC 15.1 委员会积极地推动了这项工作。BCI 紧凑模型是更抽象和行为级的。它们的目标是基于一些关键点(如连接处、外壳、引脚)精确地预测封装温度。

DELPHI 紧凑模型由几个热电阻组成，这些热电阻将代表裸片的节点连接到几个表面结点上。热连接也可以出现在表面结点之间(分流电阻)。图 3 为 DELPHI 紧凑模型或一个带引脚封装。

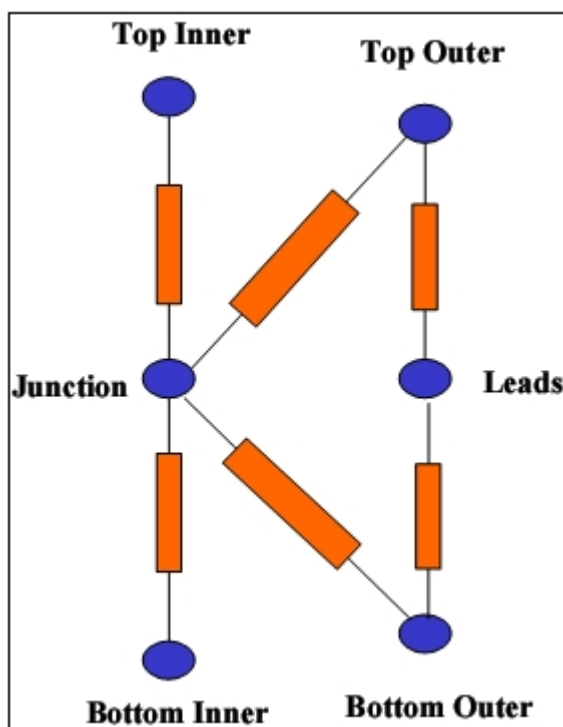


图 3: DELPHI 紧凑模型结构。

实际上，对于任何检查了结温和热流量的环境，DELPHI 紧凑模型产生的差错小于 10%。DELPHI 详细模型的计算时间是原来的 5 倍或更多。

本文小结

目前设计中最关键的因素之一是降低系统功耗，这对于手持设备和其它现代电子产品而言尤为重要。与其它仿真方案类似，FPGA 功率分析采用的是并行验证。分析工具支持面向“假设分析”的估计模式，或在可获取详细的器件和信号活性信息时支持计算器模式。大多数分析工具的特点是环境模式可选，例如 PCB、装配和气流特性。功率计算器可以报告交流功率和直流功率。通过改进建模方法，如 DELPHI 紧凑模式，将能够改善 FPGA 热分析工具的性能。