

基于 CPLD 的光伏逆变器锁相及保护电路设计

0 引言

在光伏并网系统的逆变器电路中,对电网电压的锁相是一项关键技术。由于电力系统在工作时会产生较大的电磁干扰,因此,其简单的锁相方法很容易受到干扰而失锁,从而导致系统无法正常运行。在这种情况下,设计采用对电网电压进行过零检测后再将信号送入 CPLD,然后由 CPLD 实现对电网电压进行数字锁相的方法,可以有效地防止相位因干扰而发生抖动或者失锁的现象,保证系统的正常运行。另外,本系统还使用 CPLD 对 DSP 产生的 PWM 波控制信号和系统运行时的各项参数进行监控,一旦发现异常,立即使系统停机,并通知 DSP 发生异常,从而实现了系统的硬件保护。

1 系统整体结构组成

本文所介绍的设计方法是 5 kW 光伏并网发电系统中逆变器的一部分,该光伏并网逆变器可实现额定功率为 5 kW 的太阳能电池阵列的最大功率跟踪与并网输出。其逆变器的系统结构图如图 1 所示。

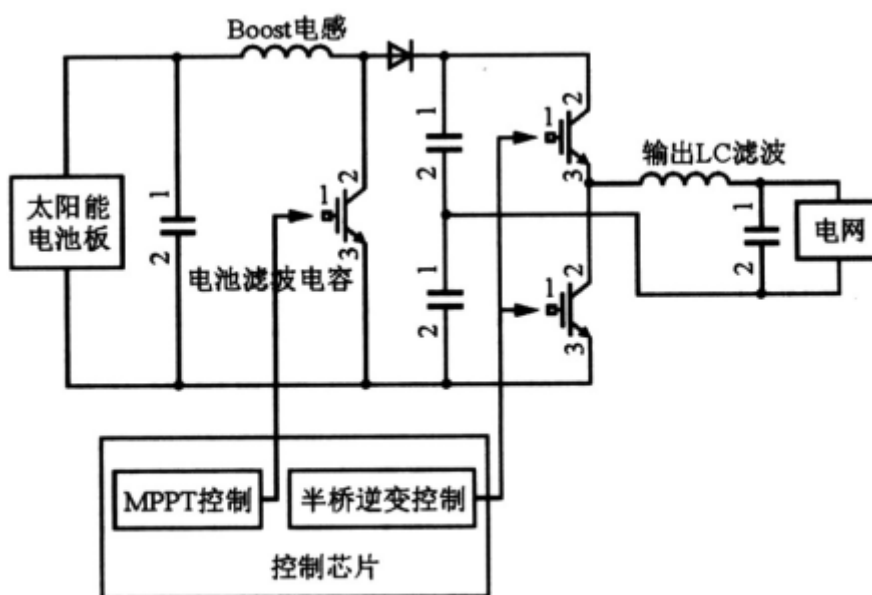


图1 5 kW光伏并网逆变器系统结构图

本控制系统由 TI DSP2812 作为主控芯片,Xilinx CPLD XC9572XL 用作数字锁相与保护电路, XC9572XL 为 3.3 V 内核电压的 CPLD,它由 4 个 54V18 功能模块组成,可提供 1600 个 5 ns 延迟可用门。

2 数字锁相电路的设计与实现

数字锁相电路的系统结构图如图 2 所示。该电路由数字鉴相器、数字滤波器和数控振荡器组成。



图2 数字锁相系统结构图

如果把图 2 所示的数字锁相电路中的数字滤波器看成一个分频器，则其分频比为 Mf_c/K ，此时的输出频率为：

$$f' = K' \Delta \phi Mf_c / K$$

其中， $\Delta \phi$ 为输入信号 V_1 与输出信号 V_2 的相位差； f_c 为环路的中心频率。那么，该数控振荡器的输出频率为：

$$f_2 = f_1 + K' \Delta \phi Mf_c (kN)$$

由于锁定的极限范围为 $K' \Delta \phi = \pm 1$ ，所以，可得到环路的捕捉带：

$$\Delta f_{\max} = f_{2\max} - f_1 = Mf_c (kN)$$

这样，当环路锁定时， $f_2 = f_1$ 其系统稳态相位误差为：

$$\Delta \phi (\infty) = NK (f_2 - f_1) / (k' Mf_c)$$

可见，只要合理选择 K 值，就能使输出信号 V_2 的相位较好地跟踪输入 V_1 的相位，从而达到锁定之目的。如果 K 值选的太大，环路捕捉带就会变小，这将导致捕捉时间增大；而如果 K 值太小，则可能会出现频繁进位，借位脉冲。从而使相位出现抖动。

根据图 2 给出的数字锁相环的原理框图，可用 VHDL 语言分别对该系统进行设计。其中数字滤波器由 K 模计数器组成，数控振荡器包括脉冲加，减控制电路和 N 分频器等。

2.1 数字鉴相器

数字鉴相器通常可选用边沿控制型鉴相器、异或门鉴相器、同或门鉴相器或 JK 触发器组成的鉴相等。本数字鉴相器是一个相位比较装置，主要通过比较输入信号 V_1 (相位 ϕ_1) 与输出信号 V_2 (相位 ϕ_2) 的相位来产生一个误差信号 V_d ，其相位差为 $\Delta \phi = \phi_1 - \phi_2$ 。当 $\Delta \phi = \phi_e$ (输入信号脉宽的一半) 时，其鉴相器输出为方波，属于相位锁定阶段。在这种情况下，只要可逆计数器的 K 值足够大，其输出端就不会产生进位脉冲或借位脉冲。在环路未锁定时，若 $\Delta \phi < \phi_e$ ，其输出脉冲的占空比小于 50%；而当 $\Delta \phi > \phi_e$ ，其占空比大于 50%，该输出电压 V_d 将加到 K 模可逆计数器的 UP/DN 输入端。

2.2 数字滤波器

计数器可设计成一个 17 位可编程 (可变模数) 可逆计数器，计数范围为 23~217，可由外部置数 DCBA 控制。其输入频率 $f_k = Mf_c$ 。当鉴相器输出 V_d 为高电平时， K 模计数器进行减计数，计数到“0”时，输出一个借位脉冲 DN；而当鉴相器输出 V_d 为低电平时， K 计数器进行加计数，当计数到某一设定值“DCBA”时，将输出一个进位脉冲 UP。UP 和 DN 可作为脉冲加 / 减电路的“加”和“扣”脉冲控制信号。

2.3 数控振荡器

本电路由 D 触发器、JK 触发器和与门、或门等电路组成。当数字滤波器 UP 输出端输出一个进位脉冲时，系统便在 INC 下降沿到来后，在脉冲加 / 减电路的输出端 f_{out} 插入一个脉冲信号，也就是使相位提前半个周期；反之，当数字滤波器 DN 端输出一个借位脉冲时，在 DN 下降沿到来后，系统就会在脉冲加 / 减电路的输出序列中扣除一个脉冲信号，也就是使相位滞后半个周期，且这个过程是连续发生的。这样，脉冲加，减电路的输出经 N 分频器模块 (ncount) 分频后，即可使输出信号的相位接受调整控制，最终达到锁定。当环路锁定后，输出与输入信号之间会存在一定的相位误差。

3 保护电路的设计与实现

本系统中的保护电路主要由 PWM 波形监视模块和系统参数监视模块组成，其保护电路结构如图 3 所示。

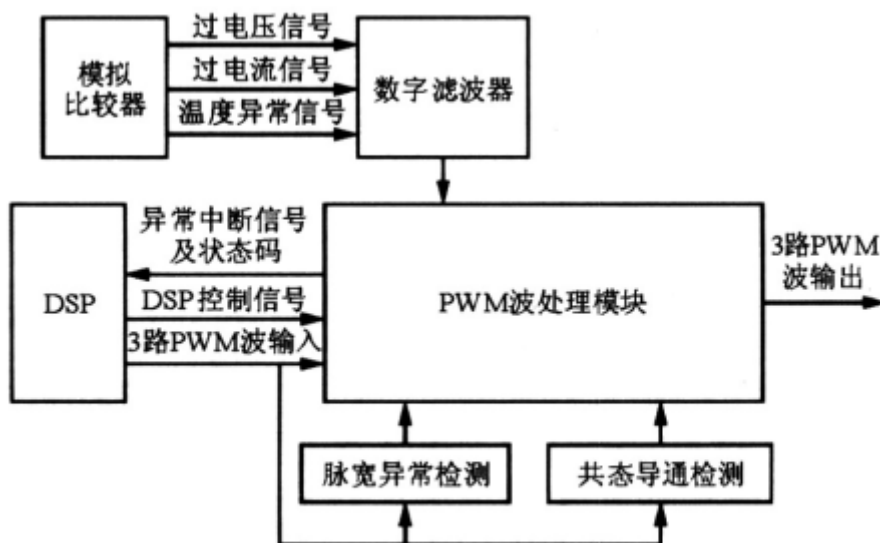


图3 保护电路结构图

图 3 中的脉宽异常检测模块由 3 个 9 位使能计数器组成，DSP 输出的三路 PWM 信号分别作为计数器的使能信号输入。当控制信号有效时，计数器开始计数，计数器的上限值为 400，即 $200\mu\text{s}$ ，当控制信号的有效宽度小于 $200\mu\text{s}$ 时 (在本系统中 DSP 的控制周期为 $55\mu\text{s}$)，即认为该 PWM 波正常，系统会将控制信号直接输出；如果大于 $200\mu\text{s}$ ，则认为 PWM 波出现异常，此时系统将立即切断 PWM 波的有效输出而停机，并把异常中断信号和异常状态码信息报告给 DSP。共态导通模块可用于监视逆变器系统，从而控制半桥高低端的两路对称 SPWM 波信号，保证这两路信号输出不会出现共态导通的情况。另外，由模拟比较器产生的系统过电压、过电流和温度异常等报警信号，经过数字滤波后，将送入 PWM 波处理模块。这样，在系统出现异常时，即可由 CPLD 实现硬件上的停机保护动作。

图 4 所示是保护电路的系统顶层图。图 5 所示是该保护电路的仿真波形。

