

文章编号: 1671-1742(2008)04-0438-04

# 千兆 SFP 光信号收发卡高速电路 PCB 仿真设计

罗 伟

(四川大学电子信息学院, 四川 成都 610064)

**摘要:**针对数字电路工作频率增加而出现的信号完整性(SI)问题,介绍了利用 SI 仿真设计来进行高速数字电路设计的方法。并给出了基于 SI 仿真指导千兆 SFP (Small Form - Factor Pluggable Optical Transceiver)光信号收发卡电路设计的实例。

**关键词:**信号完整性(SI);SI 仿真;SFP

**中图分类号:**TN912.3

**文献标识码:**A

随着微电子技术的不断发展,芯片的工作频率越来越高,高速电路的信号完整性问题成为电路设计人员不可回避的问题。文献[1]详细说明了高速数字电路信号完整性产生的原因和解决办法。设计高速数字电路是一项复杂的设计过程,要求 SI 设计思想始终贯穿于整个设计过程中,利用 SI 仿真结果进行电路辅助设计。较为系统地介绍了高速数字电路设计的一般流程,介绍了 SI 问题和 SI 仿真设计方法,并结合一个实例介绍高速数字电路设计方法在工程中的应用。没有阐述过多理论,只是从设计方法角度来研究如何解决或减少高速数字电路设计的 SI 问题。

## 1 高速数字电路设计流程<sup>[2]</sup>

高速数字电路设计指的是如果信号的上升时间小于 4 倍传输延时,PCB 板上的信号会呈现传输线效应,这样的设计称之为高速数字电路设计。和传统数字电路设计方法不同,高速数字设计需要进行 SI 仿真分析,图 1 是高速数字设计的流程图。SI 仿真分析一般分为布线前仿真和布线后仿真两个过程,其主要任务是在系统设计过程中发现并改善 SI 问题,保证信号传输质量和正确的时序功能,是保证设计成功的关键步骤。

**布线前仿真:**此阶段主要是设置 PCB 板层,收集 SI 模型,提取关键总线拓扑结构,对关键信号仿真分析(不包括串扰、上冲与下冲),对布局进行指导,设置布线规则,决定哪些信号需要端接,采用何种端接方法及端接电阻的阻值大小。

**布线后仿真:**此阶段的分析考虑了串扰在内的几乎所有的实际因素。根据布线后 SI 仿真结果对设计在布线、线间距、端接位置和端接值等方面要做精细的调整,将 SI 问题减小到可接受的范围之内。

按照这样的步骤及确定约束条件,就可以基本解决高速数字 PCB 中出现的 SI 问题。在电路及信号分析模型以及仿真分析方法正确的情况下,按此步骤制造出来的 PCB 通常不需要或只需要很少几次的修改,就能够最终进入生产阶段,从而可以缩短产品开发周期,降低开发成本。

## 2 信号完整性(SI)仿真与分析

信号完整性是指信号在电路中以正确的时序和电压做出响应的能力。信号完整性问题主要表现在:反射(Reflection)、串扰(Cross talk)、同步开关噪声(SSN)等。在高速 PCB 设计中,信号完整性问题可能会带来误判或部分数据丢失,严重时,会造成整个系统性能的下降,甚至不能正常工作。因此,现在的高速数字系统设计中,控制信号完整性问题成为决定设计成败的关键因素之一。

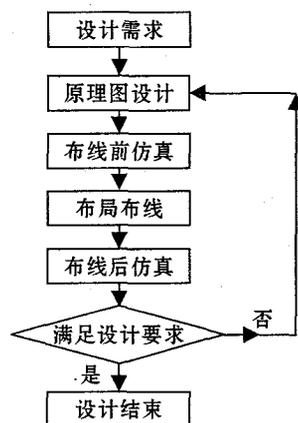


图 1 高速数字电路设计流程

### 2.1 SI 问题

(1)反射(Reflection)。根据传输线理论,传输线上阻抗不连续会引起信号反射,反射的大小与阻抗失配的程度有关,阻抗失配越大,反射就越大。减小反射的方法是根据传输线的特征阻抗在其发送端或接收端采取端接措施,即使负载阻抗与传输线阻抗匹配(并行端接);使源阻抗与传输线阻抗匹配(串行端接)。

(2)串扰(Cross talk)。串扰是信号在传输线上传播时,因电磁耦合对相邻的传输线产生的噪声电压干扰,通常因耦合机制分为容性串扰和感性串扰。串扰大小受 PCB 叠层参数、信号上升沿时间、走线间距和走线平行长度等参数影响。控制和减小串扰的方法有:增大走线间距、减小走线平行长度、为走线提供完整紧邻的参考平面等。

(3)同步切换噪声(SSN)。指的是当 PCB 上的众多数字信号(例如地址总线、数据总线等)同时进行状态切换时在地平面上产生电压的波动和变化所引起的感性噪声。当噪声电压引入到电源中后,会使地平面产生电压的波动和变化。瞬间的大电流涌动还会引起地平面反弹噪声(GroundBounce,简称地弹)。控制办法是:尽量具有连续和完整的电源层及接地层,合理设计电源的去耦电容等。

实际上 SI 现象是多个问题同时存在,互相干扰的结果。SI 设计并不能完全消除这些现象,只是将影响程度减小到可接受的范围内。解决 SI 问题通常需要根据 SI 仿真结果来权衡处理办法,如端接匹配,一定程度上减小了反射,但是增大了信号上升时间,可能导致时序失配。另一方面,端接需要增加器件,增加布线难度和占用 PCB 面积。在实际应用中,需要综合考虑各种因素(如布线空间、系统功耗、成本等)设计出最优的 SI 问题解决方法。在设计采取合理的拓扑结构、信号端接、采取低电压信号、控制信号上升时间、采用差分对信号等措施可以提高信号完整性。

### 2.2 仿真模型与方法

(1)仿真模型。进行 SI 仿真分析首先要获取或建立仿真模型,仿真设计的可行性和有效性取决于模型的建立,目前广泛采用的两种模型方法分别为 SPICE 和 IBIS。SPICE(Simulation Program with Integrated Circuit Emphasis)是一种通用电路分析程序,能够分析和模拟一般条件下的各种电路特性。SPICE 程序能够对复杂的电路与系统进行分析,这主要是由于 SPICE 程序含有高精度的元器件模型。获取准确的器件模型参数对于电路分析和设计人员来说是非常重要的。IBIS(Input/Output Buffer Information)输入/输出缓冲器信息规范,是一个元件的标准模型信息。IBIS 模型是一种基于 V/I 曲线的对 I/O 缓冲器快速准确建模的方法,是反映芯片驱动和接收电气特性的一种国际标准,它提供一种标准的文件格式来记录如驱动器输出阻抗、上升/下降时间及输出负载等参数,非常适合做振铃和串扰等高频效应的计算与仿真。IBIS 可用于系统板级或多板信号完整性分析与仿真。

(2)仿真方法。对系统整板信号仿真是很花时间,也是没有必要的,可以对板上信号进行分类,对关键信号,应逐一提取它的仿真模型。根据信号的 I/O 特性确定信号的时序关系(包括信号上升时间、高低电平持续时间、信号建立时间和保持时间等参数的容限范围)。对传输速率低于 GHz 的信号,一般是对单个信号的过冲、振铃、非单调性、时钟沿等特性进行信号完整性分析。对于高速 GHz 串行信号由于其特点需要对数据流进行分析,因此采取眼图分析法。眼图分析法是通过仿真软件产生的眼图与指定的眼图模板进行比较,通过眼开度、“眼皮”厚度、交叉点位置、眼图对称性、迹线粗细度、眼图的上升沿/下降沿等状态定性的估计码间串扰、均衡优劣和阻抗匹配等。仿真时应采用最坏设计情况策略,如选用最强驱动电流模型,最高工作频率等。

## 3 SI 仿真设计实例及分析

### 3.1 系统的构成

千兆 SFP 光信号收发卡主要由 4 个模块组成:光信号接口模块(SFP)、大容量数据缓存(SDRAM)、PCI 总线接口模块(PCI9656)、控制模块(FPGA)。其组成框图如图 2 所示。实现的主要功能是能够收发千兆以太网光信号,在物理层和数据链路层上处理千兆以太网协议,并通过 PCI 总线将提取的 IP 数据包存入计算机内存。要求卡支持 PCI ver2. 协议,支持 DMA 传输模

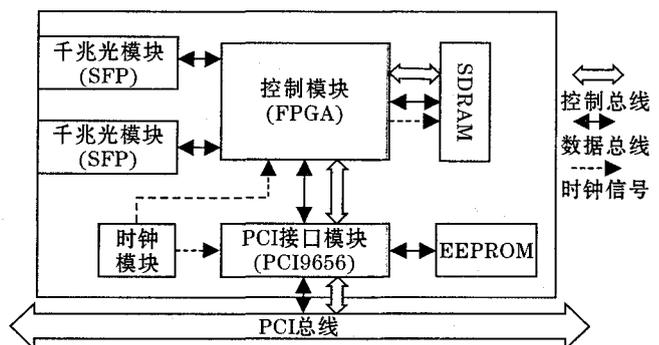


图 2 千兆 SFP 光信号收发卡组成框图

式,数据传输速率不能低于 125MB/s。

收发卡包含了大量高速数字电路设计:(1)处理板上大量器件的工作频率都超过 125MHz,有的器件工作频率甚至高达千兆赫兹;(2)大量数据/地址信号采用总线方式连接,不同芯片的 I/O 连在同一个高速网络上。(3)电路中含有大量差分对信号,信号频率高达 1.25GHz。(4)多电源设计,处理板需要 5 种电源。电源平面分割设计不合理会产生非常显著的辐射,增加 EMI 问题。

### 3.2 工具选择和模型获取

项目的原理图和 PCB 板设计工具分别采用 Cadence 公司的 Concept HDL 及 Allegro。仿真工具也是该公司的 SpectraQuest,其功能强大且全面支持 IBIS 模型,完全能够满足设计中的需求,并且同 Allegro 能够实现无缝联接。仿真中所使用的 IBIS 模型是器件供应商提供的。一般来说,器件生产厂家提供的 IBIS 模型可信度比较高。但在仿真分析之前,还是提倡验证 IBIS 模型的准确度,设计中是直接采用 SpectraQuest 进行模型验证。

### 3.3 SI 仿真与分析

#### 3.3.1 PCB 设置要求(Setup Advisor)

布局布线前要确定 PCB 板的层叠顺序,确定每层的材料、类型、名称、厚度、线宽和阻抗信息,确定 PCB 的物理和电气特性。考虑传输线要在不同布线层间跨越,因此在设计 PCB 的走线阻抗时,尽量保证各布线层的阻抗应相同,而且与布线层相邻要有完整的参考平面,起到很好的阻抗控制和回流路径的作用,综合考虑后将处理板设计成 8 层 PCB 板结构(L1(Top)/L2(Gnd)/L3(Sig)/L4(Power)/L5(Gnd)/L6(Sig)/L7(Power)/L8(Bottom),单端阻抗控制在  $50\Omega$  左右,差分阻抗控制在  $100\Omega$  左右。将 L3、L6 层做为高速布线层,由于其上下都有参考平面可以很好的控制阻抗、串扰和辐射。而顶层和底层由于屏蔽效果差,辐射大不适合做高速布线层。

#### 3.3.2 关键信号的仿真分析与规则设计

##### (1) 关键信号的端接模式和端接电阻值

由于 SDRAM 数据总线信号的频率为 166MHz,首先考虑无端接电阻情况下接收端信号质量,仿真波形如图 3 所示。可以看出信号的过冲、振零现象严重,导致信号的保持时间短,逻辑误判和数据丢失的机率大,必须给每个数据线进行信号端接。这里采取串联端接模式,给数据线加上  $33\Omega$  的端接电阻,由于是串联模式,电阻应靠近信号的发送端。对加了端接电阻的信号进行仿真,仿真波形如图 4 所示。可以看出接收端信号的过冲、振零现象得到很好的抑制。

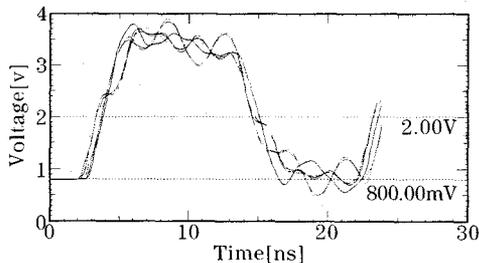


图3 没有端接电阻的信号仿真波形

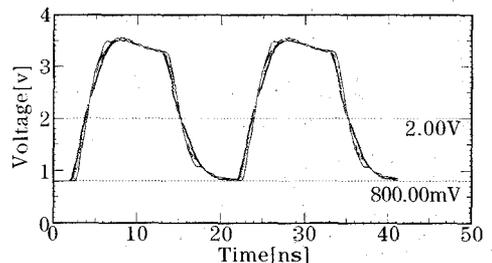


图4 有端接电阻的信号仿真波形

##### (2) 串扰分析

由于设计中 SDRAM 和 PCI 接口都是总线信号,布线时大多采取平行走线模式,平行线间的互感与平行线的长度成正比,互感越大串扰越大。因此必须确定平行走线的最大平行长度和线间距。

首先构造一个平行线拓扑结构仿真相邻信号间的干扰,设计线宽 5mil 线间距 5mil,走线长度 5000mil,传输线阻抗  $50\Omega$  的总线模型 D[2;0],设定 D[1]发送端为频率 200MHz 时钟信号,其余为状态信号,仿真接收端的波形。高电平信号到了接收端明显受到时钟信号的影响,而变得不稳定如图 5 所示。

减少平行线的长度到 1000mil,线间距改为 10mil,发现串扰的程度明显减弱到可以接受的程度,如图 6 所示。

##### (3) 高速差分信号仿真

设计中光模块输入输出电信号频率高达 1.25Gbps,采用的是 LVPECL 差分信号,对千兆差分信号的仿真在文献[3]做过讨论。首先建立仿真模型如图 7 所示。单线阻抗  $50\Omega$  差分阻抗  $100\Omega$ (X1),信号速率为 1.25GHz。Out1 为 SFP 模块 LVPECL 差分输出 IBIS 模型,In1 为 FPGA LVPECL 差分输入 IBIS 模型。

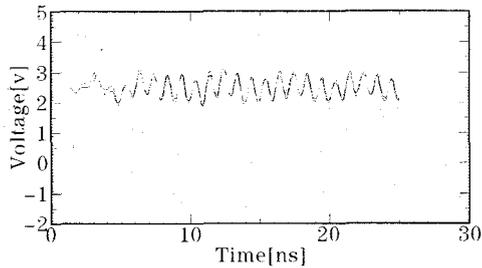


图5 平行线串扰仿真结果

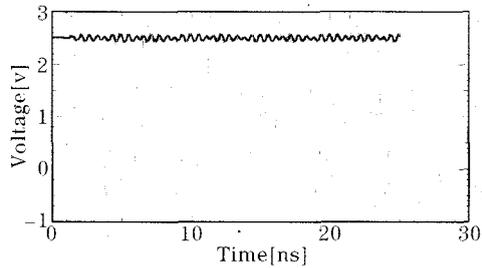


图6 改善后平行线间串扰仿真结果

从仿真波形(图8)上观察接收端(In1)的差分信号。眼图是由码元波形叠加而成的,在无码间串扰和噪声的理想情况下,每个码元将重叠在一起,最终在示波器上看到的是迹线又细又清晰的“眼睛”,“眼”开启得最大。当有码间串扰时,波形失真,码元不完全重合,眼图的迹线就会不清晰,引起“眼”部分闭合。因此,“眼”张开的大小表示了失真的程度,反映了码间串扰的强弱。从仿真波形看,接收端差分信号的“眼”开度较大,信号波动小,差分信号摆幅为 $\pm 400\text{mV}$ 满足实际千兆差分信号码间串扰、均衡和电平等设计要求。

#### 3.4 仿真结果指导原理图设计和 PCB 规则

根据布线前仿真分析结果,在原理图上在 SDRAM 数据总线等高速信号线上添加  $33\Omega$  串联匹配电阻;指导 PCB 布线规则,设计 PCB 层叠厚度和介质参数,设计信号单线阻抗为  $49.8\Omega$ ,差分阻抗为  $101.5\Omega$ ;设定光模块输入输出信号为差分信号对,差分信号相对延迟控制在  $0.008\text{ns}$ ;规定平行线最大长度不大于  $1000\text{mil}$ ,线间距为信号线宽的 2 倍。按照此设计规则,布线后仿真结果均能满足 SI 要求。

## 4 结论

设计通过借助基于 SI 仿真分析设计高速信号的 PCB 布线规则,解决了千兆 SFP 光信号收发卡设计过程中出现的信号完整性问题,布板一次成功,完全满足设计指标要求,避免了因信号完整性问题而带来的重复设计。在高速数字电路设计过程中,基于 SI 仿真分析在产品的设计初期尽可能解决信号完整性问题,从而最大限度地降低了产品成本,缩短研发周期。

### 参考文献:

- [1] Howa-Johnson, Martin Graham. 高速数字设计[M]. 北京:电子工业出版社,2004:106-151.
- [2] 秦洪密,李军. 高速 PCB 设计中的时序分析及仿真策略[J]. 电子技术应用,2003,(8):58-61.
- [3] 周鹏,王桂琼. 千兆 SFP 光收发模块电路仿真设计与分析[J]. 武汉理工大学学报,2005(10):295-298.

## PCB simulation design of Gigabit SFP optical transceiver high-speed circuit

LUO Wei

(College of Electronic Information, SCU, Chengdu 610064, China)

**Abstract:** The signal integrity (SI) problem as the increasing frequency of the digital circuits is considered. The design idea of the high-speed digital circuit is described based on the SI simulation. A design example of the Gigabit SFP optical transceiver circuit is presented based on the SI simulation results.

**Key words:** signal integrity (SI); SI simulation; SFP

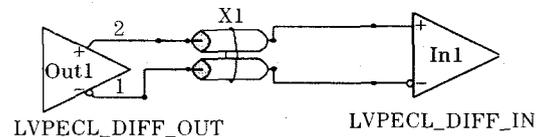


图7 千兆差分信号仿真模型

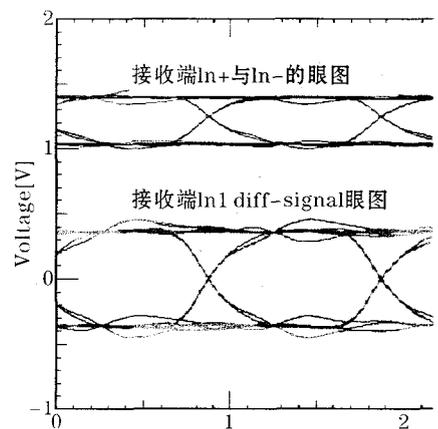


图8 差分信号仿真眼图