

---

## EMC/EMI 模拟仿真与 PCB 设计相结合实例讲解

由于 PCB 板上的电子器件密度越来越大，走线越来越窄，信号的频率越来越高，不可避免地会引入 EMC（电磁兼容）和 EMI（电磁干扰）的问题，所以对电子产品的电磁兼容分析显得特别重要。与 IC 设计相比，PCB 设计过程中的 EMC 分析和模拟仿真是一个薄弱环节。

在 PCB 设计中，EMC/EMI 主要分析布线网络本身的信号完整性，实际布线网络可能产生的电磁辐射和电磁干扰以及电路板本身抵抗外部电磁干扰的能力，并且依据设计者的要求提出布局和布线时抑制电磁辐射和干扰的规则，作为整个 PCB 设计过程的指导原则。

具体来说，信号完整性分析包括同一布线网络上同一信号的反射分析，阻抗匹配分析，信号过冲分析，信号时序分析，信号强调分析等；对于邻近布线网络上不同信号之间的串扰分析。在信号完整性分析时还必须考虑布线网络的几何拓扑结构，PCB 绝缘层的电介质特性以及每一布线层的电气特性。

电磁辐射分析主要考虑 PCB 板与外部的接口处的电磁辐射，PCB 板中电源层的电磁辐射以及大功率布线网络动态工作时对外的辐射问题。如果电路设计中采用了捆绑于大功率 IC 上的散热器（例如奔腾处理器外贴的金属散热器），那么这样的散热器在电路动态工作中如同天线一样不停地向外辐射电磁波，因此必须列为 EMC 分析的重点。

现在已经有了抑制电子设备和仪表的 EMI 的国际标准，统称为电磁兼容(EMC)标准，它们可以作为普通设计者布线和布局时抑制电磁辐射和干扰的准则，对于军用电子产品设计者来说，标准会更严格，要求更苛刻。

对于高速数字电路设计，尤其是总线上数字信号速率高于 50MHz 时，以往采用集总参数的数学模型来分析 EMC/EMI 特性显得无能为力，设计者们更趋向于采用分布参数的数学模型做布线网络的传输线分析（TALC）。对于多块 PCB 板通过总线连接而成的电子系统。还必须分析不同 PCB 板之间的电磁兼容性能。EMC/EMI 元件库的支持

如今一块电路板可能包括上百种来自于不同厂家、功能各异的电子元器件，设计者要进行 EMC/EMI 分析就必须了解这些元器件的电气特性，之后才能具体模拟仿真。这在以往看来是一项艰巨的工作，现在由于有了 IBIS 和 SPICE 等数据库的支持，使得 EMC 分析的问题迎刃而解。

鉴于 SPICE3, HSPICE, PSPICE 这些数据模型已为广大的电路设计者所熟知，在此着重介绍 IBIS。IBIS (I/O Buffer Interface Specification)，即 ANSI/EIA-656，是一种通过测量或电路仿真得到，基于 V/I 曲线的 I/O 缓冲器的快速而精确描述电气性能模型。1990 年由 INTEL 牵头、联合数家著名的半导体厂商共同制定了 IBIS V1.0 的行业标准，经过不断的完善和发展，于 1997 年更新为 IBIS V3.0。

---

现在此标准已被 NS、Motorola、TI、IDT、Xilinx、Siemens、Cypress、VLSI 等数百家半导体厂商支持，同时 Cadence、Mentor、Incases、Zuken-Redac 等 RDA 公司在各自的软件中也添加了有关 IBIS 的功能模块。

IBIS 文件是一种文本文件，是通过标准软件格式生成的“行为”信息的描述，以说明 IC 的模拟电气特性。多数 IBIS 模块来源于 SPICF 模型，也可用实际测量得到的 V/I 曲线描述模型。IC 的 SPICE 模型是各半导体厂商立足的商业秘密，受到知识产权的保护，而 IBIS 模型是对用户完全开放的数据，所以设计者可以免费得到这些数据。大多数半导体厂商在自己的网站上或产品 CD-ROM 中发布相关 IC 的 IBIS 数据。由于 EDA 厂家和电子元器件厂商联合支持 IBIS 和 SPICE 等数据模型，设计者可以安心地将它们用于电路的模拟仿真或用于 EDA 工具中，轻松地进行 EMC/EMI 分析。

### EMC/EMI 模拟仿真与 PCB 设计相结合

以往电子电路设计，工程师们多是凭借多年的开发经验在 PCB 制成后，在硬件调试或电子设备的整机调试过程中解决 EMC 的问题，这显然是一种定性不定量的、不可靠、不精确的方法。进入 90 年代以来，电子产品向着低功耗、低电磁辐射，小型化和轻型化的方向发展，而且要求能在复杂恶劣的环境中工作，为了尽量缩短产品的开发周期，工程师们不得不另辟新径。

更理想的 PCB 设计流程如图 1 所示，在 PCB 设计的布局和布线阶段加入 EMC/EMI 的准则。例如为了减少并行信号走线间的相互串扰，可以为规定线线之间的距离不能小于一定的值。为了减少信号的反射，使输入输出阻抗匹配，避免出现振铃现象，可以规定布线网络的几何拓扑结构，走线的长度，甚至于在信号的驱动端或输出端端接阻容器件（常用的方法有串接电阻，并接上拉、下拉或上下接电阻，也可采用箝位二极管等方法）。在 PCB 布局布线结束后，在制作实际电路板之前对电路设计进行 EMC/EMI 的分析和模拟仿真。同时依据实际电路的动态工作频率分析信号的强度、时延等特性。

如果设计的 PCB 中含有与外部的接口，IC 上外加了散热器或电路本身功耗大时，必须进一步进行电磁辐射的模拟仿真分析。对于高速电路有必要进行布线网络的 TALC 传输线分布参数分析。新加入的这些设计阶段的步骤，实际上是把以前硬件调试的一些工作提前到计算机的设计平台上来完成，其优越性是显而易见的。因为有 IBIS 和 SPICE 等数据库的支持，以往 EMC/EMI 不定量的捉摸不定的分析变为精确的与实测差别细微的计算结果，设计者根据模拟仿真的结果可以避免产品电磁兼容性差的弊病。

EDA 开发厂商也渐渐注意到用户在 EMC/EMI 模拟仿真领域的需求，德国的 INCASES 公司为设计者提供了 EMC/EMI 模拟仿真分析的软件包 EMC-WORKBENCH，成为该行业的领袖并多次主持了 IEEE 在 EMC/EMI 方面的研讨会。EMC-WORKBENCH 能够满足电路设计者在电磁兼容方面的迫切需求，改进了 PCB 设计的流程，简化后期硬件调试中许多繁杂的工作。

---

IC 内部布局和布线时必须充分考虑 EMC 的问题；众多的 EPLD 和 FPGA 软件在生成最终熔丝图之前也要分析 EMC 的问题；对于构成电子系统的 PCB 必须分析电磁兼容和电磁干扰特性，这样的设计原则正在越来越多的电路设计者中达成共识。由于有了 EMC/EMI 的模拟仿真使 PCB 的设计进入了新的时代，电子工程师们利用它可以在短期内设计出高质量高可靠性的产品。EMC/EMI 模拟仿真分析的实施，必将给电路设计者和 PCB 制造业带来无限商机。

OFweek 电子工程网