

基于 FPGA 的新型 SFP 光模块监测系统^①

周东杰, 都 磊, 金 雷, 王振华, 陆继尧, 赵会彬

(许继电气股份有限公司, 许昌 461000)

摘 要: 光模块作为光通讯中的核心器件, 已被广泛的应用于各种系统中, 而数字诊断则是监测光模块重要性能参数的一种行之有效的方法, 设计实现了一种基于 FPGA 的智能 SFP 监测系统, 采用双端口 RAM 实时的监测 SFP 光模块的温度、工作电压、偏置电流、发射和接收光功率等数字诊断信息, 有效的提高了系统的稳定性, 具有很大的使用价值。

关键词: SFP; 数字诊断; 实时监测; FPGA

New Monitoring Platform for SFP Optical Transceiver Module Based on FPGA

ZHOU Dong-Jie, DU Lei, JIN Lei, WANG Zhen-Hua, LU Ji-Yao, ZHAO Hui-Bin

(Xj Electric Co. Ltd, Xuchang 461000, China)

Abstract: As the core device in optical communication, optical transceiver module has been widely used in all kinds of system. And digital diagnosis is an effective method to monitor the parameters of optical transceiver module. This paper presents an SFP monitoring platform based on FPGA and monitor the temperature, power supply, bias current, transmit power and receive power of optical transceiver module by using the dual port RAM. This platform effectively improves the stability of the system, and has a great value.

Key words: SFP; digital diagnostics; real time monitor; FPGA

近年来, 随着光纤通讯的迅速发展, 光收发模块作为光纤通讯中的核心器件, 被广泛应用在各种光通信系统中。智能 SFP 模块, 也就是带着数字诊断功能的小型封装可插拔的模块, 它不仅实现了光通信中物理层的连接, 同时可以实时的监测光收发模块的温度、供电电压、偏置电流、发射以及接收光功率等, 这些参数的监测有利于了解光模块的工作状况, 简化了维护工作, 提高了系统的可靠性。笔者采用 AVAGO 公司的一款内部兼容数字诊断功能的光收发模块, 基于 FPGA 设计并实现了一种监测平台。该平台采用 FPGA 通过双线串行总线 IIC 接口实时读取监测参数, 同时在 FPGA 内部设置双端口 RAM 实现对监测数据的实时刷新, 并提供状态信号给上层 CPU 操作。

1 数字诊断的基本原理

数字诊断是监测光模块重要性能参数的一种行之

有效的方法, 它监测的参数包括: 发射光功率、接收光功率、温度、工作电压、偏置电流以及它们的告警信息等。通过光模块的数字诊断功能, 网络管理单元可以实时的监测光模块各个工作参数, 从而迅速的找到光纤链路中发生错误的具体位置, 简化维护工作, 提高系统的可靠性^[1]。

① VCC 电压过高, 会带来 CMOS 器件的击穿; VCC 电压过低, 激光器不能正常工作;

② 接收功率太高, 会损坏接收模块;

③ 工作温度过高, 会加速器件的老化。

本文采用的是 AVAGO 公司的 HFBR-57E5 系列光收发模块, 模块除了实现正常的光电信号转换外, 还兼容了数字诊断功能, 该功能完全支持 SFF-8472MSA 协议规范。其内部采用 EEPROM 实现对测量结果的存储并提供标准的双线串行总线接口^[2]。该接口协议同 ATMEL 公司的 AT24C01A 系列 EEPROM, 按照 SFF-

① 收稿时间:2012-08-31;收到修改稿时间:2012-09-29

8472MSA 协议要求, 该 SFP 光模块内部有两个存储单元, 分别对应两个从机地址: A0H 和 A2H.

A0H 用于存储光模块的一些特定信息, 如模块的类型、序列号、生产日期、波长、传输距离以及生产厂家的一些特定信息; 而监测到的温度、工作电压、偏置电流、发射光功率和接收光功率等数据, 光模块通过内部电路侦测后, 会按照特定的算法得到数字化的测量结果及相应的校准常数, 这个实时的测量结果则被保存在 A2H 地址的特定字节中.

2 系统总体设计

如图 1 所示为系统总体设计图, SFP 光收发模块通过外部光纤引入光信号, 在其内部转变为电信号后, 将数据流送给上层网络处理单元, 同时数字诊断部分实时监测光模块的各个相关参数, 整个监测系统分为两个部分, 数据采集部分: 采用 XILINX 公司 SPARTAN 3E 系列的 FPGA 芯片, 通过双线串行总线接口读取光模块相关寄存器诊断信息; 控制显示部分: 采用 FREESCALE 公司的 POWERPC 系列 CPU, 通过 LOCAL BUS 总线预置 FPGA 的实时采样时间, 并在 FPGA 内部设置双端口 RAM, 存储 A2H 器件地址的数字诊断寄存器信息, 使上层应用程序可以根据需要实时显示监测信息、警戒以及警报信息等, 方便调试.

2.1 软件驱动设计

FPGA 内部设置控制寄存器, POWERPC 通过 LOCAL BUS 总线写控制寄存器来设置采样时间, 并根据光收发模块内部寄存器偏移地址, 对 FPGA 内部双端口 RAM 寻址得到相关诊断寄存器信息; 同时 FPGA 提供状态标志位, 采样过程中此位为高, 采样完成则此位变低, 通过此标志位, CPU 可以通过查询或者中断模式操作 RAM, 如上图 1 所示.

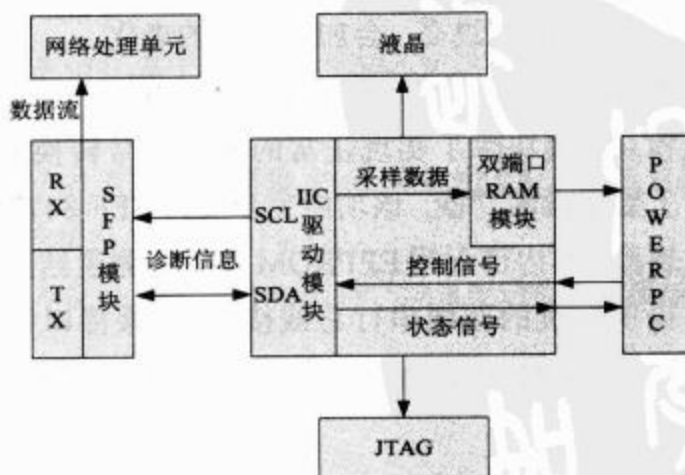


图 1 系统总体设计图

2.1.1 FPGA 的 IIC 接口设计

IIC 即 Inter-Integrated Circuit, 这种总线类型是由飞利浦半导体公司在八十年代初设计出来的, 是一种双向控制总线, 一般有两根信号线, 一根是双向的数据线 SDA, 另一根是时钟线 SCL.

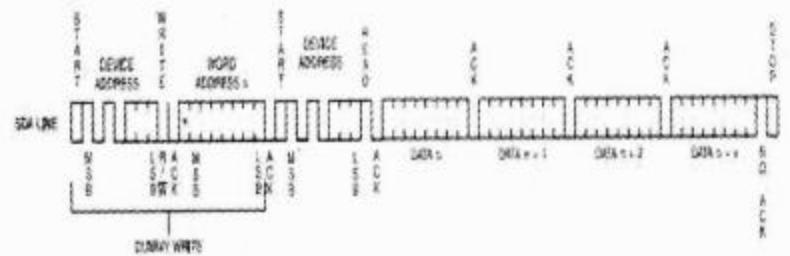


图 2 IIC 操作示意图

如上图 2 所示为 HFBR-57E5APZ 系列光收发模块内置 EEPROM 在模式 Sequential Read 下的操作示意图, 根据此图设计出 IIC 的 FPGA 状态机如下图 3 所示.

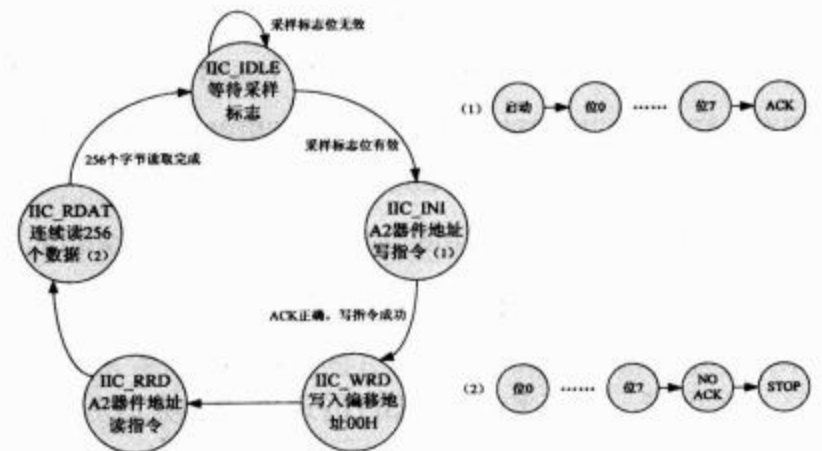


图 3 IIC 的 FPGA 状态机示意图

状态机是一类很重要的时序电路, 是许多数字系统的核心部件, 是一种重要的、易于建立的、应用比较广泛的、以描述控制特性为主的建模方法, 它可以应用于从系统分析到设计的所有阶段, 它的优点在于简单易用, 状态间的关系清晰直观^[3]. 如上图 3 所示, 整个 IIC 驱动状态机分为 5 个状态:

IIC_IDLE 状态: 等待采样标志位, 当标志位有效, 则状态机跳入下一个状态;

IIC_INI 状态: 在 A2H 器件地址发送写指令, 成功收到 ACK 应答信号后跳入下一个状态;

IIC_WRD 状态: 写偏移地址 00H, 成功收到 ACK 应答信号后跳入下一个状态;

IIC_RRD 状态: 在 A2H 器件地址发送读指令, 成功收到 ACK 应答信号后跳入下一个状态;

IIC_RDAT 状态: 连续读取 SDA 数据线上的数据,

当读完 256 个字节时, 发送 STOP 位到 IIC 总线, 完成采样过程, 同时状态机跳回 IIC_IDLE 状态.

图 3 右边所示为在 IIC_INI 和 IIC_RDAT 状态下, IIC 总线的启动和停止操作的状态示意图.

2.1.2 FPGA 的双端口 RAM 设计

双口 RAM 是在一个 SRAM 存储器上, 具有两套完全独立的数据线、地址线和读写控制线, 并允许两个独立的系统同时对该存储器进行随机性的访问, 即共享式多端口的存储器. 双口 RAM 最大的特点是存储数据共享, 1 个存储器配备两套独立的地址、数据和控制线, 允许两个独立的 CPU 或控制器同时异步地访问存储单元. 双口 RAM 可提高 RAM 的吞吐率, 适用于实时数据缓存, 其寄存器传输级 RTL 电路图如下图 4 所示.

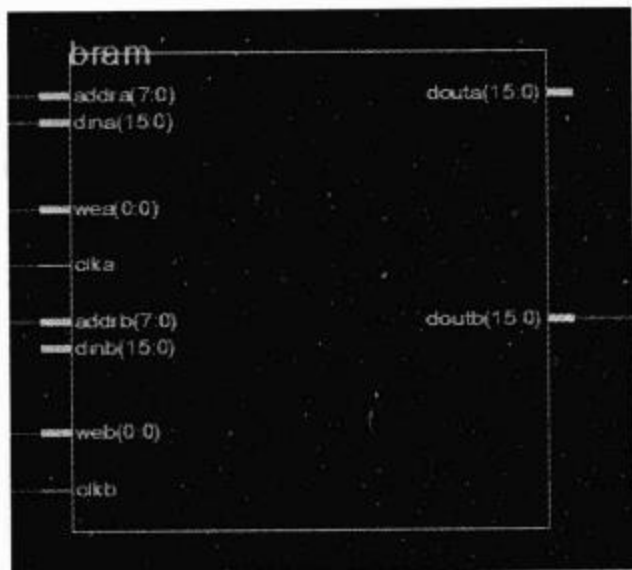


图 4 双端口 RAM 的 RTL 结构图

功能仿真采用 MODELSIM6.5, 仿真结果如下图 5 所示, 满足设计要求.



图 5 MODELSIM 仿真波形图

3 设计验证

通过示波器对 IIC 总线采样, 得到如下图 6 波形.



图 6 IIC 总线时序图

上图 6 分别为 IIC 启动和停止操作下的时序图, 通道 1 为 SCL, 通道 2 为 SDA, 由图可见, 当 SCL 保持“高”时, SDA 由“高”变为“低”, 总线启动; 当 SCL 保持“高”时, SDA 由“低”变为“高”, 总线停止; 同时, SDA 线上的数据在时钟 SCL 为“高”时是稳定的, 当 SCL 线上的时钟信号为低时, 数据线 SDA 才有了高低状态的改变, 满足要求.

4 数据分析

SFF-8472 协议规定了数字诊断校正的类型, 包括内部校正和外部校正.

表 1 A0H 器件地址 92H 信息格式表^[4]

A0h Data Address	Bit	Description
92	7	Reserved for legacy diagnostic implementations. Must be '0' for compliance with this document.
	6	Digital diagnostic monitoring implemented (described in this document). Must be '1' for compliance with this document.
	5	Internally calibrated
	4	Externally calibrated
	3	Received power measurement type 0 = OMA, 1 = average power
	2	Address change required see section above, "addressing modes"
	1-0	Unallocated

根据协议要求, 如上表 1 读取 A0H 器件地址下的 92 字节, 得到 68H, 表明此模块采用内部校正, 同时表明监测值可被校准为绝对值.

读取 A2H 器件地址下的数字诊断信息, 每个诊断信息包括两个字节信息, 合成为一个 16 位的数. 如表 2 所示为温度诊断信息的各字段意义说明, 最高位为符号位, 最低位 1LSB 为 1/256, 整个范围在 -128—+128 之间.

其他数字诊断信息的转换关系参照表 2 如下:

表 2 温度诊断信息格式表^[4]

Most Significant Byte (byte 96)								Least Significant Byte (byte 97)							
D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
SGN	64	32	16	8	4	2	1	12	14	1/8	1/16	1/32	1/64	1/128	1/256

工作电压: 用一个 16 位的无符号的整型(0-65535)来表示, 1LSB 等于 100uV, 整个范围是 0-6.55V;

偏置电流: 偏置电流以 uA 为单位, 用 16 位无符号整型来表示, 1LSB 等于 2uA, 整个范围是 0-131mA;

发射光功率/接收光功率: 发射光功率/接收光功率以 mW 为单位, 用 16 位无符号整型表示, 1LSB 等于 0.1uW, 整个范围是 0-6.5535mW (-40dBm-+8.2dBm).

5 结语

在目前各种网络中所需要的光收发一体化模块种类越来越多, 要求也越来越高的前提下, 本文提出了一种基于 FPGA 的智能 SFP 监测系统的设计方案, 并

(下转第 146 页)