

基于 FPGA 的 TDICCD8091 驱动时序电路设计

时间延时积分电荷耦合器件(Time Delay and Integration Charge Coupled Devices,TDICCD)易于实现实时成像,可与小相对孔径的光学系统配合成像,从而大幅度减少遥感相机的体积和质量,因此广泛应用在航空航天、火控系统和远海探测等领域。现场可编程逻辑门阵列(FPGA)在航空航天、工业自动化、仪表仪器、计算机设计与应用、通信、国防等领域的电子系统中的技术含量正以惊人的速度提升。完整的电子系统在单一 FPGA 芯片中实现早已成为现实,电子类新技术项目的开发也更多地依赖于 FPGA 技术的应用。

TDICCD 是一种时间延迟积分图像传感器件,精准可靠的时序逻辑信号是 TDICCD 工作的最基本条件,是保障整个系统有效工作的关键,阐述了以 FPGA 为开发平台设计 TDICCD8091 驱动时序的全过程。

1 TDICCD 的特点及工作原理

1.1 TDICCD 的特点

TDICCD 是一种具有面阵结构,线阵输出的 CCD,它的列数是一行的像元数,它的行数是 TDICCD 的级数 N ,较普通的线阵 CCD 而言,它具有多重级数延时积分的功能。TDICCD 器件利用物体的运动速度与行转移速度同步方式,对物体进行多次(N 级)曝光,并对其信号进行累加,随着 TDI 级数增加,信号随 TDI 级数(N)成线性增加,而噪声随 TDI 级数成平方根增加,TDICCD 的信噪比(SNR)增加 N 倍,从而获得高的灵敏度和信噪比。利用曝光时间与使用的 TDI 级数成比例的关系,在不改变帧频的情况下,通过选择 TDI 级数,改变器件的曝光次数,使器件实现在不同照度下对目标正常成像。

1.2 TDICCD 的工作原理

TDICCD 相机工作原理如图1所示。相机摄像时随卫星向前移动,对地面同一静止目标物体多次曝光成像,被拍摄物体为地面上静止的星星。在 t_1 时刻,星星在第1级(行)TDICCD 上曝光成像,产生电荷信号; t_2 时刻,由于相机向前运动,经过了一个行周期后,第2级 TDICCD 再次对同一个星星曝光成像,产生电荷信号。

与此同时,时钟信号驱动第1级 TDICCD 上产生的电荷转移到第2级 TDICCD 上。这样,该行 TDICCD 不仅包括此次曝光产生的电荷,而且也包括前一级转移来的电荷,使电荷量增加了1倍。依此类推,若 TDICCD 的级数为 N ,相机输出信号将增加为原来的 N 倍。图1中设定 TDI 的级数为4级,因此在 t_4 时刻,在 TDI 的第4级(行)星星曝光产生的电荷量为原来的4倍。

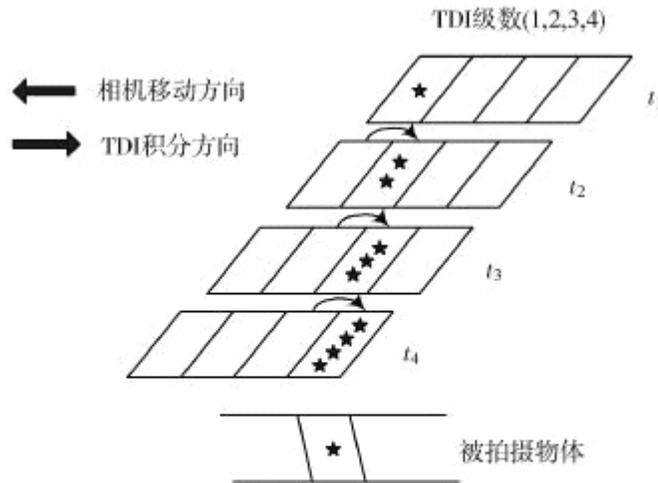


图1 TDICCD工作原理图

OFweek 电子工程网

2 设计目标分析

2.1 TDICCD8091简介

TDICCD8091是美国仙童公司的一款 9216×128 的高速光电传感器,每行的像素点数目高达9216个,像元大小为 $8.75 \mu\text{m} \times 8.75 \mu\text{m}$,TDI积分级数为4,8,16,32,64,96,128可选,行转移速率为12 kHz.电荷读出有向上和向下两个方向可选,每个方向有6个输出端口,每个端口读出速率为20 MHz,总速率为120 MHz,读出像元电荷数目1536个.每个输出端口有寄存器和放大器用来缓存和放大信号.TDICCD8091内部结构包含有:光积分区域(垂直移位寄存器)、21行独立区域(垂直移位寄存器)和水平移位读出区域(水平移位寄存器),其中,21行独立区域靠近水平读出的3行为快速转移区域,剩下的18行为慢速转移区域,21行均被遮光材料遮挡。

TDICCD8091的外形图如图2所示。

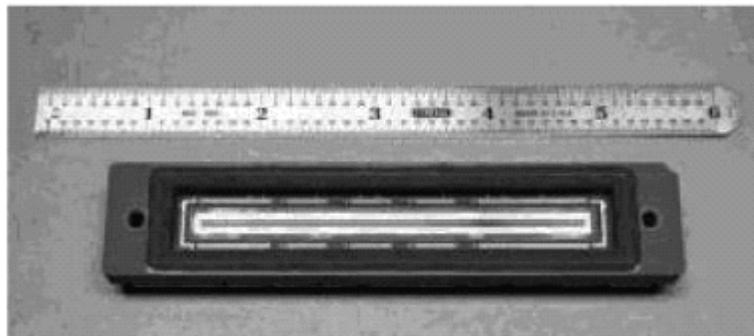


图2 TDICCD8091

OFweek 电子工程网

2.2 TDICCD8091的时序要求分析

TDICCD8091 积分级数的选择由输入端口 VSW128-D(U)、VSW64-D(U)、VSW32-D(U)、VSW16-D(U)、VSW8-D(U)、VSW4-D(U)配合模拟开关控制实现。具体接法：例如当选择向上32级积分时，VSW4-U、VSW8-U、VSW16-U 接信号 V3,VSW32-U 接-3 V 电压，VSW64-U、VSW128-U 接+15 V 电压，同时33~128 级的行转移端口接+15 V 电压，水平移位读出端口接+3 V 电压，1~32级的行转移端口接信号 V1、V2、V3,水平移位读出端口接 H1、H2、H3、H4。

TDICCD8091正常工作所需要的时序信号如图3所示。其中，V1、V2、V3为12 kHz 占空比为50%的三相时钟信号，时钟高电平+15 V、低电平0 V,控制光积分区域和21 行独立区域后18 行信号电荷的垂直移位;VHS1、VHS2、VHS3 为12 kHz 占空比小于5%的移位时钟信号，时钟高电平+15 V、低电平0 V,控制前3行独立区域信号电荷的垂直移位;H1、H2、H3、H4 为20 MHz 占空比50%的四相时钟信号，时钟高电平0 V、低电平-5 V,控制每个端口1 536个像元电荷的水平移位读出，同时,H1信号还控制像元电荷由垂直转移向水平转移的过度，此时高电平为+5 V;FOG为读出时钟信号，时钟高电平+1 V、低电平-5 V;RG 是复位脉冲信号，时钟高电平+15 V、低电平+4 V,作用为在每个像元电荷读出前，清除前一个像元残余电荷，信号频率20 MHz,这些时钟的高低电平电压值在硬件电路通过芯片 EL7212驱动实现。

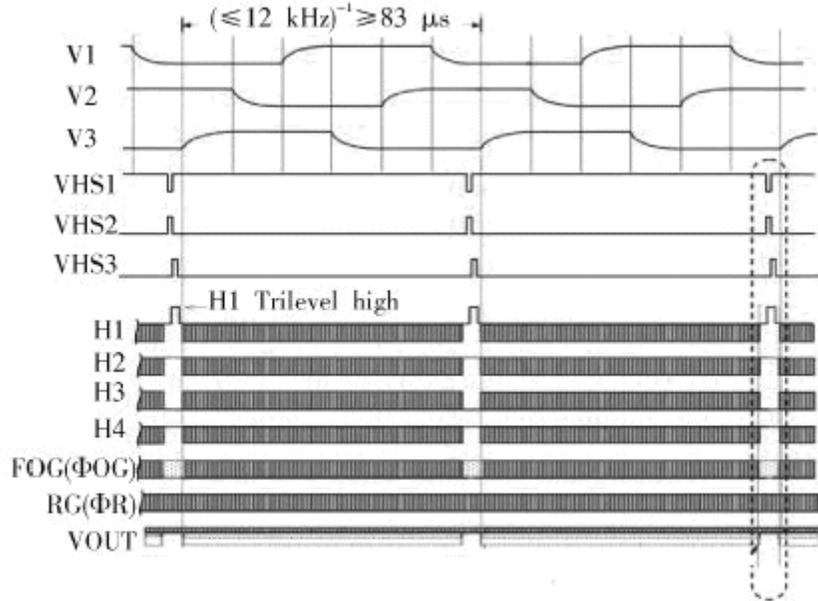


图3 TDICCD8091 工作时序

3 时序逻辑设计及仿真结果

3.1 时序程序设计

整个时序程序信号总流程图如图4所示。程序总共由7个模块组成：输入同步时钟模块产生频率20 MHz 的主时钟 CLK,CLK 通过分频模块产生频率36 kHz 的 CLK1 和频率5 MHz 的 CLK2;信号控制模块在主时钟 CLK 的同步作用下分别产生控制信号 VClr、VSHClr 和 HClr;输

入处理模块对输入主时钟 CLK 做去抖动处理后输出时钟信号 CLK0;V 信号产生模块输出光积分区域行转移所需的12 kHz 占空比为50%的三相时钟信号 V1、V2、V3;VHS 信号产生模块输出12 kHz 占空比小于5%的移位时钟信号 VHS1、VHS2、VHS3;H 信号产生模块输出水平移位出区域所需的20 MHz 占空比50%的四相时钟信号 H1、H2、H3、H4,以及 FOG 读出时钟信号和 RG 复位脉冲信号。

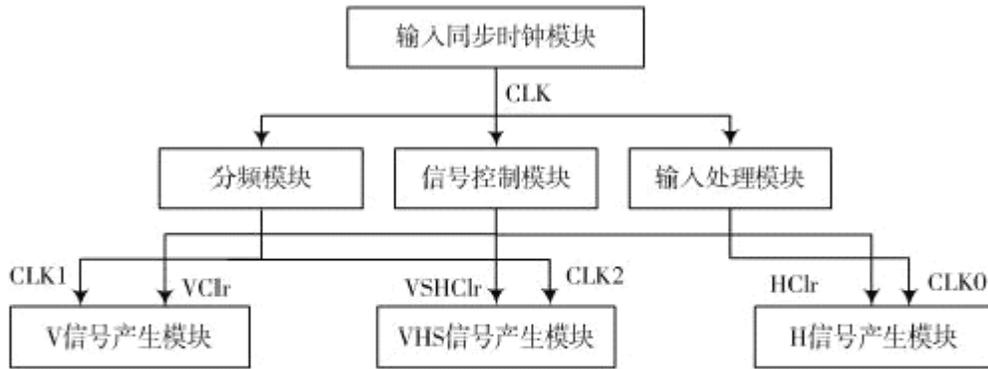


图4 程序信号总流程图

3.2 时序仿真结果

时序设计采用 Altera 公司的 Quartus II 作为开发平台，EP3C25Q240为硬件平台。总的时序仿真结果如图5所示，结果表明所有仿真信号满足2.2节中的信号要求;图6为 FPGA 上测得 V1、V2的相位关系，图7为 FPGA 上测得 H1、H2相位关系，结果表明相位关系正确，能够保证每个时刻至少有一个高电平和一个低电平，保证像元电荷的正常读出。

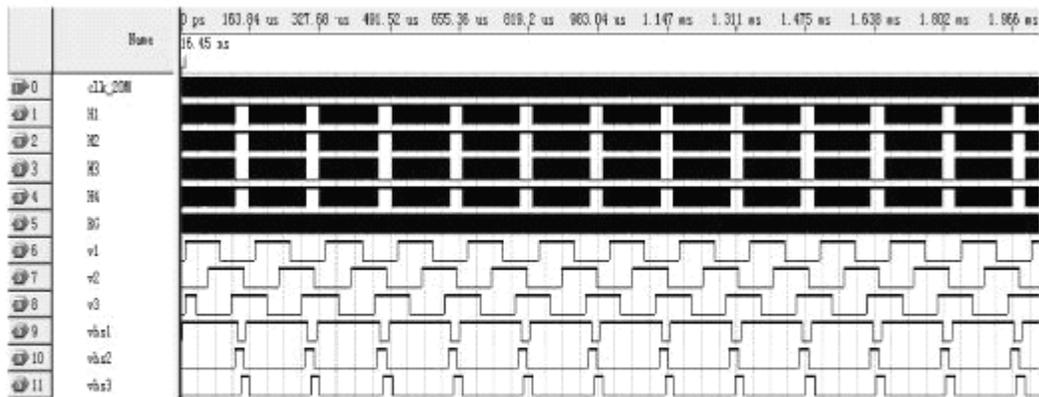


图5 时序仿真结果

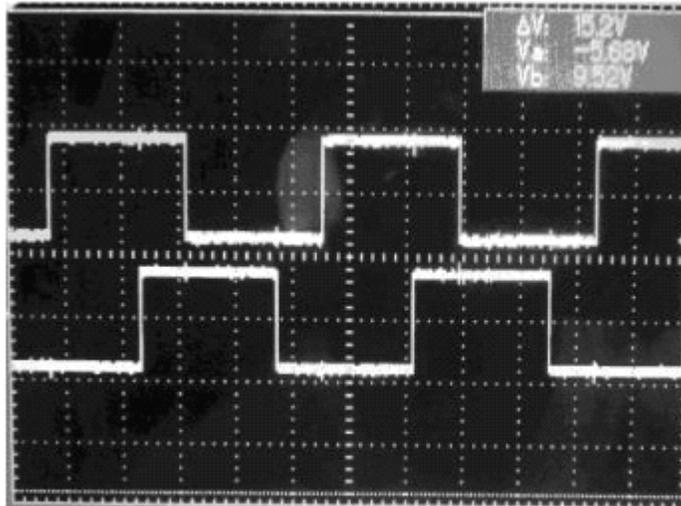


图6 V1、V2的相位关系

OFweek 电子工程网

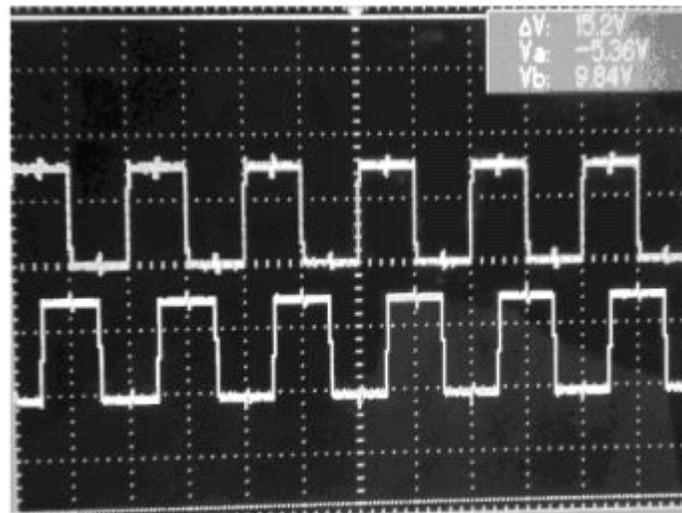


图7 H1、H2相位关系

OFweek 电子工程网

4 结语

时序在硬件电路中成功驱动了 TDICCD8091工作，验证了软硬件的正确性和准确性。程序设计利用同步时钟控制全局电路的思想，避免竞争与冒险，提高了程序的可靠性；采用模块化设计思想提高程序的可重用性、可测试性、可读性及可维护性；状态机的设计方法提高了程序运行的稳定性。