

# 高效 FPGA 乘法器在无线基站中的使用

基于 WiMax 及其派生标准的新兴宽带无线协议需要越来越高的吞吐量和数据速率。这些协议提出的快速芯片速率和数字射频处理可以在使用 FPGA 方案的硬件上得到最佳的实现。

FPGA 非常适合作为高性能、高性价比的解决方案来实现这些物理层协议中的数字功能，因为它们包括以下丰富的资源：

1. DSP 模块，可以用来实现各种 FIR 滤波和 FFT/IFFT 操作所要求的乘法器和加法器/累加器功能；
2. SERDES 收发器，可以支持无线前端与基带数字板之间的 CPRI 和 OBSAI 接口；
3. 重要的 FPGA 嵌入式 RAM 块存储器(EBR)，可以用来存储滤波器系数，执行块交错以及实现 FEC 解码(Turbo、维特比、Reed-Solomon 等)；
4. 高速 LVDS I/O，分别支持到 DAC 和来自 ADC 的宽并行接口。这些转换器定义了射频/模拟功能和廉价数字基带逻辑之间的界限。接口的速率越高，低成本 FPGA 解决方案便能集成更多的数字上变频/数字下变频功能。

本文重点讨论第一种资源，即 DSP 乘法模块。通过减少和优化 DSP 乘法模块在 FFT 和 FIR 中的实现，设计师可以在尽量减少资源使用的条件下满足吞吐量要求，从而允许用户使用最具性价比的现成 FPGA 器件。下面对这四种乘法器节省技术进行介绍。

## 用于 WiMax OFDM 功能的高效复数乘法

WiMax 系统设计的一个重要特征是支持正交频分复用(OFDM)。FPGA 使得分别使用 IFFT 和 FFT 在离散时间内实现 OFDM 发送器和接收器变得特别容易。诸如 802.16a 等协议需要 256 样点的 FFT。而 802.16e 这些协议要求多种 FFT 样点，或者可以灵活调整的 FFT 样点以适应动态信道和带宽要求(可扩展 OFDMA)。

### 复数乘法

在执行 256 和 1024 样点 FFT 时，可通过 Radix-4 结构获得乘法器的最高效使用。FFT 算法通过复用 4 样点离散傅里叶变换(DFT)蝶形结构进行分解。例如，一个 16 点的 FFT 可以通过按时间抽取、按频率抽取或其他相关分解方式用 2 级 Radix-4 DFT 结构实现。第 1 级由 4 个 4 样点 DFT 组成，第 2 级同样由 4 个 4 样点 DFT 组成。由于每个 DFT 的输出要求在馈送给下一级之前为结果提供 3 个相位因子，因此第 1 级和第 2 级之间的 9 个相位因子需要 9 次复数乘法。

初看起来，执行一次复数乘法需要 4 个乘法器和 2 个加法/减法器。然而，该表达式可以重新写成另外一种只需 3 个乘法器、3 个加法器和 2 个减法器的表达式。值得注意的是，加法器是在 FPGA 的内核逻辑中实现的，使用了丰富的逐位进位模式(ripple mode)的通用可编程逻辑单元(PLC)片。

如果  $D = D_r + jD_i$  是复数数据， $C = C_r + jC_i$  是复数系数，那么复数乘法的标准表达式如下：

$$E1: R = D * C = (D_r + jD_i) * (C_r + jC_i) = R_r + jR_i \quad (1)$$

其中  $R_r = D_r * C_r - D_i * C_i$ ,  $R_i = D_r * C_i + D_i * C_r$

上述标准表达式要求使用4个乘法器。该表达式可以通过代数方法重新整理为：

$$E2: R_r = D_r * C_r - D_i * C_i \quad (2)$$

$$E3: R_r = D_r * C_r - D_i * C_i + 0 \quad (3)$$

$$E4: R_r = D_r * C_r - D_i * C_i + (D_r * C_i - D_i * C_r) - (D_r * C_i - D_i * C_r) \quad (4)$$

$$E5: R_r = (D_r * C_r - D_r * C_i + D_i * C_r - D_i * C_i) + (D_r * C_i - D_i * C_r) \quad (5)$$

复数结果的新表达式是：

$$E6: R_r = [(D_r + D_i) * (C_r - C_i)] + (D_r * C_i - D_i * C_r) \quad (3 \text{次乘法}) \quad (6)$$

$$E7: R_i = D_r * C_i + D_i * C_r \quad (\text{复用来自 } R_r \text{ 的乘积}) \quad (7)$$

如图1所示，最优的复数乘法可以用3个乘法器、3个加法器和2个减法器实现。值得注意的是，在FPGA中，加法/减法模块所用的相对裸片面积要小于 $18 \times 18$ 的乘法器模块。

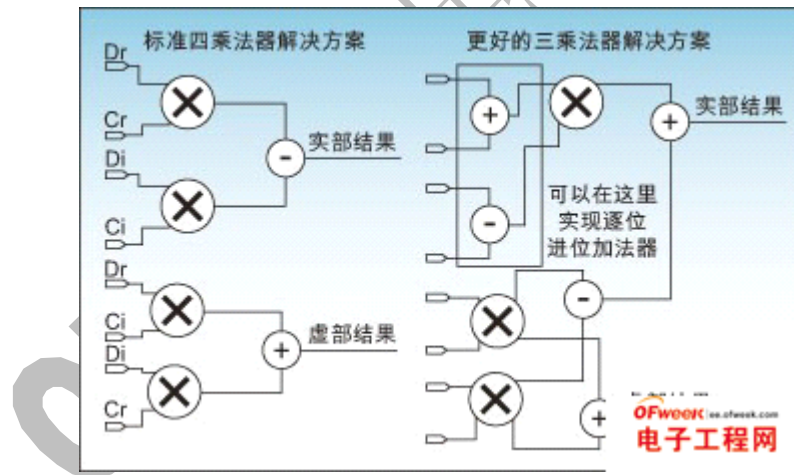


图1：采用4个和3个乘法器的复数乘法。

总之，所用乘法器数量减少25%可以带来下面两大好处之一：

- 1.在相同 FFT 吞吐量的条件下可以少用乘法器；
- 2.在乘法器数量不变的条件下可以提高 FFT 吞吐量。

数字上变频/下变频器中 FIR 滤波器的高效实现

如下的三个高效乘法器技术可用于实现 FPGA 中的数字上变频和下变频。这已经成为优化的重点领域，因为无线设计师需要满足将数据从非常高的采样速率向芯片处理速率转移的要求。数字下变频器/上变频器(DDC/DUC)子系统是基站内发送器/接收器的主要数字器件，以前是用昂贵的模拟/混合信号器件实现的。共有三种技术可以用来减少 FPGA 实现方案中的乘法器数量。

- 1.系数对称的 FIR 滤波器可节省乘法器；
- 2.分布式运算操作使用嵌入式块存储器；
- 3.级联积分梳状滤波器使用加法器。

### 上变频/下变频概述

如图2中上半部分描述的那样，DDC 由以下器件组成：一个基于数控振荡器(NCO)的 I/Q 分离器，它通过两个混频器将来自射频部分的输入信号用正弦和余弦波进行调制；一个抽取部分，可以由3级 FIR 抽取滤波器或后接级联积分梳状(CIC)滤波器的 FIR 抽取滤波器进行配置。

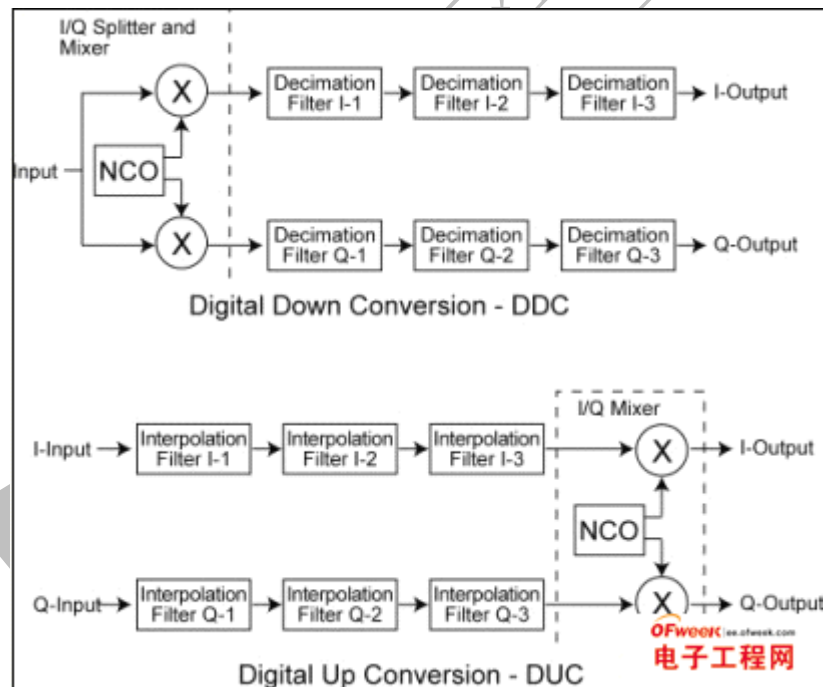


图2: DDC/DUC 结构。

图2中的 DUC 由以下器件组成：3级 FIR 内插滤波器或后面接 FIR 内插滤波器的 CIC 滤波器；一个基于 NCO 和两个混频器的 I/Q 混频器，其在 I、Q 输出信号到达射频部分前对它们进行解调。请记住，抽取用于采样删除以达到较低的采样率，而内插用于增加外推样本以提高采样率。

## 变频器的通用实现指南

DDC/DUC 系统是一个需要大量乘法器的系统。抽取和内插滤波器通常由乘法器和加法器阵列实现，而混频功能就是一个乘法器。利用面积优化方法实现 NCO 要基于使用复数乘法器的相移。

克服需要大量乘法器的系统所带来的挑战首先是要分解和级联滤波器：

1. 一个抽取/内插系数为 N 的大型 FIR 抽取滤波器或 FIR 内插滤波器可以分解成两个或三个抽取/内插系数分别为 N1、N2和 N3的较小、较简单的级联滤波器。抽取/内插系数满足以下等式：

$$E8: N = N1 * N2 * N3$$

2. 将 FIR 抽取滤波器或 FIR 内插滤波器分解成两个或三个独立滤波器可以减少实现整个滤波器所需的抽头总数。抽取或内插系数为 N 的单个滤波器需要大量的抽头(乘法器)才能满足基本的滤波器衰减和噪声特性要求。将滤波器分解成两个或三个更小和更简单的滤波器可以减少整个滤波系统的抽头数量。另外，第二和第三级联滤波器的较低采样率可以实现时间复用，从而进一步缩小实现的尺寸。

当滤波器阶数确定好后，还可以采取多种措施减少实际滤波器中的乘法器数量。下面将对此进行介绍。

主题	乘法器节省率	模块	应用	注释
1. 高效复数乘法	25%	OFDM传输和接收	FFT和IFFT	对于Radix-4蝶形复数乘法，只使用3个乘法器并/或提升吞吐量。
2. 滤波器系数对称	50%	DUC/DDC	FIR滤波器	使用系数对称法减少乘法器，最高可达一半。
3. 使用EBR或LUT的分布式运算FIR滤波器	100%	DUC/DDC	FIR滤波器	使用EBR作为LUT，并串行插入数据。
4. 使用加法器的CIC滤波器	100%	DUC/DDC	FIR滤波器	用CIC滤波抽取/内插

OFweek  
电子工程网

表1：可减少 WiMax 系统设计中乘法器数量的四种技术。

三种专用于变频器的乘法器节省技术

### 1. 对称抽取和内插滤波器

系数对称的DDC抽取滤波器和DUC内插滤波器可以用来获得最多50%的乘法器节省效果。在对称条件下，n个抽头的FIR滤波器系数  $h(0)$ 、 $h(1)$ 、...、 $h(n)$  满足  $h(k) = h(n-k)$   $\{0 \leq k \leq n\}$ 。

由于  $h(k) = h(n-k)$ 、 $h(k)$  与两个相关样本之和的乘积可以一次完成，因此所需乘法器的数量可以最多减少2倍(对于偶数个系数)。在FPGA中，可以利用低成本的逐位进位逻辑实现使用相同系数的两个数据样本的加法。

## 2. 通过分布式运算功能并利用 EBR 存储器块实现 FIR 滤波器

对乘法器密集应用(如 DDC 或 DUC)来说, FPGA 资源的高效使用特别重要。将存储器和 LUT 结构资源用作乘法器可以显着提升实现效率。EBR 和这种结构的分布式存储器可以用作使用分布式存储器技术的 FIR 滤波器乘法器。分布式存储器技术也被称为软乘法技术, 使用这种技术通常可以使 FPGA 器件中的乘法器数量增加2到5倍。

从图3可以看出如何使用 EBR 实现使用分布式算术技术的 FIR 滤波器。样本被串行移位进 EBR 地址总线。在 EBR 内部有一个预计算的结果乘法表以及带合适系数的各个输入样本比特(地址比特)总和。累加器将累加  $n$  个( $n$  是样本比特分辨率)中间结果, 并在  $n$  个时钟周期后提供完整的 FIR 滤波结果。

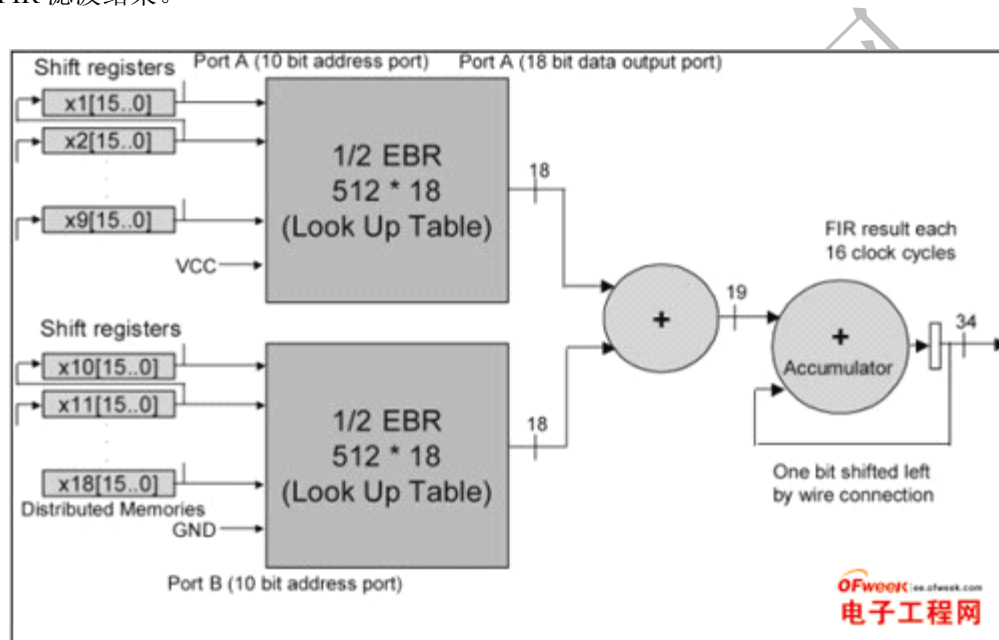


图3: 将块存储器用作 FIR 乘法器。

## 3. CIC 滤波器使用加法器而不是乘法器

用 CIC 乘法器代替某些内插/抽取 FIR 滤波器链部分是另一种减少实现所需乘法器数量的方法。CIC 乘法器没??/下变频通常要求数百阶的大范围速率变化。高速率变化内插或抽取滤波器在硬件方面非常昂贵。CIC 滤波器也被称为 Hogenauer 滤波器, 可以用作低成本的高因数抽取或内插滤波器。它们可以用来在数字系统中取得任意的和很大的速率变化, 并能够仅使用加法器和减法器高效实现。因为 FPGA 有很快的进位链用于实现加法器, 因此 CIC 滤波器非常适合 FPGA 实现。积分器和梳状滤波器的结构与特性请参见表2。

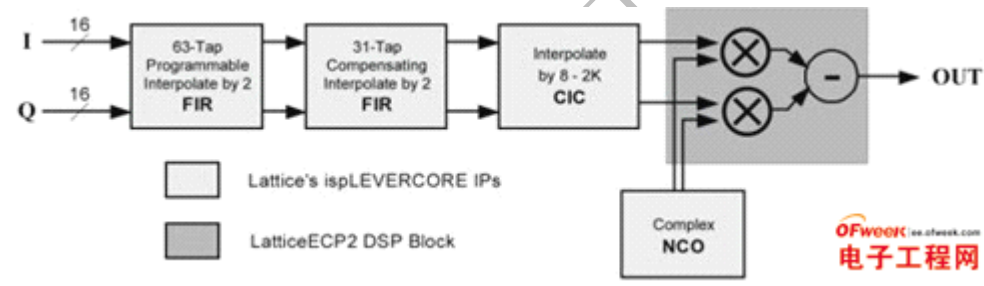
Format		Average throughput required for high quality video	
		480i60	1080p30
Broadcast Cable TV	MPEG-2	8 Mbps	20 Mbps
Windows Media Video DivX XviD QuickTime	MPEG-4 Part 10/H.264	5 Mbps	12 Mbps

OFweek 电子工程网

表2: 梳状滤波器和积分器的结构与特性。

利用 IP 核实现变频器和 OFDM

用 Lattice 的 FPGA 实现 DDC 或 DUC 变频器相当简单, 因为 FPGA 提供了作为 IP 内核使用的重要组成器件。将 CIC 滤波器用作数据速率转换中内插器的应用如图4所示, 它给出了用作数字无线应用中的变频器的 CIC 内插器的使用。



OFweek 电子工程网

图4: 用于数字无线电应用的数字上变频器。

数字上变频器使用以下一些 IP 内核配置:

1. FIR 滤波器(63个抽头的内插滤波器);
2. FIR 滤波器(31个抽头的内插滤波器);
3. CIC 滤波器(速率在8到2K 之间可编程的内插 CIC 滤波器);
4. NCO(带正弦和余弦输出的 NCO)。

LatticeECP2/M 的优势

LatticeECP2/M 系列低成本 FPGA 具有多种与 WiMax 系统设计高度相关的高性能特性。在其他低成本 FPGA 系列器件中很难找到这些特性, 而只能在昂贵的高端 FPGA 产品中才能找到:

1. 带硬连线的乘法器、加法器/累加器模块和管线级的高性能 DSP 模块；
2. 速率高达3.125Gbps 的 SERDES 收发器通道, 支持无线电头部和基带数字板之间的 CPRI 和 OBSAI 接口；
3. 在 LatticeECP2/M 存储器增强系列产品中数量众多的18kB EBR 存储器块；
4. 支持 ADC/DAC 接口的高速 LVDS I/O, 输入和输出速率均可高达840Mbps；
5. 低成本的 LatticeECP2/M 系列器件均可提供这些丰富和高性能的资源, 而价格远低于其他 FPGA 器件。WiMax 系统设计师还能使用多种设计技术减少所需 DSP 乘法器的数量, 从而让用户有可能使用更小、更便宜的 FPGA 器件。

OFweek 电子工程网