

高速多模式 RS 编码的设计方案

引言

为了解决地-空的数据传输业务增长而带来的高通信速度要求和高宽带要求问题,国际民航组织(ICAO)选定 L 波段航空数字通信系统(L-DACS)作为民航未来宽带航空数据链的传输方案。欧洲 EUROCON-TROL 提出了未来航空通信系统(FAC),即 L 波段数字航空通信系统类型 1 和 2(L-DACS1 和 L-DACS2)。L-DACS1 是采用正交频分复用 OFDM 技术的航空通信系统,它工作在 960~1 024 MHz 的航空 L 波段,被设计来满足未来 20 年和更长时间的航空通信要求。

在 L-DACS1 中,由于信道的噪声和畸变与多普勒频移的影响,会对传输的信息引起失真和信号判决错误,而且不同类型的数据需要采用不同的速率传输,因此需要使用多种模式的信道编码来降低误码率。RS 编码是性能优良的纠错码,在线性分组码中它的纠错能力和编码效率是最高的。它不但可以纠正随机错误、突发错误以及两者的结合,而且还可以用来构造其他码类。因而 RS 编码是目前 L-DACS1 中重要的组成部分。

RS 编码器原理

RS(n, k, t)码通常用 n、k 和 t 三个参数表示。其中:

n 表示码字长度;k 表示信息段长度;t 表示可纠正错误符号个数。L-DACS1 协议中采用 RS(16, 4, 1)、RS(21, 19, 1)、RS(24, 22, 1)、RS(32, 28, 2)、RS(43, 39, 2)、RS(49, 45, 2)、RS(66, 60, 3) 和 RS(74, 66, 3) 八种模式。

以 RS(16, 4, 1)为例,RS(16, 4, 1)的生成多项式一般按式(1)进行选择:

$$g(x) = (x - \alpha)(x - \alpha^2) \cdots (x - \alpha^{2t}) = \prod_{i=1}^{2t} (x - \alpha^i) \quad (1)$$

首先计算商式 h(x) 和余式 r(x) $n - k d(x) g(x) = h(x)g(x) + r(x)$, 取余式 r(x) 作为校验字,然后令 $c(x) = x^{n-k} d(x) + r(x)$, 即将信息位放置于码字的前半部分,监督位放置于码字的后半部分,这样有式(2):

$$\begin{aligned} c(x)/g(x) &= x^{n-k} d(x)/g(x) + r(x)/g(x)g(x) \\ &= h(x)g(x) + r(x) + r(x) = h(x)g(x) \end{aligned} \quad (2)$$

因此码字多项式 c(x) 必可被生成多项式 g(x) 整除。如果在接收方检测到余式不为 0,则可判断接收到的码字有错误。RS 编码器结构如图 1 所示。

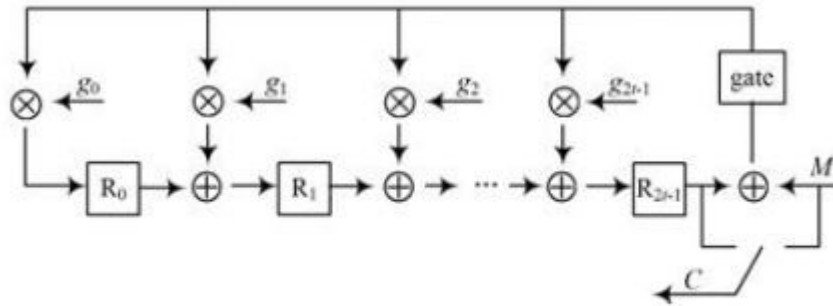


图1 RS编码器结构

其工作原理如下：

(1) 寄存器 $R_0 - R_{2t-1}$ 全部清零。开关接通 A 点，然后信息位分为两路送电路中，一路直接送入 $C(x)$ ，一路送入除法电路并进行移位。每一个时钟一个字节；(2) 在 k 个时钟结束的时候信息位全部输入，并完成除法功能。此时移位寄存器里保留了余式 $r(x)$ 的系数，这就是 RS 码的校验位；(3) 在 $k+1$ 个时钟到来的时候，开关接通 B 点。寄存器中的数据依次移出，送入信道。在经过 $2t$ 个时钟后数据全部移出，得到 $2t$ 个校验位。这 $2t$ 个校验位跟在原先的 k 个信息位的后面，组成 $RS(n, k, t)$ 码输出。这样就完成了 RS 码的编码；(4) 寄存器 $R_0 \sim R_{2t-1}$ 全部清零，重复步骤(1)~(3)，完成对下一组 RS 码的编码。

多模式 RS 编码器的设计与实现

多模式 RS 编码模块，根据 MODE 信号对于可配置的 RS 模块进行实时的配置。图 2 为多模式 RS 编码在 L-DACS1 中硬件实现结构图，表 1 为多模式 RS 编码器模块端口说明。

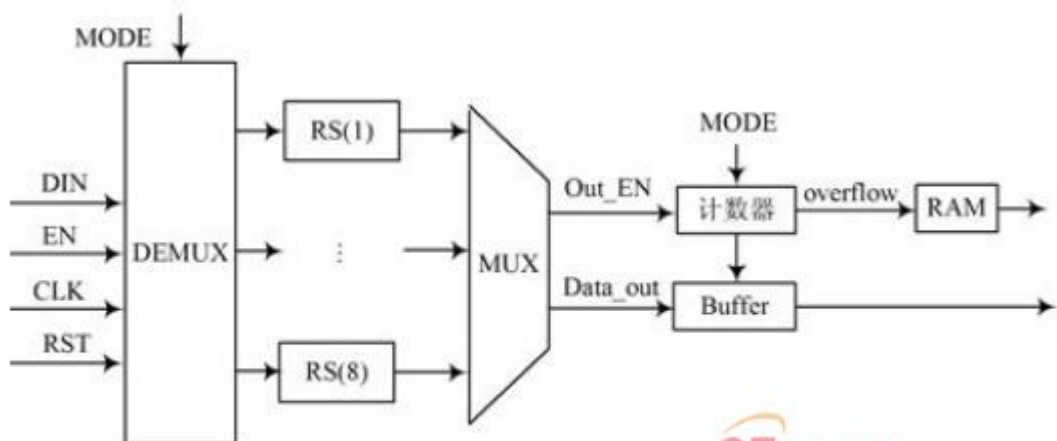


图2 多模式RS编码硬件结构

表 1 可配置 RS 编码总模块端口

端口名称	位宽	方向	描述
RS_DIN	1	Input	输入数据
RS_EN	1	Input	输入有效,与输入数据同步拉高
RS_RST	1	Input	复位信号,低电平有效
RS_CLK	1	Input	时钟信号 75 MHz
RS_MODE	3	Input	控制 RS(n,k,t)的选择
RS_DOUT	1	Output	输出数据
RS_RDY	1	Output	输出有效,与输出数据同步拉高

根据协议规定, L-DACS1 发射机使用归零卷积码, 所以需要将 RS 编码器的输出数据末尾进行补零处理。因为卷积码的约束长度为 6 位, 因此需要补 6 个零。

RS 编码后的数据放入缓存器中然后输出。根据 MODE 信号对于计数器进行选择, 计数器最大值时, 将 BUFFER 使能端置为低电平, 同时激活 ROM, 顺序输出 6 个 0 值符号。然后计数器置为 0, 将 BUFFER 使能端拉至高电平。

多模式 RS 编码器仿真

利用 Verilog HDL 硬件描述语言对多模式 RS 编码器进行仿真, 对工程文件进行综合、布线和仿真, 以 RS(16, 4, 1)编码为例进行分析, 其后仿真结果如图 3 所示。

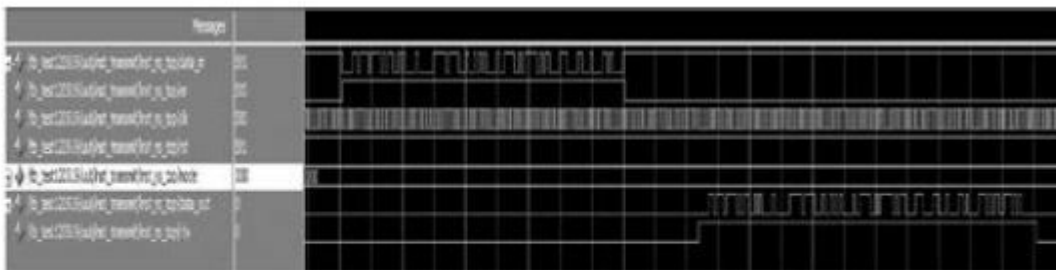


图 3 RS(16,4,1)编码模块后仿真时序图

图 3 中, MODE 是模式控制信号,可根据该信号来选择不同的 RS 编码模式。data_in 为模块的输入数据,每次连续输入 112 b 数据;data_out 为 RS 编码后输出数据,每次连续输出 134 b;rdy 为数据输出有效标志位。

本次仿真 RS(16, 4, 1)编码, 模式信号 MODE 为 000. 仿真其他模式 RS 编码, 改变 MODE 信号即可。

将仿真通过的工程文件使用 ChipScope 添加观察信号采样时钟、触发信号和待观察信号后重新综合、布局布线生成 bit 文件,下载到 Xilinx 公司的 Virtex-5 系列的 XC5VLX110-F1153 型号的芯片后用 ChipScope 进行在线测试, 采用主时钟 75 MHz, 得到测试结果如图 4 所示。

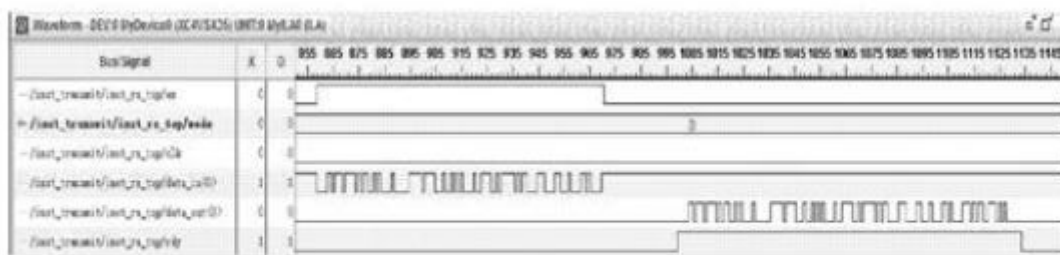


图 4 RS(16,4,1)编码模块在线测试结果时序图

图 4 中, en 表示输入使能信号, data_in 表示编码之前的数据, data_out 表示 RS 编码后输出数据, rdy 表示输出数据有效的信号, 输入时钟频率为 75 MHz, 采样时钟频率为 150 MHz. 通过对比图 3 的仿真结果和图 4 的在线测试结果, 可以验证在高速的时钟下设计的正确性。

结语

本文提出了一种基于 L-DACS1 系统中高速多模式 RS 编码的设计方案。本方案先阐述了 L-DACS1 系统中多模式 RS 编码器的工作原理, 利用 FPGA 设计实现了可以在高速多模式条件下正常工作的 RS 编码器。同时用 Verilog HDL 硬件描述语言对此设计进行了仿真验证, 最后使用 75 MHz 的主时钟频率, 在 Xilinx 公司 Virtex-5 系列 XC5VLX110-F1153 型号芯片下完成了硬件的调试, 仿真及在线测试结果表明, 达到了预期的设计要求, 并用于实际项目中, 以此证明该方案具有较强的实用性。