

基于 FPGA 技术的 DDS 波形发生器的原理与设计

本文介绍了基于 FPGA 技术的 DDS 波形发生器的原理与设计，并利用 SignalTapII 嵌入式逻辑分析仪对正弦波、三角波、方波、锯齿波进行仿真验证。实验结果表明，利用 FPGA 能在很短时间内快速构建任意波形，提高了设计效率，具有实际应用价值。

1. 引言

DDS 频率合成器具有频率分辨率高，输出频点多，可达 $2N$ 个频点（假设 DDS 相位累加器的字长是 N ）；频率切换速度快，可达 μs 量级；频率切换时相位连续的优点，可以输出宽带正交信号，其输出相位噪声低，对参考频率源的相位噪声有改善作用；可以产生任意波形；全数字化实现，便于集成，体积小，重量轻。

本文介绍了 DDS 的基本原理，同时针对 DDS 波形发生器的 FPGA 实现进行了简要介绍，利用 SignalTapII 嵌入式逻辑分析仪对正弦波、三角波、方波、锯齿波进行仿真验证。

2. DDS 波形发生器的 FPGA 实现

FPGA 的应用不仅使得数字电路系统的设计非常方便，而且它的时钟频率已达到几百兆赫兹，加上它的灵活性和高可靠性，非常适合用于实现波形发生器的数字电路部分。使用 FPGA 设计 DDS 电路比采用专用 DDS 芯片更为灵活，只需改变 FPGA 中的 ROM 数据，DDS 就可以产生任意波形，具有相当大的灵活性。

2.1 FPGA 设计流程

FPGA 的设计框图如图 1 所示，FPGA 的主要功能是：产生与外围电路的接口电路，使其能够接受外围逻辑控制信号；保存频率字，并构成相位累加器，产生与主时钟相同频率的 RAM 寻址字；用内部的存储块构成存放多种波形数据的 ROM，并通过相应的控制线进行选择；构造出两个多波形选择输出的输出通道，其中的一路通道可具备移相功能；用内部的 PLL 倍频外部低频晶振，并输出与主时钟同频的时钟，驱动片外高速 D/A。

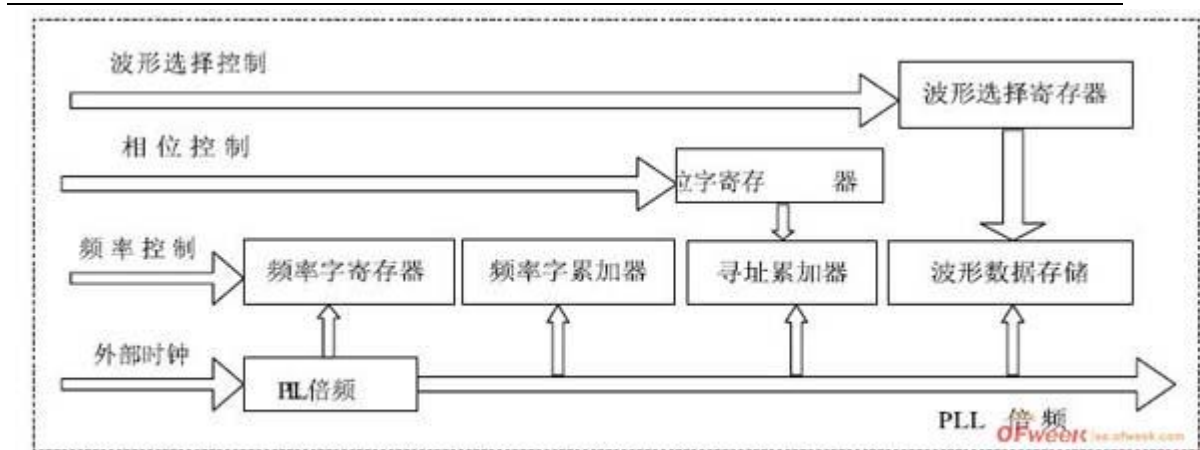


图1 FPGA设计框图

2.2 时钟模块

根据耐奎斯特采样定理要得到输出频率为 10MHz 的信号,其所输入的信号时钟频率必须达 20MHz 以上。采样频率越高,输出波形的平坦度越好,同时波形的采样点数也越多,那么获得的波形质量也就越好。本设计中的 DDS 模块是一高速模块,所以对系统时钟就有很高的要求,不仅需要较高的频率,而且还要有非常高的稳定性,如果在 FPGA 的时钟端直接加一高频晶振,不仅时钟不稳定,而且功耗大,费用高,在本设计中,直接调用 Altera 公司的 PLL 核,在 FPGA 时钟端只需加一低频晶振,通过 FPGA 内部 PLL 倍频达到系统时钟要求,输出的时钟相位偏移在允许范围内。

2.3 DDS 控制模块

(1) 频率控制字输入模块

频率控制字输入模块如图 2 所示,数据选择器控制输入 16 位频率控制字。

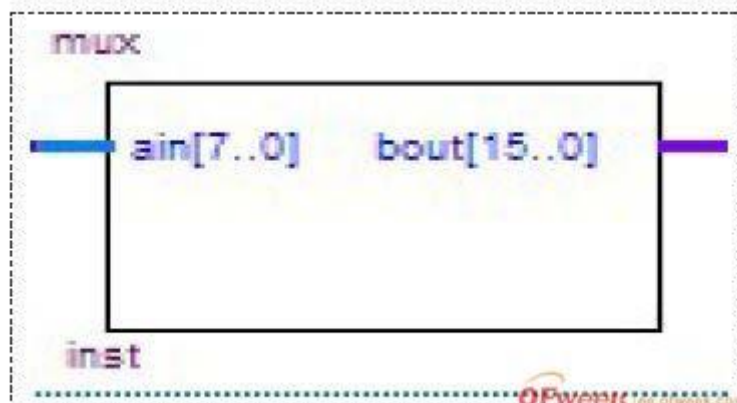


图2 频率控制字输入模块

(2) 步进频率控制模块

步进频率控制模块如图 3 所示，通过一个乘法器来控制步进频率，具体算法如下： $f_{\text{步进}} = f_c * 2147 / 232$ 。

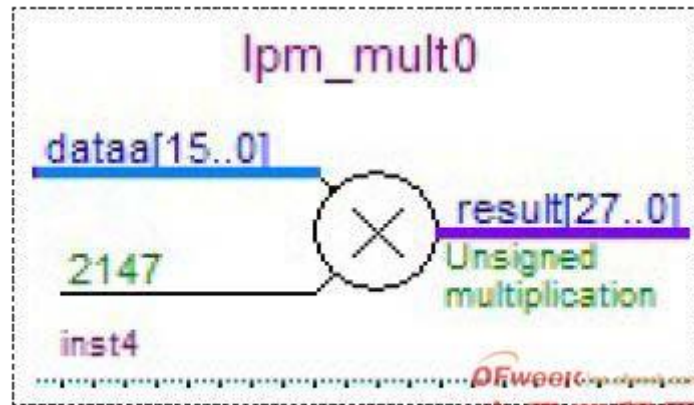


图3 步进频率控制模块

通过改变乘法器的乘数来改变步进频率。要使步进为 1Hz 那么乘法器的乘数为 22。

(3) 频率累加器

频率累加器模块如图 4 所示，通过一个 32 位加法器跟 32 位寄存器构成频率累加器，频率控制字高 4 位为 0。

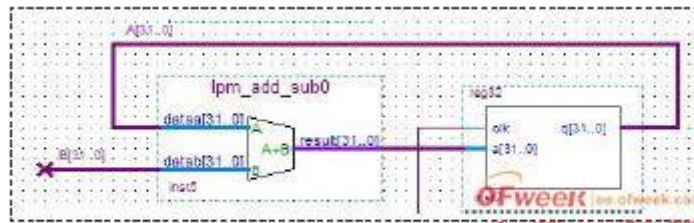


图4 频率累加器

(4) 相位寄存器

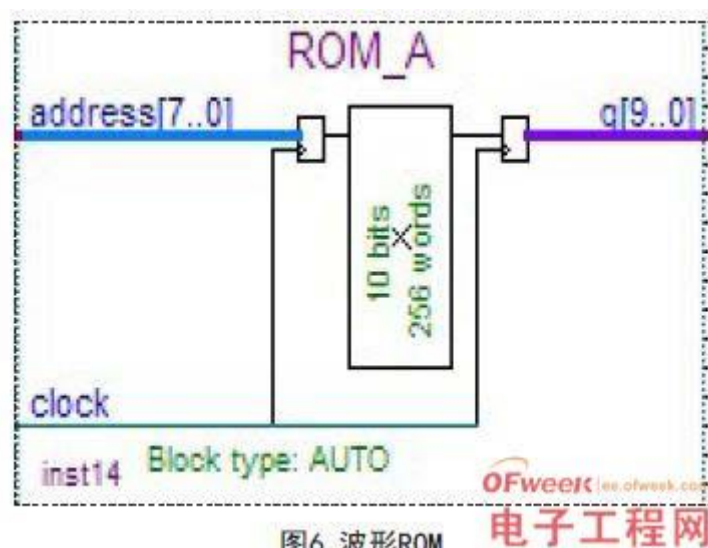
相位寄存器模块如图 5 所示，通过一个 8 位加法器跟 8 位寄存器构成相位寄存器并产生 8 位波形数据地址。



图5 相位寄存器

(5) 波形存储器设计

波形数据 ROM 就是存放波形数据的存储器,大多波形发生器产品都将波形数据存放在外部的 ROM 中,这样使得各部分结构清晰,测试、维护更加方便但由于 ROM 本身读取速度慢的缺点,使得整个系统性能下降,工作频率下降,为了解决以上问题,本设计使用的是用 FPGA 设计出 ROM,在 FPGA 中存放波形数据,使用 Quartus II9.0 中的 Mega Wizard Plug-In Manager 来生成一个 ROM,如图 6 所示。



Mega Wizard Plug-In Manager 的设置,根据设计的要求,经过七步的设置,就可以生成一个 ROM 的 IP 核。当在波形 ROM 中固化所需波形的一个周期的幅度值后,由地址发生器产生的地址对波形 ROM 寻址,依次可取出送至 D/A 转换及滤波后即可得到所需的模拟波形输出。计算波形数据可以有两种方法: C 语言与 matlab 计算。

3. 仿真实验结果

按照第 2 节的系统设计,设计程序下载到 FPGA 芯片,使用 QuartusII 软件自带 SignalTapII 嵌入式逻辑分析进行仿真,观察信号波形图,正弦波如图 7,三角波如图 8,方波如图 9,锯齿波如图 10。

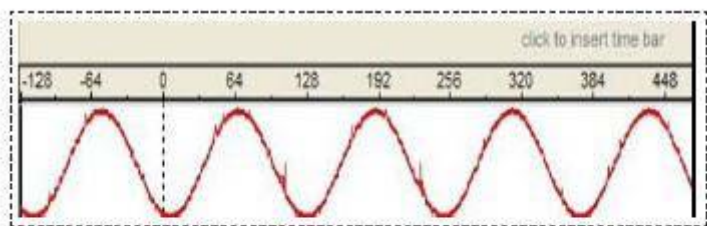


图7 正弦波

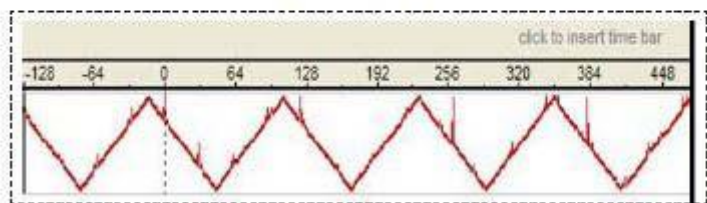


图8 三角波

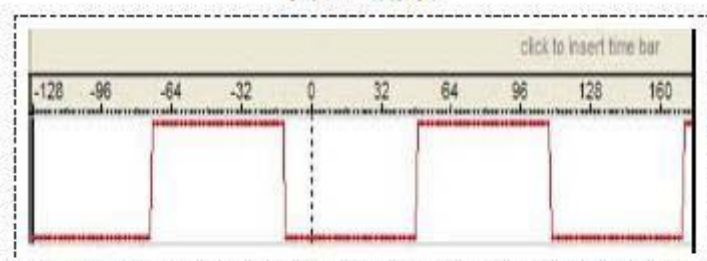


图9 方波

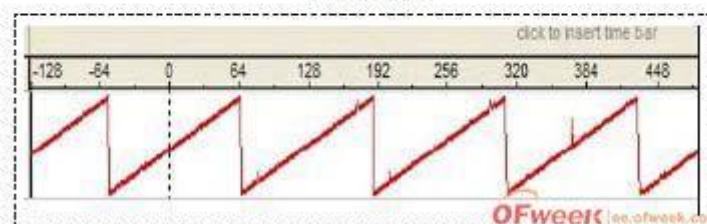


图10 锯齿波

OFweek 电子工程网

4. 总结

经实验结果表明，通过 DDS 技术合成的波形具有良好的稳定性，易于控制和调节，利用 FPGA 能在很短时间内快速构建任意波形，提高了设计效率，具有实际应用价值。