
FPGA 工程师不得不知的 FPGA 设计经验

这里谈谈一些经验和大家分享，希望能对 IC 设计的新手有一定的帮助，能使得他们能少走一些弯路！

在 IC 工业中有许多不同的领域，IC 设计者的特征也会有些不同。在 A 领域的一个好的 IC 设计者也许会花很长时间去熟悉 B 领域的知识。在我们职业生涯的开始，我们应该问我们自己一些问题，我们想要成为怎样的 IC 设计者？消费？PC 外围？通信？微处理器或 DSP？等等。

IC 设计的基本规则和流程是一样的，无论啥样的都会加到其中。HDL，FPGA 和软件等是帮助我们理解芯片的最好工具。IC 的灵魂是知识。因此我们遇到的第一个挑战将是获得设计的相关信息，然后理解信息并应用它。

但是有些信息不是免费的，我们需要加入一些协会或从如 IEEE/ISO 等那些组织购买一些文档。设计者应该有很强的背景知识来很快的理解他们，甚至能改进存在的标准或。一个好的设计者应该应该有足够的设计技能和工具应用知识并且不断的积累他们。

例如：

8 口以太网转换 HUB 控制器

需要知识：IEEE802.3 标准，包括 10MHZ 以太网和 100MHZ 快速以太网。

相关领域：异步传输模式（ATM），IEEE802.11 无限局域网，IEEE1394，USB 等。

HDL，计算机仿真和只能解决 ASIC 设计流程的数字部分。如果在 IC 中有任何模拟部分，他将依赖模拟设计者或从另外的厂家购买。甚至一些纯数字部分也能从另外一些厂家购买以加速上市时间。那些不是被我们设计的部分称为 IP，包括 HDL 代码，网表，硬核。对于我们设计的技术取决于硬核。一些 IP 是非常贵的，如在 USB2.0 中的 PHY。一些小的公司没有足够的人力和软件资源来完成有些工作，甚至他们不能在缺货期预定足够的晶原，因此涉及服务公司取代了他们的工作。但并不是每个 IP 都满足我们的需要，有时我们需要在购买后作一些修改。我们要在设计前决定所要用的 IPs。

在设计开始，设计者必须理解所有相关的标准、规范和算法。但是有许多方法来应用这些规范和算法。最好的结构是快速和最小芯片尺寸的结合。不幸的是，快速的需求常常和最小芯片尺寸的需求是对立的。因此，在 HDL 编码工作前规划一个最优的结构也是一个重要的问题。

例如：

1: 除法器

除数被固定。最快的方法是查表，但是这个方法需要大的内存。我们可以从被除数中不断的减去除数直到新的被除数比除数小。它会花更多的时间但用最少的硬件。还有许多的方法来构建除法器，每种方法都有他自己的优点和缺点。

2: 图像处理的动态评估器

从前一个图片中发现最相似的 8×8 模块，在整个电影剪辑中。最基本的有全搜索和三步搜索的方法。许多的论文已经讨论过优化硬件复杂度和速度的结构，这里我不再祥解释。

一个好的设计者应该要被实际经验培训和不断的。我们要在每个设计工作中非常小心和耐心。因为一个 NRE 将会消耗大量的金钱和数周的时间，如果他不小心犯错，设计者将会对金钱和计划失败负责。经验和小心也许是来完成一个成功的设计项目最好的方法。

以下条款是一些对一个稳步的和成功的设计的建议：（可能有些朋友也指出了其中的部分，我这里只作简要说明，可能稍有不同）

命名风格：

- 1、不要用关键字做信号名；
- 2、不要在中用 VERILOG 关键字做信号名；
- 3、命名信号用含义；
- 4、命名 I/O 口用尽量短的名字；
- 5、不要把信号用高和低的情况混合命名；
- 6、信号的第一个字母必须是 A-Z 是一个规则；
- 7、使模块名、实例名和文件名相同。

编码风格：记住，一个好的代码是其他人可以很容易阅读和理解的。

- 1、尽可能多的增加说明语句；
- 2、在一个设计中固定编码格式和统一所有的模块，根从项目领导者定义的格式；
- 3、把全部设计分成适合数量的不同的模块或实体；
- 4、在一个 always/process 中的所有信号必须相关；

5、不要用关键字或一些经常被用来安全综合的语法；

6、不要用复杂逻辑；

7、在一个 if 语句中的所有条件必须相关；

设计风格

1、强烈建议用同步设计；

2、在设计时总是记住时序问题；

3、在一个设计开始就要考虑到地电平或高电平复位、同步或异步复位、上升沿或下降沿触发等问题，在所有模块中都要遵守它；

4、在不同的情况下用 if 和 case；

5、在锁存一个信号或总线时要小心；

6、确信所有寄存器的输出信号能够被复位/置位；

7、永远不要再写入之前读取任何内部存储器（如 SRAM）；

8、从一个时钟到另一个不同的时钟传输数据时用数据缓冲，他工作像一个双时钟 FIFO；

9、在 VHDL 中二维数组可以使用，它是非常有用的。在 VERILOG 中他仅仅可以使用在测试模块中，不能被综合；

10、遵守 register-inregister-out 规则；

11、像 synopsys 的 DC 的综合工具是非常稳定的，任何 bugs 都不会从综合工具中产生；

12、确保 FPGA 版本与 ASIC 的版本尽可能的相似，特别是 SRAM 类型，若版本一致是最理想的；

13、在嵌入式存储器中使用 BIST；

14、虚单元和一些修正电路是必需的；

15、一些简单的测试电路也是需要的，经常在一个芯片中有许多测试模块；

16、除非低功耗不要用门控时钟；

17、不要依靠脚本来保证设计。但是在脚本中的一些好的约束能够起到更好的性能（例如前向加法器）；

18、如果时间充裕，通过时钟做一个多锁存器来取代用 MUX；

19、不要用内部 tri-state，ASIC 需要总线保持器来处理内部 tri-state；

20、在 toplevel 中作 padinsertion；

21、选择 pad 时要小心（如上拉能力，施密特触发器，5 伏耐压等）；

22、小心由时钟偏差引起的问题；

23、不要试着产生半周期信号；

24、如果有很多函数要修正，请一个一个地作，修正一个函数检查一个函数；

25、在一个计算等式中排列每个信号的位数是一个好习惯，即使综合工具能做；

26、不要使用 HDL 提供的除法器；

27、削减不必要的时钟。它会在设计和布局中引起很多麻烦，大多数 FPGA 有 1-4 个专门的时钟通道；

以上是大家在设计中最好遵守的要点，它可以使你的设计更好。