

## 数字电路设计方案中 DSP 与 FPGA 的比较与选择

数字信号处理技术和大规模集成电路技术的迅猛发展,为我们设计数字电路提供了新思路和新方法。当前数字系统设计正朝着速度快、容量大、体积小、重量轻的方向发展。DSP 和 FPGA 技术的发展使这一趋势成为可能和必然。

和计算机一样,数字信号处理的理论从 60 年代崛起以来,到 80 年代 DSP 产生,它飞速发展改变了信号处理的面貌。今天 DSP 已广泛应用在语音、图像、通讯、雷达、电子对抗、仪器仪表等各个领域。DSP 起了十分关键的作用,成为数字电路设计的主要方法。

二十世纪 80 年代以来,一类先进的门阵列—FPGA 的出现,产生了另一种数字电路设计方法,具有十分良好的应用前景。基于 FPGA 的数字电路设计方式在可靠性、体积、成本上的优势是巨大的。

除了上述两种方案,还有 DSP+FPGA 方案,以及选择内部嵌入 DSP 模块的 FPGA 实现系统的方案。

### 1 DSP 和 FPGA 的结构特点

#### 1.1 DSP 的结构特点

DSP 是一种具有特殊结构的微处理器。DSP 芯片的内部采用程序和数据分开的哈佛结构,具有专门的硬件乘法器,广泛采用流水线操作,提供特殊的 DSP 指令,可以用来快速地实现各种数字信号处理算法。根据数字信号处理的要求,DSP 芯片一般具有如下的一些主要特点:

- (1) 在一个指令周期内可完成一次乘法和一次加法;
- (2) 程序存储器和数据存储器是两个相互独立的存储器,每个存储器独立编址,可以同时访问指令和数据;
- (3) 片内具有快速 RAM,通常可通过独立的数据总线在两块中同时访问;
- (4) 具有低开销或无开销循环及跳转的硬件支持;
- (5) 快速的中断处理和硬件 I/O 支持;
- (6) 具有在单周期内操作的多个硬件地址产生器;
- (7) 可以并行执行多个操作;
- (8) 支持流水线操作,使取指、译码和执行等操作可以重叠执行。

## 1.2 FPGA 的结构特点

FPGA 的结构是由基于半定制门阵列的设计思想而得到的。从本质上讲, FPGA 是一种比半定制还方便的 ASIC (Application Specific Integrated Circuit 专用集成电路) 设计技术。

FPGA 的结构主要分为三部分: 可编程逻辑块、可编程 I/O 模块、可编程内部连线。可编程逻辑块和可编程互连资源的构造主要有两种类型: 即查找表类型和多路开关型。

查找表型 FPGA 的可编程逻辑单元是由功能为查找表的 SRAM (Static Random Access Memory 静态随机存取存储器) 构成函数发生器, 由它来控制执行 FPGA 应用函数的逻辑。SRAM 的输出为逻辑函数的值, 由此输出状态控制传输门或多路开关信号的通断, 实现与其它功能块的可编程连接。多路开关型可编程逻辑块的基本构成是一个多路开关的配置。利用多路开关的特性, 在多路开关的每个输入接到固定电平或输入信号时, 可实现不同的逻辑功能。大量的多路开关和逻辑门连接起来, 可以构成实现大量函数的逻辑块。

FPGA 由其配置机制的不同分为两类: 可再配置型和一次性编程型。近几年来, FPGA 因其具有集成度高、处理速度快以及执行效率高等优点, 在数字系统的设计中得到了广泛应用。

## 2 DSP 与 FPGA 性能比较

DSP 内部结构使它具有的优势为: 所有指令的执行时间都是单周期, 指令采用流水线, 内部的数据、地址、指令及 DMA (Direct Memory Access 直接存储器存取) 总线分开, 有较多的寄存器。

与通用微处理器相比, DSP 芯片的通用功能相对较弱些。DSP 是专门的微处理器, 适用于条件进程, 特别是较复杂的多算法任务。在运算上它受制于时钟速率, 而且每个时钟周期所做的有用操作的数目也受限制。例如 TMS320C6201 只有两个乘法器和一个 200 MHz 的时钟, 这样只能在每秒完成 400M 的乘法。

将模拟算法、具体指标要求映射到通用 DSP 中, 比较典型的 DSP 通过汇编或高级语言如 C 语言进行编程, 实时实现方案。如果 DSP 采用标准 C 程序, 这种 C 代码可以实现高层的分支逻辑和判断。例如通信系统的协议堆栈, 这是很难在 FPGA 上实现的。从效果来说, 采用 DSP 器件的优势在于: 软件更新速度快, 极大地提高了系统的可靠性、通用性、可更换性和灵活性, 但 DSP 的不足是受到串行指令流的限制。

FPGA 有很多自由的门, 通过将这些门连接起来形成乘法器、寄存器、地址发生器等等。这些只要在框图级完成, 许多块可以从简单的门到 FIR (Finite

Impulse Response 有限冲激响应) 或 FFT (Fast Fourier Transform 快速傅里叶变换) 在很高的级别完成。但它的性能受到它所有的门数及时钟速度的限制。例如, 一个具有 20 万门的 Virtex 器件可以实现 200MHz 时钟的 10 个 16 位的乘法器。

FPGA 包含有大量实现组合逻辑的资源, 可以完成较大规模的组合逻辑电路设计; 与此同时, 它还包含有相当数量的触发器, 借助这些触发器, FPGA 又能完成复杂的时序逻辑功能。通过使用各种 EDA (Electronic Design Automatic 电子设计自动化) 工具, 设计人员可以很方便地将复杂的电路在 FPGA 中实现。象微处理器一样, 许多 FPGA 可以无限的重新编程, 加载一个新的设计方案只需要几百毫秒。甚至现场产品可以很简单而且快速的实现。这样, 利用重配置可以减少硬件的开销。

超过几 MHz 的取样率, 一个 DSP 仅仅能完成对数据非常简单的运算。而这样简单的运算用 FPGA 将很容易实现, 并且能达到非常高的取样速率。在比较低的取样速率时, 整体上很复杂的程序可以使用 DSP, 这对于 FPGA 来讲是很困难的。

对于较低速的事件, DSP 是有优势的。可以将它们排队, 并保证它们都能执行, 但是在它们处理前可能会有些时延。而 FPGA 不能处理多事件, 因为每个事件都有专用的硬件, 但是采用这种专用硬件实现的每个事件的方式可以使各个事件同时执行。

如果需要主工作环境进行切换, DSP 可以通过在程序里分出一个新的子程序的方式来完成, 而对于每种配置 FPGA 需要建立专门的资源。如果这些配置是比较小的, 那么在 FPGA 中可以同时存在几种配置; 如果配置较大则意味着 FPGA 需要重新配置, 而这种方法只在某些时候可以采用。

最后, FPGA 是以框图方式编程的, 这样很容易看数据流。DSP 是按照指令的顺序流来编程的。大多数的单处理系统都是以某种框图方式开始设计的。实际上, 系统设计者大多认为将框图移植给 FPGA 比将其转化为 DSP 的 C 代码更容易。

### 3 如何进行 DSP 和 FPGA 方案选择

#### 3.1 方案选择原则

在选择数字系统核心处理部分的方案时, 有很多因素需要考虑。例如如何充分利用已有资源(包括软、硬件)、系统要求的工作时钟速率以及算法或工作方式的特点等, 这些对最佳方案的选择有很大的影响。

具体地说, 在最初的方案论证阶段, 可以根据如下问题的回答情况进行方案选择:

(1) 该系统的取样速率是多少？

如果高于几 MHz, FPGA 是理所当然的选择。

(2) 系统是否已经使用 C 语言编制的程序？如果是, DSP 可以直接地实现。它可能达不到方案的最佳实现, 但很容易进一步开发。

(3) 系统的数据率是多少？

如果高于 20~30Mbyte/second, 则用 FPGA 处理更佳。

(4) 有多少个条件操作？

如果没有, FPGA 是很好的；如果很多, 则软件的实现即 DSP 的实现是更好的选择。

(5) 系统是否使用浮点？

如果是, 则使用可编程的 DSP 更好。目前为止, 一些 FPGA 开发商, 如 Xilinx 公司的核还不支持浮点, 尽管自己可以设计。

(6) 所需要的库是否能够获得？

DSP 和 FPGA 都提供诸如 FIR 或 FFT 等基本的构建模块。然而, 更复杂的或专用的构件可能得不到, 这将决定选择。

### 3.2 方案选择示例

下面提供了几个数字电路设计例子, 有助于理解前面介绍的方案选择原则。

(1) 用于无线数据接收机的抽样滤波器。典型的 CIC (Control Integrated Circuit 控制集成电路) 滤波器工作在 50~100MHz 的取样率, 5 步 CIC 有 10 个寄存器和 10 个加法器。要求加速度在 500~1000MHz。

在这一速率下任何的 DSP 处理器将很难实现。然而 CIC 只有非常简单的结构, 这样以 FPGA 来实现将会很简单。100MHz 的取样率可以达到, 甚至某些型号的 FPGA 还可以有些剩余资源来实现进一步的处理。

(2) 实现通信堆栈协议--ISDN (Integrated Services Digital Network 综合服务数字网)。IEEE1394 有很复杂、大量的 C 代码, 完全不适合用 FPGA 来实现；但是用 DSP 来实现却很简单。不仅如此, 一个信号编码基数可以得到保留, 这样可以使代码堆栈在某一产品的 DSP 上来实现, 或者在另一块 DSP 上的分离的协议处理器来实现。这将给专门提供为代码堆栈授权的供应厂家以机会。

(3) 数字射频接收机的基带处理器。一些类型的接收机需要 FFT 来获得信号, 然后匹配滤波器一次获得信号, 这两个模块可以很简单的用任何一种方案实

现。然而如果要求工作模式转换/信号获得和信号接收的转换；则采用 DSP 方案更适合。因为 FPGA 方案需要同时完成两个模块。

这里要注意，射频用 FPGA 实现更好，因为这是一个混合、多任务的系统。如果应用更大的 FPGA, 这样两个模块可以同时用一个 FPGA 来实现。

(4) 图象处理器。对于图象的处理过程多是简单的和重复的，这样很适合用 FPGA 实现。然而，一个成像处理流程往往用于在所观测的目标识别“斑点”或“感兴趣的区域”。这些“斑点”可能大小不一样，造成后端的判断及处理过程趋于复杂。同时，所用的算法往往是自适应的，取决于斑点是什么样的。所以用 DSP 构成图象处理管道的后端处理部分是合适的。

总之，DSP 和 FPGA 代表着两种数字系统的信号处理的过程，各有所长和不足之处。对于许多高速采样频率的应用，特别是任务比较固定或重复的情况下，适合采用 FPGA 方案；同样，对于较低的取样速率和有很高复杂度的软件问题的情况适合采用 DSP 方案。

## 4 新的设计思想

### 4.1 DSP+FPGA 结构

DSP+FPGA 结构最大的特点是结构灵活，有较强的通用性，适于模块化设计，从而能够提高算法效率；同时其开发周期较短，系统易于维护和扩展。

例如，一个由 DSP+FPGA 结构实现的实时信号处理系统中，低层的信号预处理算法处理的数据量大，对处理速度的要求高，但运算结构相对比较简单，适于用 FPGA 进行硬件实现，这样能同时兼顾速度及灵活性。高层处理算法的特点是所处理的数据量较低层算法少，但算法的控制结构复杂，适于用运算速度快、寻址方式灵活、通信机制强大的 DSP 芯片来实现。

FPGA 可以完成模块级的任务，起到 DSP 的协处理器的作用。它的可编程性使它既具有专用集成电路的速度，又具有很高的灵活性。

DSP 具有软件的灵活性；而 FPGA 具有硬件的高速性，从器件上考察，能够满足处理复杂算法的要求。这样 DSP+FPGA 的结构为设计中如何处理软硬件的关系提供了一个较好的解决方案。同时，该系统具有灵活的处理结构，对不同结构的算法都有较强的适应能力，尤其适合实时信号处理任务。

### 4.2 嵌入 DSP 模块的 FPGA

应用将一些能实现基本数字信号处理功能的 DSP 模块嵌入的 FPGA 芯片是数字电路设计的另一个大趋势。

有些公司已经或计划把基于 ASIC 的微处理器或 DSP 芯核与可编程逻辑阵列集成组合在一块芯片上。FPGA 提供的 DSP 性能已超过 1280 亿 MAC 每秒，大大高于目前主流供应商所能提供的传统 DSP 的性能。

其中，Xilinx 作为世界可编程逻辑器件的领导厂商，拥有先进的 FPGA 技术以及先进的开发工具。2000 年 11 月，推出 Xilinx XtremeDSP 行动，试图进入这一市场。Virtex-II 可以提供 6 千亿 MAC（乘法累加运算）每秒的性能。采用这种并行结构，256 阶 FIR 滤波器中的每个样本可以在一个时钟周期内处理完，因此极大地改善了 DSP 的性能和效率。

Xilinx XtremeDSP 行动的目标是希望满足宽带革命的高性能挑战。其它特性还包括根据如芯片面积（相应于使用的资源）和系统频率来优化 DSP 设计。XtremeDSP 行动还推出了一些开发工具以弥补传统上在 DSP 和 FPGA 设计方法间存在的差距。

新的 Virtex-II 系列的增强结构使其在实现需要计算的算法时具有独特的优势。Xilinx 提供的测试数据表明，Xilinx FPGA 比业界最快的 DSP 运行要快 100 倍。因此，单个 FPGA 即可代替传统上所谓的 DSP 处理器阵列。

目前世界上的许多手机基站产品采用了 Xilinx 公司 Virtex-E FPGA。为了建立大量的连接，手机基站需要处理大量的数据，其中大部分是采用某种 DSP 实现的。

性能比较突出的还有 QuickLogic 公司推出的 QuickDSP 系列，它提供了嵌入式的 DSP 构件块和可编程的逻辑灵活性。这个新的系列除了提供以前的可编程的逻辑和存储模块外，还包括专用的乘加模块。这些合成的模块可以实现 DSP 功能。支持 DSP 功能的软件可以由公司获得，除了 QuickWorks 开发软件外，DSP 向导包让使用者产生优化的功能，如定点或浮点算术逻辑，FIR 和 IIR（Infinite Impulse Response 无限冲激响应）滤波器等，只要鼠标点击几下即可。

可以预测，在不久的将来，单一的 DSP 或 FPGA 实现的数字系统会被 DSP+FPGA 的结构或嵌入 DSP 模块的 FPGA 设计结构所取代。