

优化 EEG 放大器设计的性能并降低功耗

ADI 公司运算放大器应用工程师 Harry Holt

ADI 公司仪表放大器应用工程师 Matt Duff

CareFusion 首席电气工程师 Bill Kolasa

摘要：随着脑部研究和 EEG 诊断的持续突破，人们期望 EEG 监测装置也能够在传统临床环境以外的新环境中运作，而这些新的环境同时也引发新的设计挑战。来自 ADI 公司的应用工程师 Harry Holt、Matt Duff 与来自 CareFusion 的首席电气工程师 Bill Kolasa 就 EEG 前端设计的第一级——仪表放大器的各种利害权衡进行了深入讨论，给出了最优化的设计思路。

关键词：CareFusion；EEG；仪表放大器

在过去的 20 年间，CareFusion Nicolet 在 EEG 诊断系统的开发领域中一直扮演着先驱者的角色。脑电图 (EEG) 监测可用于神经系统分析，以进行睡眠研究、脑功能区定位 (Brain Mapping) 和 ICU 病患大脑活动的监测等。随着脑部研究和 EEG 诊断的持续突破，人们期望 EEG 监测装置也能够在传统临床环境以外的新环境中运作，而这些新的环境同时也引发需要应对的新设计挑战。

Harry：最近，Bill、Matt 和我就 EEG 前端设计的第一级——仪表放大器的各种利害权衡进行了一些讨论。我们觉得将讨论内容与其他设计工程师分享可能会有益的。

Matt：对，Bill 查看了我们的许多仪表放大器，但最终选择自行搭建仪表放大器。这在注重性能的应用中是很少见的，因此，我们想阐明这一考虑过程。Bill，你能大致说明一下你的设计目标吗？

Bill：我们目前有一款基于仪表放大器的设计，它表现出色，但我们希望优化某些性能特征，同时降低其功耗。

如同许多 EEG 和 ECG 设备设计者所知，电极中的半电池电位差异可能会引起较大的直流失调，测量系统必须能够容忍此失调。我们的现有系统在设计上可以处

理高达 ± 900 mV 的失调。为了应付现场的不同电极类型以及环境条件，我们希望将容差提高到 ± 1300 mV。

与此同时，我们正在考虑电池供电设计的可能性，因此需要大幅降低所有器件的功耗，其中也包括仪表放大器 (如图 1 所示)。目前的功耗是每通道 28 mW，我们希望设法将其降低到 10 mW 或更低。为此，允许适当提高噪声。

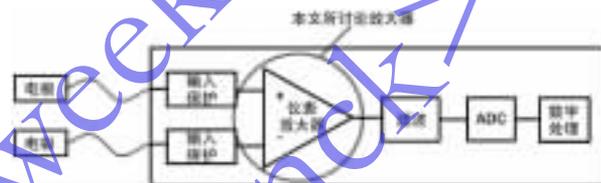


图 1 EEG 信号链

Matt：在我们的 EEG 和 ECG 客户中，这种权衡取舍非常常见。对于 ECG 和 EEG 前端设计，噪声、失调处理能力与功耗之间存在固有的取舍关系。

大部分的仪表放大器具有因为减法器级的噪声而导致的大量噪声成分。在高增益应用中，其影响不大，因此此噪声会在输出端保持恒定，而与增益无关。因此，当折合到输入端时，噪声相当小。

不幸的是，在 EEG 和 ECG 应用中，增益会被来自于电极的较大失调所限制。如果你希望使用大增益以获得良好的噪声性能，则必须采用大电源才能处理较大的失调。

Bill：这就是我们在采用 AD8221 仪表放大器之前的设计中所采取的措施。输出噪声为 75 nV/ $\sqrt{\text{Hz}}$ ，输入噪声为 8 nV/ $\sqrt{\text{Hz}}$ 。为了降低大量输出噪声折合到输入端时所造成的影响，我们将 AD8221 设定至 14.8 的增益。该增益也会将共模抑制提高 23 dB，因为共模增益为 1。但是，为了以此增益来处理 900 mV 电极失调，我们必须使用 ± 15.5 V 直流电源。我们的 EEG 放大器由 64 个这种通道组成，对于电池供电应用来说，功耗太大。

我一直在等待 ADI 公司推出低输出噪声的仪表放大器。什么时候能实现呢？

Matt：仪表放大器的输出噪声主要由 6 个电阻决定

(图 2 中的 $R1\sim R6$)，我们可以降低这些电阻的值，但这样会有几个缺点。其中一个缺点是：仪表放大器现在必须使用更多电流驱动这些电阻。为了在这种较高驱动条件下保持良好的线性度，我们必须构建更强的放大器，它会消耗更多电流。这样您将面临双重不利的处境：一方面必须提供额外的电流流经这些小值电阻；另一方面必须提供更多电流以实现更强的放大器。

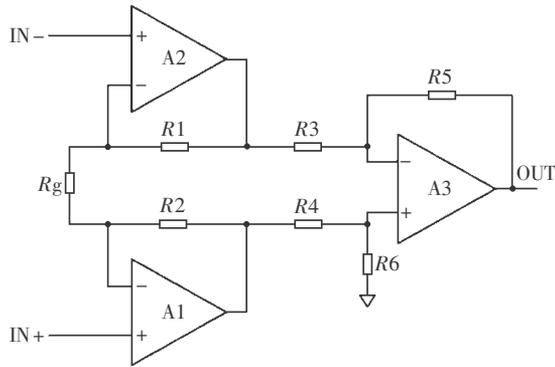


图 2 标准仪表放大器配置

Bill: 对于我的功耗问题，这似乎不是好消息。

Matt: 另一个缺点是 R_g 增益设置电阻会变得更小，这在噪声方面是件好事，但在较大差分过压条件下，这还不够好。它会使放大器输入端处理高增益下的大差分电压的性能变差。可以通过增加电路来应对，但这种电路会增加输入噪声。

Bill: 这对我们可能不是一个问题，因为电极输入上已经存在保护电路。

Matt: 缺点三是，随着减法器电路中的电阻变小，基准电压引脚的输入阻抗也会变小。这意味着，如果你希望用一个缓冲器驱动此引脚(这是此类应用中十分常见的情况)，那么在目标频率范围内，驱动放大器必须具有非常低的输出阻抗；否则，系统的 CMRR 相对于频率的性能会下降。相对于频率的较低输出阻抗需要较高功率的驱动放大器。

Bill: 是的，在我们的新设计中，要驱动那个引脚，因此这会是一个问题。我们花了些时间寻找缓冲器，它能提供与该引脚仅仅接地时相似的 CMRR 性能。

Bill: 回到最初的问题。我们使用 AD8221，采用 $\pm 15.5\text{ V}$ 电源供电，电源电流为 0.9 mA ，希望通过降低仪表放大器耗用的电流和电源轨来降低功耗。于是，我们开始寻找功耗更低但仍然能满足其他性能要求的器件。

我们查看的一款仪表放大器是 AD8235/AD8236，它的功耗非常低，尺寸很小，但噪声太高，最大供电轨为 5 V ，无法满足我们的直流失调要求。

Matt: 这些是基于 CMOS 的仪表放大器，功耗 $40\text{ }\mu\text{A}$ ，非常受功耗重于性能的 ECG 监控应用的欢迎，但不太适合 CareFusion 开发的诊断级 EEG。

Bill: 我们考虑的另一款器件是 AD627，它的功耗也

非常小，并且支持宽电源轨。过去曾测试过它的噪声，知道相对于功耗而言，它具有良好的性能。然而，它采用的是 SOIC 封装，尺寸较大，不利于缩小电路板的尺寸。

Matt: 是的，也许我们得做些什么……

Bill: 你们还有许多 $300\text{ }\mu\text{A}\sim 500\text{ }\mu\text{A}$ 电源电流及宽电源范围的器件，例如 AD8226 和 AD8227。但是，所有这些器件都具有至少 20 nA 的输入偏置电流，超过了本设计的低于 5 nA 的额定要求。

Matt: 对于 AD8226 和 AD8227 等器件，我们希望能够测量低至负电源轨的电压。可使用一个较为简单的输入级来执行测量，不得不牺牲一些输入偏置电流来达到目标。对于 AD8221，我们同时利用输入偏置电流补偿和 Superbeta 晶体管来将偏置电流降至数百 pA 典型值，这让我们的许多客户感到满意，但不利的一面是，我们放弃了输入端的一些裕量。

Bill: 决定你的偏置电流要求的因素是什么？EEG 电极的源阻抗是不是 $10\text{ k}\Omega$ 左右？对于 AD8226，最大输入偏置电流为 27 nA ，因此电压为 $270\text{ }\mu\text{A}$ ，与来自电极的大失调相比，这简直微不足道。你能告诉我们决定偏置电流要求的因素是什么吗？

Bill: 5 nA 的要求来自于我们的一些放大器，这些放大器必须应付高得多的电极阻抗。然而，该放大器具有低至 DC 的 EEG 显示带宽要求。我们关心的是如何将电极阻抗变化引起的基线漂移效应降至最低。

发现 ADI 公司以及其他厂商没有任何一款仪表放大器满足我们的要求之后，我们决定自行构建。我们知道，为了获得 100 dB 以上的 CMRR，减法器级中的电阻必须匹配。过去我们试验过匹配电阻网络，但发现这种网络非常昂贵。同时，我们似乎从来没有获得期望的 CMRR 性能，可能是因为电路板的寄生电容影响。我们发现差动放大器 AD8278 具有我们需要的性能和功耗。

Harry: 四电阻差动放大器比乍看起来更复杂。对于理想的运算放大器，CMRR 受电阻匹配度限制(图 2 中的 $R3\sim R6$)。差动放大器的近似计算公式^[1]为： $\text{CMRR}=(A_d+1)/4\times t$ ，其中 A_d 为差动放大器的增益， t 为电阻的容差。因此，对于 1 倍增益和 1% 电阻， $\text{CMRR}=50\text{ V/V}$ 或大约 34 dB ；对于 0.1% 电阻， $\text{CMRR}=500\text{ V/V}$ 或大约 54 dB 。

Bill: 我在你们的设计手册^[2]中看到过类似的阐述。

Harry: 上述公式适用于低频情况。当频率较高时，CMRR 可能会进一步下降。例如，如果因为 PCB 布局或内部芯片布局的影响，两个运算放大器输入的输入电容差为 $400\text{ fF}\sim 500\text{ fF}$ ，电阻为 $10\text{ k}\Omega$ ，那么 10 kHz 时的交流 CMRR 会下降 $6\sim 7\text{ dB}$ 。当系统中有一个 20 kHz (或更高)开关调节器时，这可能很重要。

即使具有理想的电阻和平衡电容，CMRR 最终也会受运算放大器的限制。

差动放大器的性能主要分为两类。第一，典型的高

端电流检测应用需要在电流范围的高端具有 3~5% 的精度。一个具有合理失调和 1% 电阻的低成本运算放大器可以达成此需求。请记住,有一些低成本运算放大器可能具有低于 50 dB 的 CMRR,这一点常常被忽略掉。第二,更精密的应用,通常作为分立仪表放大器的第二级,处于 0.1%~1% 范围,具有超过 70~80 dB 的 CMRR。这可以利用一个良好的运算放大器、4 个具有低温度系数 (TC) 的匹配电阻(最好是比例匹配 TC),以及谨慎的 PCB 电路板布局来实现。考虑到总成本与电路板空间,单芯片差动放大器看起来极具吸引力。我能明白 Bill 为什么选择 AD8278;我们为他做了艰苦的努力。

Bill: ADI 公司提供了一系列增益为 1/2、1 或 2 的差动放大器。比较 AD8271 和 AD8278 之后,我们选择了 AD8278,因为它的功耗更低。我们将其增益配置为 1/2,这使得我们能够提高输入缓冲器的增益,降低电源轨(我们确定为 ± 7.5 V DC),并且满足噪声和直流失调容差要求。我们相信,将尽可能多的增益移动到输入缓冲器可以使噪声最低。

Matt: AD8278 的增益可以配置为 1/2 或 2。通常认为,将放大器置于最高增益级可以获得最佳的噪声性能。然而,由于 AD8278 是该设计的第二级,因此将放大器置于较低增益级实际上有助于提高设计的噪声性能。这样,Bill 就可以在第一级中应用更多增益。低噪声设计的一个重要法则则是让第一级具有尽可能多的增益,本设计当然也不例外。

将更多增益放在第一级也有助于提高仪表放大器的 CMRR 性能。我们可以根据先前关于电阻容差与 CMRR 关系的讨论进行计算,将差动放大器的增益从 1/2 变为 2 时,CMRR 将提高 6 dB,这与 AD8278 数据手册也是一致的。然而,如果相反,我们在第一级另外提供 4 倍的增益,那么差分增益将提高 4 倍,但共模增益保持不变。换言之,通过第一级放大,我们可以获得 12 dB 的额外 CMRR,而将增益应用于差动放大器时,只能获得 6 dB 的提高。注意,这一技巧仅适用于第一级中的运算放大器具有良好 CMRR 的情况,因此,使用高质量运算放大器相当重要。

相对于我们的集成仪表放大器,使用 $G=1/2$ 的差动放大器级是 Bill 优化分立设计的方法之一。通常,对于我们的集成仪表放大器,我们必须将差动放大器的增益设置为 $G=1$ 或更高,因为较低的差动放大器增益会限制仪表放大器处理宽共模电压摆幅的能力。

Bill: 经过大量搜索后,我们选择 AD8622 作为输入缓冲运算放大器。该运放具有我们需要的全部特性:小封装尺寸、低功耗、低输入偏置电流、低 0.1~10 Hz 噪声和宽电源轨。还有一个我们认为重要的特性是单位增益稳定性。虽然我们的缓冲器以 10 倍增益工作,但在仪表放大器配置中,共模信号看到的增益是 1,因此可能会引发稳定性问题^[3]。

Harry: 对于前端运算放大器,存在数十种甚至数百种选择,因此,获得确切的失调电压、偏置电流、电源电

流等有助于优化设计。当我们设计一个仪表放大器时,必须就一些因素进行大致的权衡,为了获得最后 10% 的性能,这种努力是值得的。AD8622 是我们精密放大器产品线中的新成员,提供真正出色的特性组合,包括电压噪声、低 1/f 转折频率、电源电流、增益频宽、失调电压、失调电压漂移等。利用 AD8622 设计的仪表放大器简图如图 3 所示。

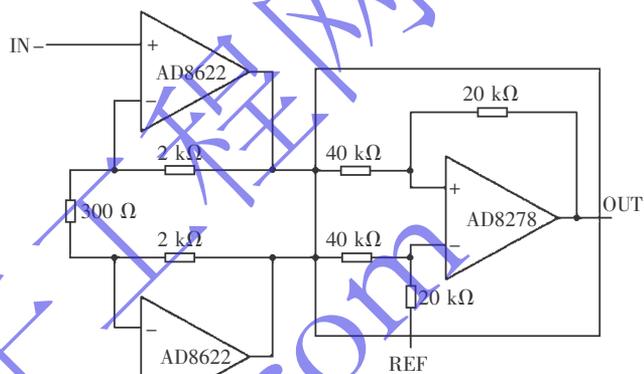


图 3 CareFusion 仪表放大器简图

我想赞扬 Bill 划分系统的方式。有时候,我们看到一个四通道放大器的三部分被用于构建仪表放大器,这是很容易掉入的陷阱。依据 V_{os} 、 TCV_{os} 、增益、带宽、CMRR 等来看,第一级的需求与差动放大器级是完全不同的。此外,为了获得最后 10% 的性能,第一级使用双通道放大器,第二级使用单通道放大器非常有意义。为了在运算放大器中获得低电压噪声,需要消耗第二级当中并不需要的大量电流。假如第二级驱动一个重负载,那么就需要比第一级运算放大器更多的驱动。四通道放大器的另一个缺点是:输出运算放大器的热量可能会反馈到第一级运算放大器。详细讨论参见参考文献[4]。

Bill: 我们的第一选择本来是使用集成仪表放大器,藉以节省电路板空间。然而,使用精密差动放大器后,确实使我们可以对仪表放大器进行微调,而不需要昂贵且占用电路板空间的电阻网络。我们得以显著降低功耗,同时仍然保持重要的性能特性,像噪声、CMRR 以及直流输入容差等。

Harry: 谢谢, Bill。Matt 和我非常高兴与您合作开发一款先进的设计。

参考文献

- [1] RAMON P A, WEBSTER J G. Common mode rejection ratio in differential amplifiers[J]. IEEE Transactions On Instrumentation and Measurement, 1991, 40(4): 669-676.
- [2] Analog Devices. Linear circuit design handbook[A]. 2008.
- [3] WHITE D R. Phase compensation of the three op amp instrumentation amplifier[J]. IEE Transactions on Instrumentation and Measurement, 1987, IM36(3): 842-844.
- [4] HARRY H. To dual or not to dual and Op amps to dual or not to dual. (收稿日期: 2012-09-10)