

CCD 信号处理电路偏置漂移校正

殷亚男^{1,2}, 王晓东¹, 李丙玉¹, 李哲¹

(1.中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033;

2.中国科学院研究生院, 北京 100049)

摘要: 为抑制 CCD 相机信号处理电路中由温度等原因引起的偏置漂移对图像质量造成的影响, 提出了一种基于反馈的近实时偏置漂移校正方法。为了获得偏置在整个链路中的变化情况, 对整个信号处理链路进行了分析; 设计了两种数字低通滤波器, 分别对获得的暗像元数据进行滤波; 根据工程经验并辅以计算给出校正算法的有关参数; 校正图像偏置漂移并对输出的图像进行比较分析。实验结果表明, 在可变增益放大器增益为 1.8 的条件下, 使用 12 bit 精度的模/数转换器时偏置稳定在 10 个码值以下, 基本满足精度高、稳定性好及抗干扰的要求。

关键词: 偏置漂移校正; CCD 相机; 图像处理; 低通滤波

中图分类号: TN386.5

文献标识码: A

文章编号: 0258-7998(2012)11-0051-04

Correcting bias drift of CCD signal processing circuit

Yin Ya'nan^{1,2}, Wang Xiaodong¹, Li Bingyu¹, Li Zhe¹

(1.Changchun Institute of Optical, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China;

2. Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to restrain the impact on the image from the variation of bias drift caused by temperature and other reasons in signal processing circuit of CCD camera, the bias drift of the circuit is corrected by a near real-time method based on feedback. Firstly, the entire signal processing chain is analyzed to obtain the bias variation of every line image in the circuit. Then the corrected bias drift is calculated by filtering the data of dark pixel acquired in the image processing module. Finally, the image bias drift is corrected and the corrected image is output. The experimental results indicate that the bias of each line image is basically able to maintain the same level after correcting.

Key words: bias drift correcting; CCD camera; image processing; low-pass filters

电荷耦合器件 CCD(Charge Coupled Device)是 20 世纪 70 年代发展起来的一种半导体集成光电器件。与其他半导体光电器件相比, CCD 具有噪声低、灵敏度高、分辨率高等优点, 目前被广泛应用于天文观测、航天遥感遥测和工业控制等领域^[1]。然而, 作为一种图像传感器, CCD 的输出信号为模拟信号, 其中总是会混杂各种噪声。为提高图像质量, 需要对各种噪声源及其抑制方法进行研究^[2-3], 本文主要对经由信号处理电路的偏置漂移进行研究并提出校正方法。

1 偏置漂移的产生

1.1 信号处理电路

CCD 信号处理电路如图 1 所示, CCD 输出信号经过前置放大、相关双采样、减法电路、可变增益放大和模数

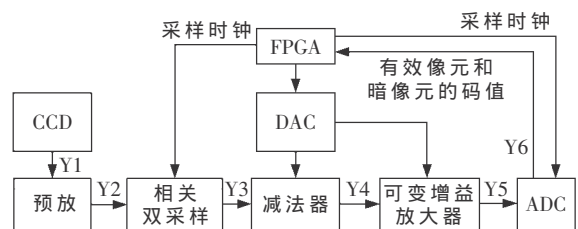


图 1 CCD 输出信号处理电路框图

转换后输出数字图像。FPGA 从模/数转换器 ADC 接收有效像元和暗像元的量化值, 并对暗像元的值进行滤波等处理后更新数/模转换器 DAC 的值。

相关双采样电路采用 Analog Devices 公司的 AD9823 芯片, 其基于反馈的箝位电路可以将信号中的残留偏压消除掉, 输出“伪差分”信号(OUTPUT、REFOUT)。

1.2 减法电路

为了增加信号动态范围，需要把参考输出 (REFOUT) 从芯片输出 (OUTPUT) 中减去。减法电路中用到的运算放大器存在温度漂移及失调电压，这在输出图像上表现为偏置随时间漂移，如图 2 所示。

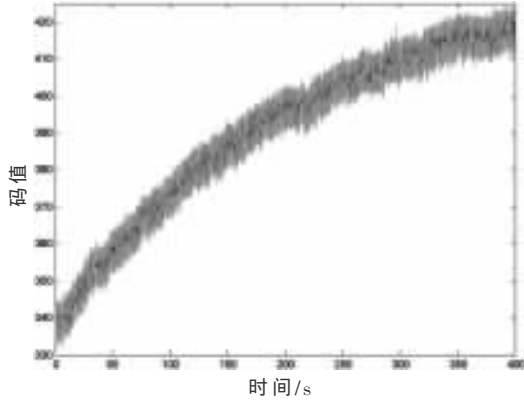


图 2 偏置随时间的漂移

从图 2 可以看出，随着时间的增加，图像的偏置漂移可达到 100 个码值以上 (量化 AD 分辨率为 12 bit)。一般采用两种方法来减小这种影响：(1) 选用低温漂、低失调电压的运算放大器，并选用低温漂的电阻，但这样不仅会大大增加电路的成本，而且也不能从根本上解决问题。(2) 加补偿电路，但会增加调试的难度并需要经常校准。为克服以上缺点，采用如图 1 所示结构的偏置漂移校正电路。其中 FPGA 完成暗像元量化值的处理工作，并根据校正算法给出数/模转换器的配置值。

因为相关双采样芯片将信号零电平箝位至暗像元电平，所以对暗像元来讲，相关双采样芯片的输出 OUTPUT 与 REFOUT 相等，设其值均为 V_{BIAS} 。数/模转换器的输出为 V_{IN-} ，运放的失调电压为 V_{ID} ，运放的温漂电压为 $V_T(t)$ ，信号处理链路中引入的噪声为 V_{noise} ，可变增益放大器的增益为 A_V 。由于采用了 12 bit 的 ADC，其量化噪声^[4]可以忽略。在偏置没有漂移的情况下，暗像元的量化值 V_{FLXD} 应满足：

$$V_{FLXD} = 0 \quad (1)$$

由图 1 可得：

$$V_{FLXD} = A_V (V_{BIAS} - V_{IN-} + V_{ID} + V_T(t) + V_{noise}) \quad (2)$$

将式(1)代入式(2)有：

$$V_{IN-} = V_{BIAS} + V_{ID} + V_T(t) + V_{noise} \quad (3)$$

其中， $V_{BIAS} + V_{ID}$ 是恒定值； $V_T(t)$ 变化得非常慢； V_{noise} 属高频噪声，其频率在数十赫兹以上。

由式(3)可知，如果 FPGA 直接将 V_{IN-} 的值实时配置给数/模转换器，则由于 V_{noise} 的存在，会使得图像的邻近行偏置不一样。为了让图像有较好的稳定性 (即在正常显示图像时)，不会看到图像各行出现因频繁的偏置漂移校正引起 (如图 3 所示) 的条纹状现象，需要对暗像元的量化值 V_{FLXD} 进行低通滤波。

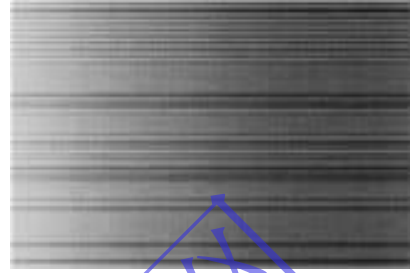


图 3 频繁的偏置漂移校正引起的条纹状现象

2 滤波器设计

有限冲击响应 FIR (Finite Impulse Response) 数字滤波器因具有精度高、有严格的线性相位等优点被广泛应用^[5]。与通用 DSP 相比，FPGA 器件应用于数字信号处理时速度更高、成本更低、更加灵活。使用 Matlab 和 Xilinx 公司的开发套件 ISE 可以快速高效地设计两种低通滤波器。

N 阶 FIR 数字滤波器可以用差分方程来描述，即：

$$y(n) = \sum_{i=0}^{N-1} h(i)x(n-i) \quad (4)$$

其中， $y(n)$ 是滤波器输出信号， $h(i)$ 是滤波器的系数， $x(n)$ 是滤波器输入信号。

2.1 窗函数法设计 FIR 低通滤波器

低通滤波器设计指标的选取：当滤波器阶数过高 (大于 40 阶) 时，会消耗大量的 FPGA 资源，而滤波器阶数过低时又不能达到预期的滤波效果。综合考虑，取滤波器阶数为 30 阶，采样频率为 1 kHz。因为温度变化造成影响的周期在数秒的量级，故取截止频率为 0.1 Hz。选择主瓣和旁瓣比例可调的 Kaiser 窗，取 Beta 值 = 0.2。

使用 Matlab 2010a 的 FDATool (Filter Design & Analysis Tool) 工具和 ISE 10.1 的 AccelDSP 数字信号处理软件联合设计滤波器，使得设计更加简洁、精确、可靠^[6]。

使用 Matlab 软件计算低通滤波器的系数 $h(i)$ ，得到滤波器的输入、输出功率谱密度 PSD (Power Spectral Density) 如图 4 所示。从图中可以看出，输入信号中在 25 Hz 以上的频率成分的能量值衰减超过一半。

将浮点 $h(n)$ 转化为 FPGA 可以处理的定点数，对得

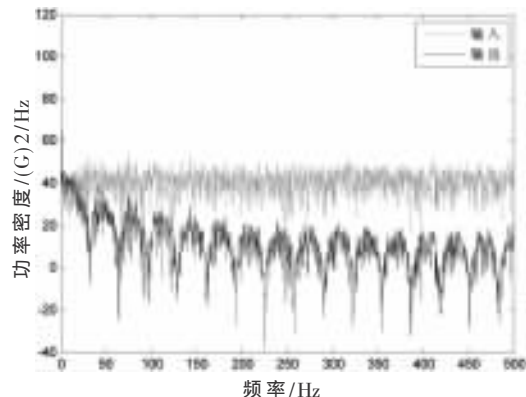


图 4 浮点系数 FIR 滤波器输入、输出功率谱密度

到的定点低通滤波器进行仿真,得到其输入、输出功率谱密度如图 5 所示。从图中可以看出,输入信号中在 25 Hz 以上的频率成分的能量值衰减超过一半。

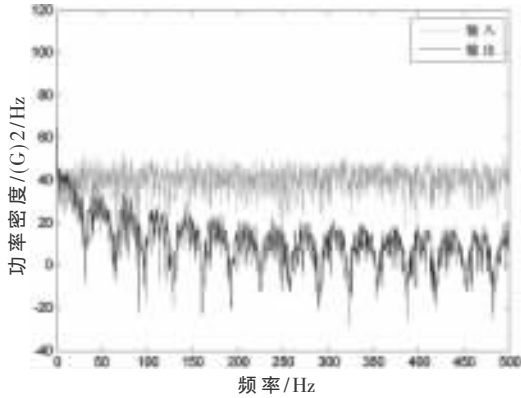


图 5 定点系数 FIR 滤波器输入、输出功率谱密度

对比图 4 和图 5 可以发现,浮点到定点的转换对滤波器性能影响不大,且设计的滤波器对 25 Hz 以上的噪声可以有效地抑制。最后可以利用 AccelDSP 生成低通滤波器的寄存器传输级代码。

2.2 均值滤波器

在式(4)中,令 $h(n)=1/N$ 得到均值滤波器的差分方程:

$$y(n) = \frac{1}{N} \sum_{i=0}^{N-1} x(n-i) \quad (5)$$

因为 FPGA 进行移位操作非常方便,所以当 N 取 2 的整数次幂时,滤波器实现更简单,性能更好。兼顾延迟与去噪能力,选取 $N=64$ 。对设计的均值滤波器进行仿真,其输入、输出功率谱密度如图 6 所示。从图中可以看出,输入信号中在 10 Hz 以上的频率成分的能量值衰减超过一半,即频率在 10 Hz 以上的噪声均能得到有效的抑制。

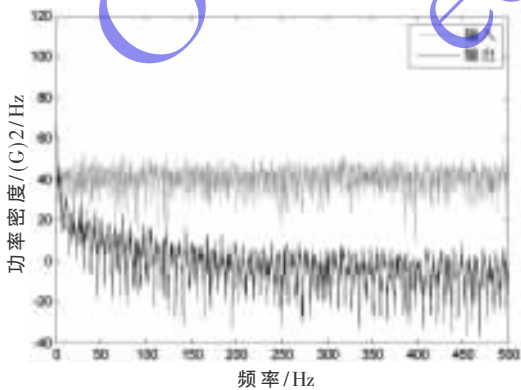


图 6 均值滤波的输入、输出功率谱密度

3 校正方案及实验结果分析

3.1 阈值 M 的选取

一旦暗像元的处理值大于或等于阈值 M 时, FPGA 就会重新配置 DAC。

设 DAC 分辨率为 ΔV_{DA} 、ADC 的分辨率为 ΔV_{AD} 、可变增益放大器 VGA (Variable Gain Amplifier) 的增益为 A_V , 取阈值:

$$M = A_V \frac{\Delta V_{DA}}{\Delta V_{AD}} \quad (6)$$

则可得一旦暗像元的量化值超过阈值 M , DA 的一次校正就可以将其校正至 0 电平。

这样暗像元的电平平均值 M_{IS} 满足:

$$0 \leq M_{IS} < M \quad (7)$$

在此次实验系统中,使用的是 10 bit 的 DA, $\Delta V_{DA} = 3.3 \text{ V}/1024$; AD 为 12 bit, $\Delta V_{AD} = 2 \text{ V}/4096$; 可变增益放大器增益 A_V 满足 $1 \leq A_V \leq 16$ 。由式(6)可知:

$$111(\text{B}) < M < 1101010(\text{B}) \quad (8)$$

对 8 位图像,由以上分析可知,当 VGA 的增益较小时(小于 4),通过控制 DA 完全可以将 M_{IS} 控制在对图像无任何影响的范围内;当 VGA 的增益较大时,对 M_{IS} 的控制能力稍弱,此时可以通过增加 DAC 的精度(换成 12 bit 的 DAC)或者减小 DAC 的参考电压来提高性能。

3.2 DAC 调整周期的选取

因为 FIR 滤波器存在延时,本设计的滤波器延时为 32 个采样时钟周期(即 32 ms),所以不能对偏置漂移进行实时校正,否则在达到阈值时图像灰度值会出现剧烈的变化。故校正周期 $T_r > 32 \text{ ms}$ 。

温度等外界环境一般不会剧烈变动,所以 T_r 的值可以取得稍大以减小随机噪声的影响。但 T_r 越大对温漂等的抑制能力就越弱,所以 T_r 不能太大。综上取 $T_r = 100 \text{ ms}$ 。

3.3 实验结果分析

本实验使用 dalsa 公司的高速线阵 CCD IL-P3-B,信号处理电路如图 1 所示。实验条件为:行频 1 kHz,截取系统上电 1 分钟~2 分 40 秒之内的数据,外界环境为室温(25 °C),VGA 增益约为 1.8 倍。

分别在以下三种条件下获取暗像元的量化值和 DAC 的配置值:(1)不加滤波对偏置漂移校正(如图 7);(2)加入 FIR 低通滤波对偏置漂移进行校正(如图 8);(3)加入均值滤波对偏置漂移进行校正(如图 9)。

图 7、图 8 和图 9 中,上方的浅色曲线是暗像元的值(即 V_{FLND}),深色曲线是对 V_{FLND} 进行相应滤波处理后的值。可以看到,对图像偏置漂移进行校正后,偏置被很好地控制在 10 个码值以下。

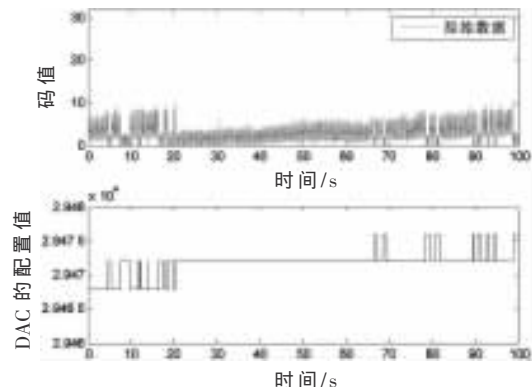


图 7 不加滤波对偏置漂移校正

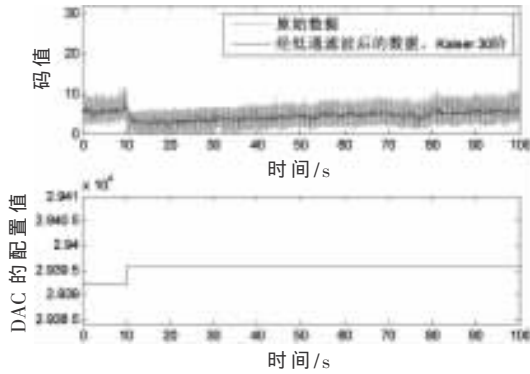


图 8 加入 Kaiser 滤波时的偏置漂移校正

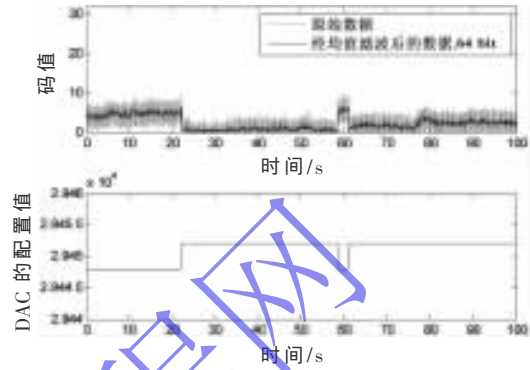


图 9 加入均值滤波时的偏置漂移校正

图 7、图 8 和图 9 中下方的曲线是 FPGA 给 DAC 的配置值(即 V_{IN-})。可以看到,在同一时间内,不加滤波对偏置漂移进行校正时,校正的次数为 16 次,远远多于 FIR 低通滤波的 1 次和均值滤波的 2 次。而短时间内过多的配置会使得图像出现如图 3 所示的条纹状现象。

总之,本设计的 FIR 低通滤波和均值滤波都可以达到预期要求。其中 FIR 低通滤波器能更好地滤除噪声,使偏置漂移校正更准确;而均值滤波器消耗的 FPGA 资源更少,也更容易实现。

针对传统 CCD 相机偏置漂移校正方法的不足,本文提出了一种基于反馈的近实时偏置校正方法,并对此方法进行了实验验证。该方法能够及时对偏置漂移进行校正,保证图像不会出现由漂移产生的条纹状现象。由于引入模块化的设计方案,后期可以通过更换性能更好的器件或者最佳的滤波算法获得更好、更迅速的偏置漂移校正效果。

参考文献

[1] 牟研娜,王鹏,尹娜.CCD 信号采样位置选取方法的研究[J].航天返回与遥感,2011,32(1):45-50.

[2] 佟首峰,阮锦,郝志航.CCD 图像传感器降噪技术的研究[J].光学精密工程,2000,8(2):140-145.
 [3] 李云飞,司国良,郭永飞.科学级 CCD 相机的噪声分析及处理技术[J].光学精密工程,2005,13(增刊):158-163.
 [4] 徐桂芝,张慧芬,桑在中.超高速模数转换器 AD9224 及其应用[J].2002(4):48-50.
 [5] 饶知.基于 FPGA 的高效 FIR 滤波器设计与实现.电子元件应用[J].2011,13(1):6-9.
 [6] 田耕,胡彬.FPGA 开发指南:逻辑设计篇[M].北京:人民邮电出版社,2008:302-309.

(收稿日期:2012-05-16)

作者简介:

殷亚男,男,1987 年生,硕士研究生,主要研究方向:空间光学传感器成像技术与图像处理。

王晓东,男,1970 年生,研究员,硕士生导师,主要研究方向:空间光学传感器成像技术与图像处理。

李丙玉,男,1980 年生,硕士研究生,主要研究方向:空间图像传感器成像控制与信息处理技术。