**PCB设计：谈谈电源完整性仿真的必要性**

**电源完整性的概念**

　　电源完整性（PI，Power Integrity)就是为板级系统提供一个稳定可靠的电源分配系统（PDS）。实质上是要使系统在工作时，电源、地噪声得到有效的控制，在一个很宽的频带范围内为芯片提供充足的能量，并充分抑制芯片工作时所引起的电压波动、辐射及串扰。

　　本文将主要谈谈电源完整性仿真的必要性。

　　随着超大规模[集成电路](http://ee.ofweek.com/KW-jichengdianlu.html" \o "集成电路" \t "_blank)工艺的发展，芯片工作电压越来越低，而工作速度越来越快，功耗越来越大，单板的密度也越来越高，因此对电源供应系统在整个工作频带内的稳定性提出了更高的要求。电源完整性设计的水平直接影响着系统的性能，如整机可靠性，信噪比与误码率，及[EMI](http://ee.ofweek.com/CAT-2813-EMCEMIESDDesign.html)/EMC等重要指标。板级电源通道阻抗过高和同步开关噪声SSN过大会带来严重的电源完整性问题，这些会给器件及系统工作稳定性带来致命的影响。PI设计就是通过合理的平面电容、分立电容、平面分割应用确保板级电源通道阻抗满足要求，确保板级电源质量符合器件及产品要求，确保信号质量及器件、产品稳定工作。

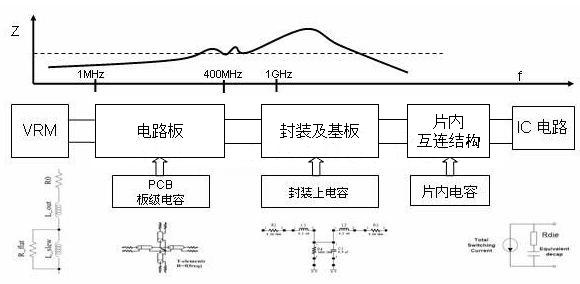
　　电源完整性PI与信号完整性SI的相互影响：从整个仿真领域来看，刚开始大家都把注意力放在信号完整性上，但是实际上电源完整性和信号完整性是相互影响相互制约的。电源、地平面在供电的同时也给信号线提供参考回路，直接决定回流路径，从而影响信号的完整性；同样信号完整性的不同处理方法也会给电源系统带来不同的冲击，进而影响电源的完整性设计。所以对电源完整性和信号的完整性地融会贯通是很有益处的。设计工程师在掌握了信号完整性设计方法之后，充实电源完整性设计知识显得很有必要。

　　电源完整性研究的内容：电源完整性仿真的内容很多，但主要的几个方面如下：

　　1：板级电源通道阻抗仿真分析，在充分利用平面电容的基础上，通过仿真分析确定旁路电容的数量、种类、位置等，以确保板级电源通道阻抗满足器件稳定工作要求。

　　2：板级直流压降仿真分析，确保板级电源通道满足器件的压降限制要求。

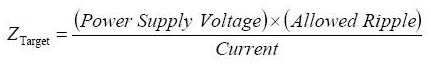
　　3：板级谐振分析，避免板级谐振对电源质量及EMI的致命影响等。



　　电源分配系统（PDS）：上图是一张经典的电源分配系统特性 图，相信大家都比较熟悉。从这个图里面，我们可以将整个电源频段分成几部分。在低频段，电源噪声主要靠电源转换芯片VRM来滤波。在几MHZ到几百MHZ的频段，电源噪声主要是由板级分立电容和PCB的电源地平面对来滤波。在高频部分，电源噪声主要是由PCB的电源地平面对和芯片内部的高频电容来滤波。我们在做仿真的时候，对低频和高频部分的仿真精度都还不准确，真正有意义的频段主要还是在几MHZ到几百MHZ这个频段。

**目标阻抗Ztarget**

　　该聊聊大家都很熟悉的目标阻抗Ztarget了。笔者认为，这个目标阻抗是电源完整性仿真里的一个有用但不精确的标准。



　　其中：Ztarget目标阻抗

　　Power Supply Voltage是工作电压

　　Allowed Ripple 是允许的工作电压纹波系数

　　Current 是工作电流，目前这个值是用最大电流的1/2来替代。

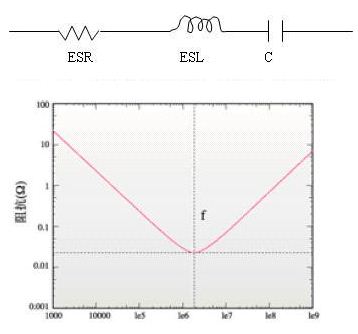
　　大家都知道，电源测试的时候，主要是测试纹波，噪声，但是业界目前还很难通过软件进行时域的纹波噪声仿真（一些大公司已经通过测试来建立芯片的噪声模型， 然后用这个模型直接仿真，得到的结果就是电源噪声，但目前还处于探索阶段，没有推广使用），而是仿真电源分配系统的电源阻抗，他们的关系可以通过V=R/I来联系。因此如果还是仿真阻抗曲线的话，测试与仿真不能形成闭环。

　　在衡量这个阻抗曲线是否能满足要求的时候，使用了这个目标阻抗的标准，但是仔细想想，这个标准还是有很多问题的，比如：这里的电流多大合适？实际的单板功耗是一个动态功耗，是不端的变的。在单板的整个频段范围里，使用统一的目标阻抗值，肯定也是不合理的，应该是各个频段，标准不一样。

　　虽然有这些问题存在，但这个标准还是很有用的，可以通过这个标准衡量电源平面的好坏。就如目前的时序计算，大家基本上都是通过公式对时序进行计算，就是所 谓的静态时序分析。虽然这个静态时序分析对电源波动，ISI,SSN等问题考虑不周到，也就是说计算结果不准确，但用来衡量接口时序还是很有用的。因此笔 者认为，目标阻抗是一个有用而不准确的标准。

　　关于电容的资料很多，这里只做简单介绍，下次将介绍在PI仿真里面很重要的平面板电容。

　　电容不仅仅是电容：在频率很高时，电容不能再被当作一个理想的电容看，而应该充分考虑到它的寄生参数效应，通常电容的寄生参数为ESR,ESL。串联的RLC电路在f处谐振。其曲线如下图。图中f为串联谐振频率（SRF），在f之前为容性，而在f之后，则为感性，相当一个电感，所以在选择滤波电容时，必须使电容器工作在谐振频率之前。



　　在仿真的时候，由于目前VRM的模型基本上是不准确的，低频的滤波靠DC/DC电源转换芯片来完成，一般300K以下的低频阻抗曲线是不准确地。频率范围的上限一般取信号的截止频率fknee=0.35 /Trrise，其中Trise为信号上升时间。

　　但是也要明白一点，如果你只是做板级电源完整性仿真，最多考虑到1G就可以了，因为大于1G以后，要靠芯片内部的电容来滤波，在做板级仿真的时候，没有芯 片内部的模型，所以高频部分的仿真也是不准确的。当然了，如果您有芯片内部的信息，也可以用SIWAVE等软件做DIE-PACKAGE-BOARD的协 同仿真，高频部分也就准确了。

　　因此很多情况下，低频仿真不出电源负反馈、高频仿真不出芯片内电容, 我们不要把仿真的结果当做绝对值，可以把它当作是相对值，通过去耦电容的选择和放置、电源和地平面的分割等方法来优化阻抗。祝愿各位在做仿真的时候能灵活运用。