

基于 FPGA 技术的 CATV 核心网络 无阻塞 ATM 交换结构

邝楚祥,徐载金

(佛山珠江传媒三水网络分公司,佛山 528000)

摘要:本文阐述了在 CATV 核心网络中用于数字视频广播(DVB)业务传输的一种新型简单的无阻塞 ATM 交换技术结构的主要特点,对系统性能进行了简单的评估,并对系统采用 FPGA 技术交换带来的特点、相关的 FPGA 设计和其它的相关问题加以探讨。

关键词:FPGA 技术;ATM 交换技术;CATV 核心网络

中图分类号:TN011 **文献标识码:**A **文章编号:**1673-4793(2007)02-0071-06

Non-blocking ATM Switching Structure Based on FPGA in CATV Core Network

KUANG Chu-xiang, XU Zai-jin

(San Shui Branch Office, Zhujiang Communication Company, FoShan 52800, China)

Abstract: This paper elaborated the main characteristics of a new and simple kind of non-blocking ATM switching technology which is used in the service transmission of the DVB in the CATV core network. It has carried on the simple appraisal to the system performance and discussed the characteristics brought by using the FPGA technical exchange, the related questions about the FPGA design and others.

Key words: FPGA; ATM switching; CATV core network

1 引言

ATM 网络最初的设计是用于语音、视频和数据的快速分组交换技术。由于 ATM 采用固定长度的分组,这种方式对分组包的处理相对简单,在各个 ATM 网络节点的缓冲容量也要求比较少。因此,大大减少了由于缓冲所带来的延时,从而获得了更好的吞吐量。同时,在网络节点选路误码率低和流量控制方面的特点,提高了系统的效率,并且由于采用光纤链路减少了传输误码率,使得千兆速率传输成为可能。基于上述原因,ATM 网络同样适用于在有

线电视网络中传输数字视频广播业务。

本文介绍的 CATV 核心网络中的无阻塞 ATM 交换技术,其出发点是每个模块单元相对小巧,交换基于 FPGA 技术。FPGA 电路具有内置嵌入式内存来进行缓存和其它存储功能。尽管这种嵌入式内存并不能完全满足各种交换所需的储存要求,但是这种嵌入式内存却使得系统设计更加简单。

2 交换环境

该系统主要被设计用于有线电视骨干网络中前端与前端之间的互连。图 1 所示为系统的交换环境。

收稿日期:2006-12-07

作者简介:邝楚祥(1973-),男(汉族),广东佛山人,珠江传媒网络公司三水分公司工程师. E-mail: ssgd_kuang@163.com

它基于 FPGA 电路的 ATM 交换构架,系统管理通过一个微处理器以及一些辅助的物理层传输链路接口电路配合完成。此外,系统还配置一些不同大小的内存来储存程序码、嵌入式数据库、FPGA 配置数据等。

系统的 16 个 STM-1 接口和 2 个 STM-16 接口传输链路分别对应于 155Mbps 和 2.44Gbps 的传输速率。信元在 FPGA 交换结构的电路中与外部电路传输链路之间进行交换和传输。该电路负责传输帧中信元的封装与解封装,同时也完成信元在光接口或电接口链路上的传输和控制。信元交换结构与外部电路通过 UTOPIA 层 3 接口进行通信。控制交换操作的管理系统通过微处理器中的软件来实现,

它与交换核心之间由微控制总线完成数据和指令的通信。交换核心的总线接口具有存储指令和状态寄存器,其中一个寄存器连接着两个 FIFO,另外两个 FIFO 在直接内存存取(DMA)控制器的控制下分别进行数据脉冲的发送和接收。总线接口的后端控制交换核心和总线接口的数据传输,其它内存总线周围的存储器是同步动态存储器(SDRAM)和闪存(Flash)。闪存在系统断电的情况下记忆存储系统的状态,并可以通过 RS232 接口进行升级,对交换核心进行监控和配置,也可以通过 ATM 网络对存储在闪存中的 FPGA 电路的比特流进行配置更改,在此情况下,可以满足对已有系统进行维护、操作、更改的需求。

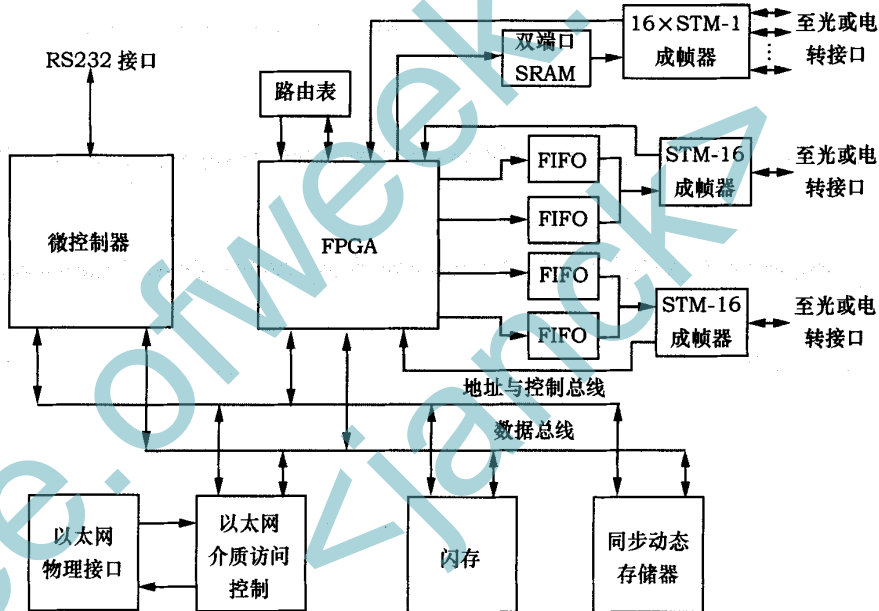


图 1 交换环境框图

3 交换核心的结构和操作

缓冲位于交叉节点的纵横交换结构是从可能的几种方式中挑选来的,与其它交换核心相比,它具有简单的结构和较高的性能,尽管它有要求大内存需求的缺陷。图 2 是其交换的实施结构,交换核心是图 2 中的虚线里面的部分。它跨过 UTOPIA Rx - (PHY/MPHYRxIf) 和 Tx - (PHY/MPHYTxIf) 与单口

和多口成帧器相连接。仲裁和路由表为 ATM 信元在通过交换核心时提供正确的选路信息,微处理总线接口(MI)实际上是一种用于配置和管理的接口,它与专用的 STM-1 列相连,对来自其它网络节点到系统管理的 ATM 信元进行选路。另外,一个专用的 MI 输入接口(MI-If)把信元从 MI 传送到交换核心,同时码流分析器可使交换性能得到提高(图中并未画出),它用来收集交换核心中码流选路的统计信息。

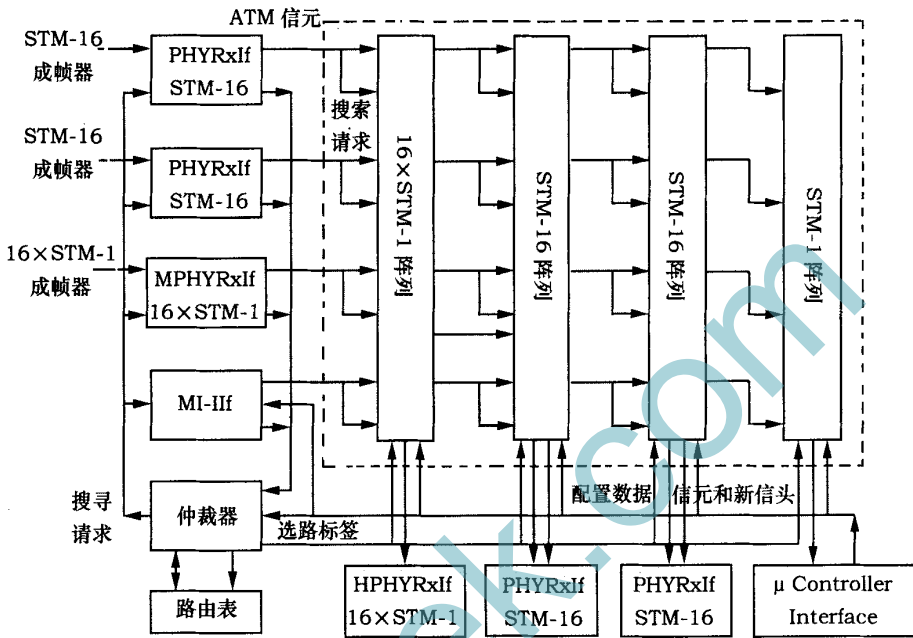


图 2 交换结构及核心框图

3.1 信元在交换过程中的选路

信元从成帧器通过 UTOPIA 接口传输到 Rx 接口的输入缓冲后, Rx 接口把选路请求发送到搜寻驱动的仲裁单元中。选路请求由搜索密钥和业务请求的标识信号组成。搜索密钥又由入口地址和 ATM 信头的虚通道、虚通路标识(VPI/VCI)组成,入口地址也储存在 Rx 接口的输入缓冲中。搜寻驱动从路由表搜索有关附加于搜索密钥的选路信息,其最终的结果是产生包含在选路标签的选路信息。图 3 是选路标签的具体内容,它由三大块组成:其一是标识信元目标端口的 B1、B2...B19,每个端口 1bit,这样共有 19bit,当然这里 MI 也算作一个端口;其二是包含标志信头是否需要翻译的旁路比特 BB;最后一块就是地址段,由输出端口数目组成的该地址指明输出信元的新信头的内存位置。假定每个输出口最大输出数量为 512,那么选路标签的总长度是 29bit。

路由搜索结束之后,仲裁单元给 Rx 接口发送一个确认信号,同时把选路标签发送到交换核心。在 Rx 接口开始发送信元到交叉点之前,选路标签使得交叉点的处于激活状态行接收 ATM 信元。根据预期的信元流量,仲裁单元给不同的 Rx 接口不同的优先等级,这样 PHYRxIfs 比 MPHYPxIf 有更高

的优先级别,而 MI - IIf 的优先权最低。



图 3 选路标签

3.2 交换阵列

交换核心有三种不同的交换阵列,在 16 x STM - 1 阵列交叉点,信元首先储存在一个 FIFO 中,选路标签储存在到另一个不同的 FIFO 中。从这些交叉点,信元和选路标签两者都传输到一个根据选路标签执行信头翻译和信元组播的功能模块中,并把新的 ATM 信元发送到 UTOPIATx 接口。新的信头从 SRAM 中的信头读出,SRAM 在芯片上是具有双端口的内存。图 4 是 16 x STM - 1, STM - 16, STM - 1 - Columes 的结构示意图,从图中我们可看出交叉点 FIFO 的大小。它们是根据简单的规则决定的,即通过 FIFO 的预期流量越高,结构越大。

当信元在 STM - 16 - Column 中进行选路时,新的信头同样从 SRAM 中的信头读出,并首先储存在交叉点缓冲器中。信元的净荷在新信头之后也储存的同一个缓冲中。这样,在信元传输到 Tx - 接口之前,信头翻译工作已经结束。源自交叉点 FIFO 的信元通过外部 FIFO 内存传输到成帧器中。STM - 16 - Column 实质上是被分为两个更小的阵列,来实

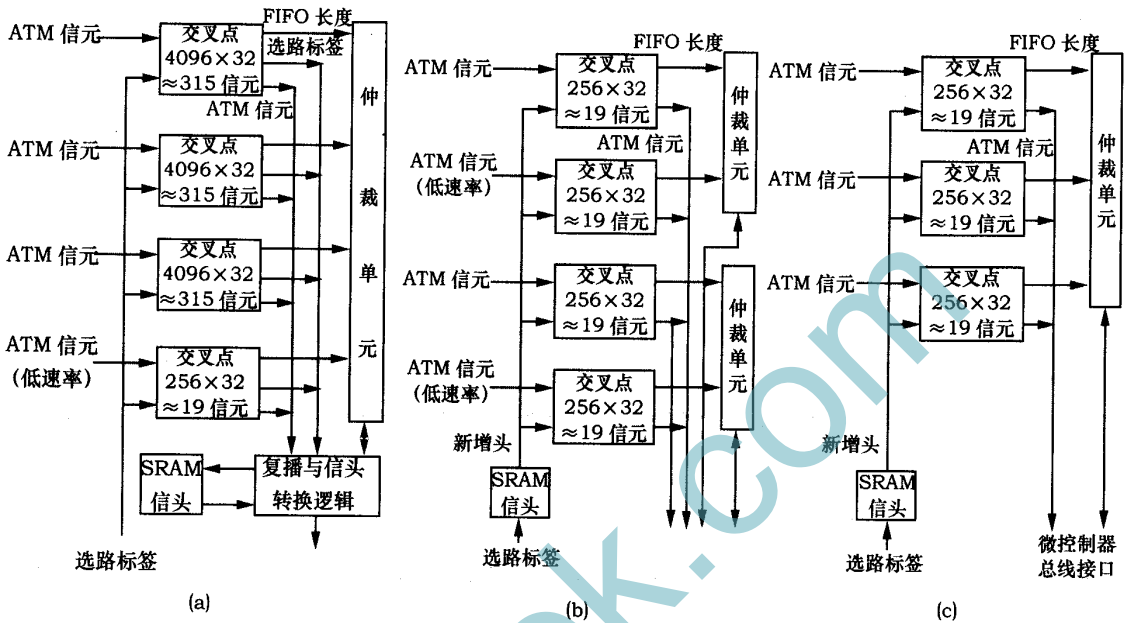


图 4 16×STM-1、STM-16 和 STM-1 阵列的结构示意图

现从阵列到两个外部 FIFO 的传输率增加一倍。基于上述原理,交叉点缓冲可以做得更小,而缓冲溢出的概率依然保持不变。

阵列仲裁单元负责清空 FIFO,在 STM-16-Column 中,仲裁单元是一个 RoundRobin(循环)和 LongestQueueFistServed(LQFS)算法的结合体。它首先按照循环方式服务在 FIFO 中的信元队列,但是当多个 FIFO 中的信元数量超过一定的门限值时,它开始为排队时间最长的 FIFO 进行服务以阻止信元的溢出。之所以选择这两种方式结合的仲裁模式,是因为 LQFS 会比 RoundRobin 产生更大的时延差,尽管在另一方面 RoundRobin 有可能导致非常少的信元丢失。这样做的目的是结合两者的算法优势。STM-16-Column 和 STM-1-Column 以同样的方式进行仲裁。

3.3 MPHY-接口的 UTOPIA 层 3

多口成帧器通过 UTOPIA 层 3Rx 和 Tx 接口与交换核心相连接,如图 5 所示,Rx 和 Tx 接口附着在 FPGA 电路上。在信元从成帧器传输到 RxIfs 的信元 FIFO 之后,它们的入口地址也已经储存到地址 FIFO,后端总线接口产生搜索键,并给搜索驱动器发送搜索请求来初始化路由。搜索驱动器从路由表搜索有关搜索键的路由信息。因为搜索驱动器的操

作是流水线式的,所以能够在每一个时钟周期后开始一个新的搜索,搜索的等待时间取决于路由表的执行。在这种设计体系中有九个时钟周期。如果还有别的搜索请求,那么等待时间将会更长。如果这个等待时间仅仅只是用于等候,则由于每个信元处理时间的增加,系统时钟速率应该更高。正是基于这种原因,在后端总线接口的输出端设置了和搜索延迟时间相同的短时延线。借助于此,在搜索驱动器处理搜索请求的同时,可以完成信元 FIFO 到交换中心的转移,也就是说搜索和传输可以同时进行。如果立即处理搜索请求,后端总线接口不必等待,它可以马上在前一信元之后传输新的信元。否则,在前一信元之后,传输必须停下来,只有当搜索准备好之后才得以继续。

MPHYTx 接口的功能仅仅是把来自 16×STM-1 阵列的信元写入外部双口内存,并把信元再从内存转移到多口成帧器中。双口内存的读、写口有着不同的时钟速率,这使得写入速率比读出速率更高。在这种模式中,交叉点 FIFO 溢出的概率大大减小,从而使得双口内存的大储存量可以得到更好地利用。组播功能的应用会引起在不同信元长度从阵列到外存储器转移过程中的中断。为了减小缓冲器溢出的可能性,所以也要求更高的写入速率。

双口内存的空间被分割为几个大小相同的段,

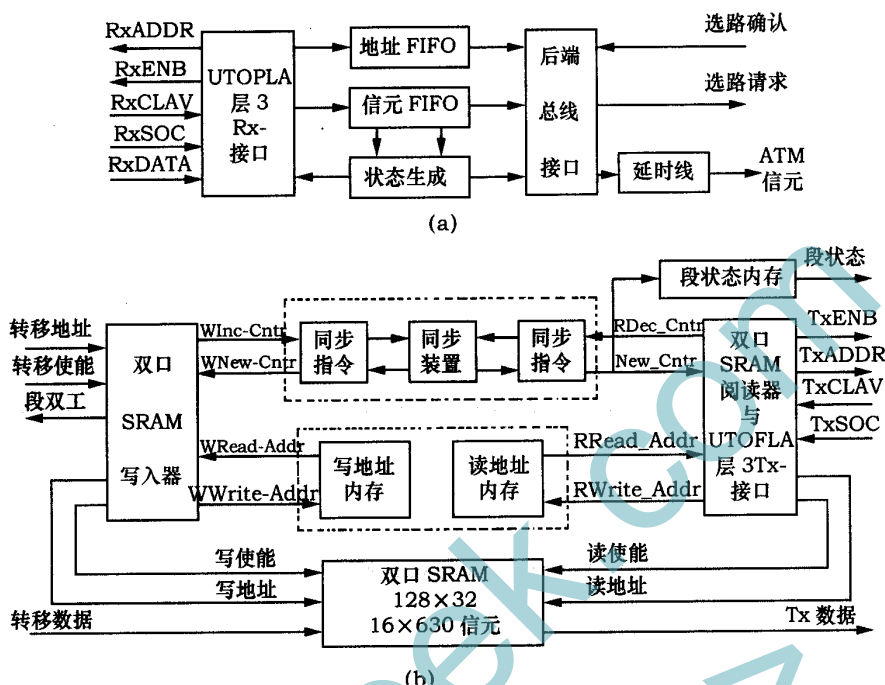


图 5 MPHYRx - andTx 接口的 UTOPIA 层 3

其中一个专用来为每个物理层接口服务的缓冲段。这些段可以使不同物理口的信元码率的差异得到平滑。写入和读出块借助通信桥 (Synch. If, Synchronizers, Synch. If) 可以改变内存段内信元数量的变化的有关消息。有一个专用的消息记录有关段数目增加 (WInc_Cntr) 和减少 (RDec_Cntr) 的操作, 一个信号指示操作已发生了变化和段内信元数量的变化。新的段的状态储存在双口计数器内存和段状态内存中。所有这些内存通过微控制总线接口被同时读写。下一个段内读地址和写操作存储在也是双口存储器的地址内存中。

4 FPGA 设计和综合结论

在实际实施时, 曾经考虑研究过几种不同的 FPGA 电路。最后选取的 FPGA 包括嵌入式芯片 SRAM 块, 采用它可以选取高、宽合适的单口或多口内存。FPGA 供应商也提供了宏功能产生器, 它可用来产生诸如芯片 FIFO 内存, 交叉点阵列的工作速率大约在 85 ~ 135MHz, 并有不同的接口。此外, 带有基于编程技术 SRAM 的 FPGA 电路包含大量的查询表, 这些表也被用于嵌入式芯片内存的实施。

系统的速度性能取决于芯片上的信号传播时

延。总时延的构成有三方面: 寄存器输出时钟延时、选路延时、逻辑时延。寄存器输出延迟时钟有一个固定值, 逻辑时延则取决于信号通路上的连续的 LUTs。唯一变化因素是依赖于信号通路上连接单元和净负荷的选路时延。通常, 复杂功能的实施包括以级连方式链接到旁路寄存器的几个 LUTs 链, 采用管道化技术来减少信号选路通道上寄存器之间的连续 LUTs 数量。采用这种方式就减小了同步单元之间的总时延, 也可以采用更高的系统时钟速率, 最终结果就是提高了系统的吞吐量。采用布局和选路工具可以使得单功能单元的物理空间更小, 也减小了选路时延, 提高了系统性能。

根据 Alliance 的布局和选路工具, 系统设计使用了约 39% 的功能发生器 (即 LUT), 66% 的 CLB 切片, FPGA 电路中的 37% 是双稳态多谐振振荡器。BlockRAM 的耗用占用了总容量的 65%。16 × STM - 1 - Column 实际得到的工作速率是 132MHz, 其它部分的速率是 90MHz, 将来随着 FPGA 电路的扩展系统资源利用率将会更高, 并会集成流分析器在里面。另一方面, 所需的 IO 管脚数量也在一定程度上决定着 FPGA 电路的物理尺寸和数量, 目前使用率达到了 96%。

5 结束语

所有 UTOPIA 接口的最大信元速率是 5651312 信元/秒。理论上讲可以以 73.5MHz 的速率在 32bit 宽的接口上传输,但实际传输速率为 85MHz,因为每个信元的平均处理时间大于 13 个时钟周期。在满负荷下,当前的交换选路能力大约为 16953936 信元/秒,我们接下来简单加以解释。在网络中,45 个资源可以同时发送 4 个 ATM 信元脉冲到一个 STM-1 端口,这意味着最坏情况下 180 个信元到同一端口。如果这种情况对所有的 STM-1 端口同时发生,那么,共有 2880 个信元必须通过 $16 \times \text{STM}-1$ - Column 选路。在最坏的情况下,这些信元脉冲同时要占用三个较大的缓冲,也就是每个缓冲必须有 960 个信元的缓冲。然而,从 Column 到外部双口 SRAM 的传输是以 132MHz 的速率发生的,在 960 个信元存入 FIFO 的过程中, $(1/3) \times (132/73.5) \times 960 = 576$ 信元也被输出。这样只有 $960 - 576 = 385$ 个信元储存在 FIFO,这么算来,将有 $385 - 330 = 55$

信元将会溢出。所幸的是,长脉冲发生的概率很小很小,实际的系统工作依然相当可靠。实际的测试也证实了这种交换将会有很好的性能假设,也就是说系统结构和 FPGA 电路是适合于这种应用的。

这种基于 FPGA 电路的 ATM 传输结构,较好地解决了信号的传输问题,使有线数字电视通过 ATM 网络传输成为可能,是一种非常实用的解决方案。

参考文献:

- [1] 吴承治. 光接入网工程[M]. 人民邮电出版社,1998.
- [2] 邢秦中. ATM 通信网[M]. 人民邮电出版社,1998.
- [3] 黎洪松. 数字视频技术及其应用[M]. 清华大学出版社,1997.
- [4] 苏志武. 广播电视传输网络技术与应用[M]. 新华出版社

(责任编辑:宋金宝)