

# 基于 FPGA 的高速并行光通信误码率测试系统<sup>①</sup>

刘 博<sup>②</sup> 杨 宇 陈雄斌 陈弘达<sup>③</sup>

(中国科学院半导体研究所集成光电子学国家重点实验室 北京 100083)

**摘 要** 利用高性能、低成本的现场可编程门阵列(FPGA)芯片、个人电脑和应用软件研制出了可应用于高速并行光通信系统误码率测试的虚拟测试系统。此系统可对不同速率与通信格式的多通道并行光通信系统进行误码率测试,支持对速率为 10Gb/s 的 VSR4-1.0 协议的甚短距离光传输(VSR)系统的误码测试。该系统最多可支持 12 条测试信道,单信道最高测试速率为 1.25Gb/s,为研制高速并行光通信系统提供了一个方便、快捷、灵活的初级误码率测试手段。该系统可降低并行通信系统的研发成本,缩短测试周期,提高工作效率。

**关键词** 虚拟仪器,误码率测试,光通信,VSR,伪随机码

## 0 引 言

随着通信技术的迅猛发展,短距离高速通信系统的需求量日益增大,对每套器材的成本也日益敏感,此时再采用传统的串行光传送设备显然代价太高,而采用并行传送方式则成为主要发展方向。并行传送可减小每根光纤上的传送速率,从而降低对光器件的要求,节约光器件的成本,国外甚短距离光传输(very short reach, VSR)技术也采用并行多模光纤传输,通过提高单纤传输速率来提高吞吐量<sup>[1-4]</sup>。

在通信系统的研究过程中,如何对并行传输系统的有效性及其可靠性进行测试是非常重要的一个环节。测试技术的好坏,直接关系到对研发的并行通信系统性能的评估。目前国外市场上有 Agilent、安利等公司推出的一些并行传输系统测试仪器,但是这些仪器大都操作复杂,价格昂贵,每次进行测试耗费的时间长,成本高,因此需要一种成本低,结构简单,通用性、灵活性好的测试技术来更好地支持对甚短距离并行光传输系统的研究。基于虚拟仪器的虚拟测试系统具有成本低、灵活性高等特点<sup>[5]</sup>,可以满足上述要求。一套虚拟仪器系统就是一台工业标准计算机或工作站配上功能强大的应用软件、低成本的硬件(例如插入式板卡)及驱动软件,它们在一起共同完成传统仪器的功能<sup>[6,7]</sup>。与传统仪器相比,虚拟仪器的优点在于用户可以根据自己的测试需求

来自行定义仪器功能。当测试要求改变时,只要增加或更换仪器软硬件模块就可以构成新的仪器,构建容易,转换灵活,因此在科研开发、计量检测、测试控制等领域得到了广泛的应用<sup>[8-13]</sup>。

由于虚拟测试系统有上述优点,本研究利用高性能现场可编程门阵列(field programmable gate array, FPGA)芯片与 LabVIEW 软件,搭建了一个简单通用的高速并行传输系统的误码率虚拟测试平台,可用于最高速率为 10Gb/s 的并行通信系统的误码率测试。

## 1 系统原理

误码检测系统需要一个数据源来生成发射端的测试数据,接收端将收到的数据与发射端发射的测试数据进行比较,从而得出传输系统的误码信息。但是不同的待测系统产生的延时不同,这给误码的比较造成了困难。为了消除不同的延时带来的影响,我们使用 m 序列来产生测试数据。m 序列是最常用的一种伪随机序列,它是最长线性反馈位移寄存器的简称。由 n 级移位寄存器产生的 m 序列,其周期为  $2^n - 1$ <sup>[14]</sup>。在发射端的 n 级移位寄存器生成的 m 序列中,截取与移位寄存器序列相同长度的一段数字序列。此数字序列代表了某一时刻发射端移位寄存器序列中各个寄存器的状态,因此我们可以

① 863 计划(2007AA01Z2A5),国家自然科学基金(60502005)和国家科技支撑计划(2009BAK43B36)资助项目。

② 男,1984 年生,博士生;研究方向:高速并行光通信技术;E-mail: nicococn@semi.ac.cn

③ 通讯作者,E-mail: hdchen@semi.ac.cn  
(收稿日期:2009-08-05)

根据截取的这段数字序列恢复出被截 m 序列顺序相同,相差 n 个时钟周期的 m 序列作为参考序列。这样就可以消除不同传输系统带来的不同延时,保证参考序列与接收到的序列有恒定的相位差,经过简单延时就可以进行比较,检测误码。

## 2 系统设计

本系统主要由测量模块、可视化软件和数据采集模块组成。测量模块负责发出测试信号,测试信号经被测的通信系统传输后再返回测量模块,测量

模块检收到到的数据,得到并输出误码信息。采集模块采集测量模块发出的误码信息,并输入电脑。电脑内安装的可视化软件对误码信息处理后计算出误码率,并利用可视化界面显示测试结果。

### 2.1 测量模块

测量模块核心部分是一块高性能 FPGA 芯片。通过改变烧录代码可得到不同速度、不同格式的数据帧输出。FPGA 内部代码可以按照功能分成测试数据输出和数据接收两个部分。

测试数据输出部分负责产生并输出不同帧格式的测试数据。数据流程如图 1 所示。

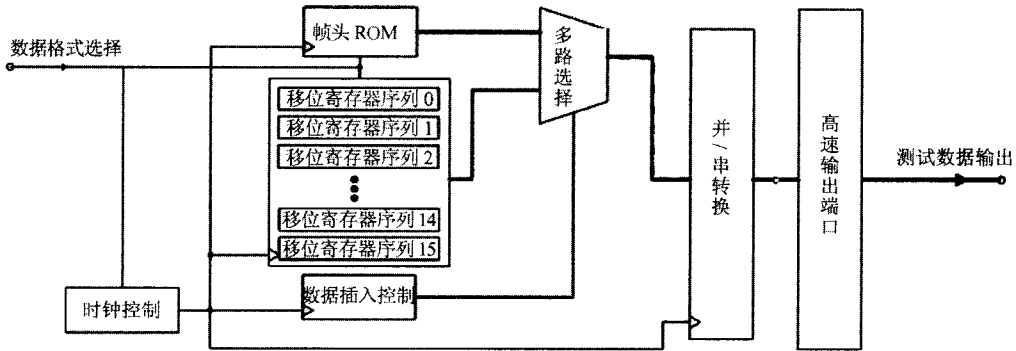


图 1 数据产生端电路示意图

电路将测试数据帧分为数据帧头与数据段两部分并分别生成。数据段采用 16 组并行的移位寄存器序列并行产生 16 组循环长度为  $2^64 - 1$  的伪随机序列作为测试数据源。数据帧头根据伪随机序列的初始条件以及不同数据帧格式要求,事先计算好并储存在 FPGA 芯片内只读存储器(read only memory, ROM)中。测试时根据不同的数据要求设置时钟控制、数据帧头和帧头位宽,利用多路选择器将帧头插入到数据段前,形成完整的测试用数据。为了满足某些高速数据帧格式的需要,整个系统采用并行

工作的方式,先产生比较低速的多路并行数据,再经高速并/串转换模块的转换,形成高速的测试用并行数据,经高速输出端口输出。

数据接收端分成数据恢复和误码检测两个部分。负责接收经被测系统传输后的数据,并根据接收到的数据恢复出一个与发射部分输出的测试数列顺序完全相同的参考数列,作为判断误码的依据与接收数据进行比较,并输出误码信息。数据流程图如图 2 所示。

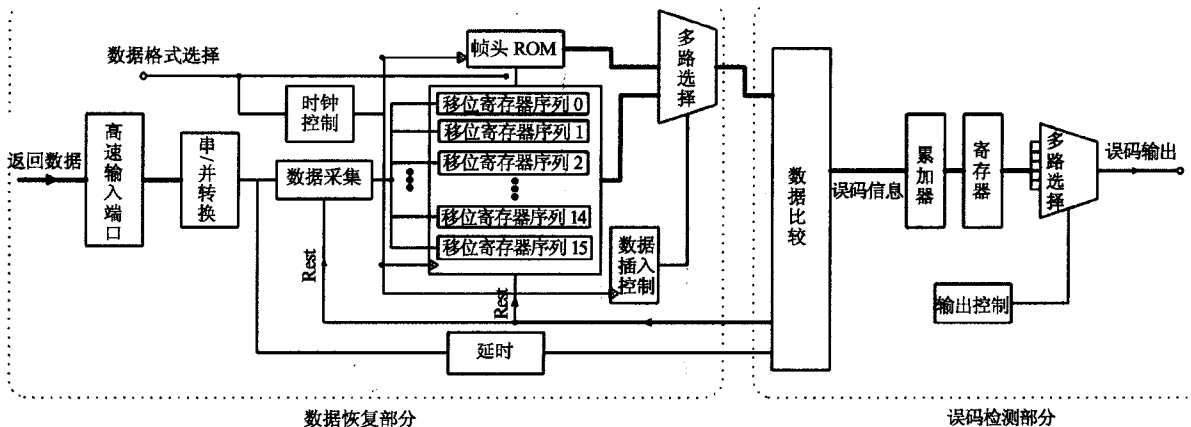


图 2 数据接收端电路示意图

返回的数据先经并/串转换模块转换成比较低速的并行数据,然后经采样模块选取连续的一组数据作为移位寄存器的初始值。数据恢复部分的核心是 16 组移位寄存器,这 16 组移位寄存器的结构与数据产生部分的移位寄存器相同。采样模块截取的是数据产生部分的移位寄存器的某时间段内的状态。将这段数据作为恢复部分移位寄存器序列的初始状态,即可在测试数据的循环节上定位接收数据,并产生一个与测试数据序列顺序相同,与接收数据相位差恒定的参考数据。这样就可以消除不同通信系统延时不同造成的差异。利用恢复出的参考数据形成完整的参考数据帧,作为标准与接收到的数据进行比较,得出误码信息。

误码比较部分有两个功能:验证参考数据的正确性和统计误码数。如果在生成采样数据后数个时钟内出现接收数据与参考数据不同的情况,则判定是采样数据中含有误码,导致移位寄存器序列初始状态不正确。于是重新对接收数据进行采样,生成新的参考数据。在确保参考数据正确后,将接收数据与参考数据进行比较,记录误码数。为了降低采集模块的成本,要求误码信息的输出位数和速率都较低,因此在误码输出部分设置一组累加器和寄存器,将误码信息累加后暂存起来,根据数据采集模块的数据位宽和速率要求分多次发送给数据采集设备。在本系统中,将误码信息每累加  $10^5$  次后输出一次,即将 10Gb/s 数据每秒产生的  $10^{10}$  次的误码信息速率降低到每秒输出  $10^5$  次,采样率高于 100kHz 的数据采集卡即可完成对误码信息的采集。

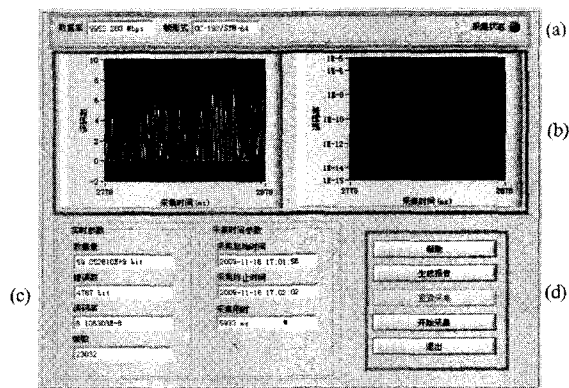
## 2.2 可视化软件

由 FPGA 芯片得到的误码信息经数据采集卡采集并输入电脑。我们利用 LabVIEW 平台开发出一套 NI 系列数字信号采集卡通用的接口软件,对误码信息进行处理并显示可视化结果。软件界面如图 3 所示。

界面正上方为基本信息区(图 3(a))。左侧显示当前测试的帧形式和对应的数据率;中间显示当前的时间,便于观察测试的大致时间;右侧为采集工作状态指示灯,当灯亮时表示测试正在进行,熄灭时表示测试已经终止。

界面中部为图表区(图 3(b))。左侧图表实时显示误码数量单次采集到的误码数量;右侧图标纵轴为对数坐标,实时显示误码率。

界面左下方为参数区(图 3(c))。左侧实时显示测试数据参数,包括总测试数据量、总误码数、误



(a) 基本信息区; (b) 图表区; (c) 参数区; (d) 控制按钮区

图 3 软件界面

码率和总测试帧数。右侧实时显示测试时间参数,包括起始时间、终止时间和总测试用时。

界面右下方为控制按钮区(图 3(d))。此区提供了一些常用操作指令的按钮。用户可以通过单击这些按钮完成获取简单的操作说明、开始测试、结束测试、重置测试、退出程序以及生成测试报告等操作。

## 2.3 数据采集模块

为了节约开发成本和提高数据传输可靠性,数据采集模块采用 National Instruments 公司生产的 USB6211 数据采集卡,可以采集 4 位数字信号,采样频率最高 250kHz。

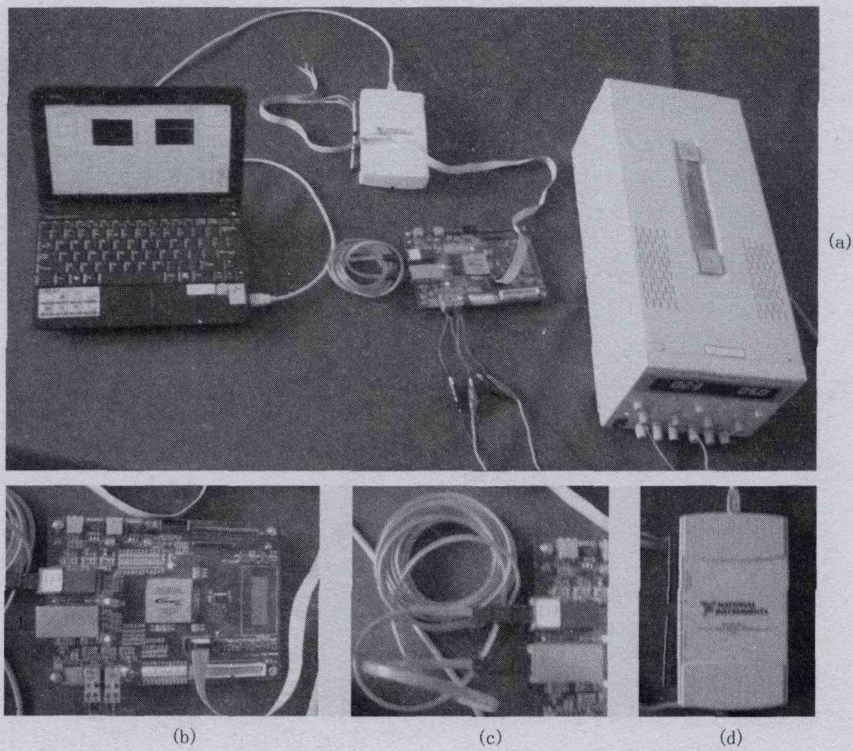
## 3 测试与讨论

为了验证系统的性能,我们对系统进行了联机测试。系统连接如图 4 所示。

测量模块采用 ALTERA 公司的 EP1SGX25FFC7 芯片,驱动电源采用直流稳压电源 2.3V 和 5.0V。数据采集卡采用 National Instruments 公司生产的 USB6211 数据采集卡,可以采集 4 位并行数字信号,采样频率最高 250kHz。测试用数据帧采用 OC-192 标准数据帧,速率 9953.28Mb/s。

用 10Gb/s 商用通信激光收发模块组作为标准通信系统对本系统进行测试。该商用模块组经 Agilent 公司的 ParBERT81250A 误码测试仪测试,长时间工作误码为 0。将此通信系统作为标准通信系统,对本系统进行测试。

无误码情况下的测试:将标准通信系统直接接入本误码测试系统进行长时间误码测量,测得误码率为 0。表明在没有误码的情况下本系统可正常工作且不会因自身原因引入更多误码。

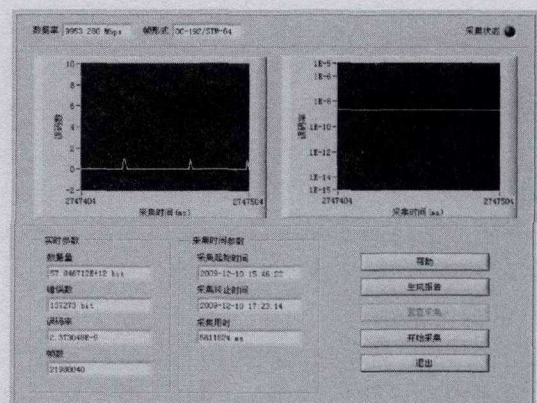


(a)系统实物;(b)测量模块;(c)光传输系统;(d)数据采集卡

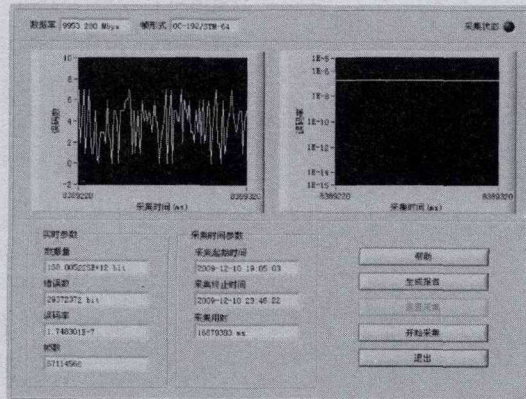
图4 系统测试实物图



(a)没有误码



(b)较少误码



(c)较多误码

图5 测试结果

有误码情况下的测试:由于商用通信模块组性能较好,难以产生误码,因此在 FPGA 代码中加入干扰模块,在测试数据流输出之前加上已知的干扰信号,产生一定比例的误码。经标准通信系统传输后由本系统进行误码测量,观察测试系统能否检测出此人工加入的误码。经检测,测试系统输出的误码信息与预先编写的 FPGA 代码给出的干扰信号一致。表明在有误码的情况下,本系统可以正确地测量出误码信息。图 5 分别给出了没有误码、误码较少和误码较多时的测试结果。

测试结果显示在没有误码、误码较少和误码较多的情况下系统均能正常测量并显示出误码情况。此系统可以完成对高速并行光传输系统进行误码测试的功能。

## 4 结 论

本文设计了一种针对并行高速光传输系统的虚拟测试系统,可以对最高速率为 10Gb/s 的并行通信系统进行误码率测试。该测试技术提供了一种可以满足不同并行传输系统的成本低,操作简便,通用性、灵活性高的虚拟测试方案,可以提高并行光传输系统的研发效率。

### 参考文献

- [ 1 ] Iwase M, Shirai T, Ishikawa Y. 3.125 Gbps  $\times$  8 channels parallel interconnection module with low height MT receptacle connector for single mode fibers. In: Proceedings of the 52nd Electronic Components and Technology Conference, 2002. 292-299
- [ 2 ] Tang W, Plant D. A Low Power 3.12Gbit/s/channel parallel optical receiver for very short reach (VSR) applications. In: Proceedings of the 23rd Biennial Symposium on Communications, Ontario, Canada, 2003. 35-38
- [ 3 ] Sakamoto T, Sato N, Koike S. 4 channel  $\times$  10 Gbit/s parallel optical module for short reach optical links. In: Proceedings of the 16th Annual Meeting of the IEEE, Lasers and Electro-Optics Society, 2003. 567-568
- [ 4 ] Toyoda H, Okuno M, Nishimura S. A 100 Gb/s and high-reliable physical-layer architecture for VSR and backplane Ethernet. In: Proceedings of the IEEE International Conference on Communications, Beijing, China, ICC 2008. 5417-5421
- [ 5 ] 杜红,棉祖静. 虚拟测试现状及在动态测试系统研发中的作用. 测试技术学报, 2004, 18:61-64
- [ 6 ] Spoelder H. Virtual Instrumentation and Virtual Environments. *IEEE Instrumentation & Measurement Magazine*, 1999, 2(3): 14-19
- [ 7 ] Goldberg H. What is virtual instrumentation. *IEEE Instrumentation & Measurement Magazine*, 2000, 3(4): 10-13
- [ 8 ] 吴浩,胡方明,任爱锋. 基于 FPGA 的低成本虚拟测试系统实现. 国外电子元器件, 2008, 3:9-12
- [ 9 ] 丁建椿. 基于 USB 接口和 FPGA 控制的虚拟仪器设计. 现代电子技术, 2009, 32(15):115-118
- [ 10 ] 王建群,南金瑞,孙逢春等. 基于 LabVIEW 的数据采集系统的实现. 计算机工程与应用, 2003, 39(21):122-125
- [ 11 ] 常波,阎有运. 基于 ARMS3C2410 与 EPM7128 的虚拟数字存储示波器设计. 电力自动化设备, 2009, 29(7): 138-141
- [ 12 ] 阎琳,汪道辉. 基于 FPGA 的虚拟逻辑分析仪设计与实现. 电子技术应用, 2008, 34(7):85-87
- [ 13 ] 齐晶晶,黄彩霞. 基于 FPGA 和 LabVIEW 的信号源设计. 电脑知识与技术, 2008, 4(31):979-980
- [ 14 ] 曹志刚,钱亚生. 现代通信原理,北京:清华大学出版社,1992,234-239

## A FPGA-based virtual instrumentation system for high speed parallel optical transmission BER testing

Liu Bo, Yang Yu, Chen Xionghin, Chen Hongda

(State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors,  
Chinese Academy of Sciences, Beijing 100083)

### Abstract

A bit error rate (BER) testing system for high speed parallel optical transmission systems is built up using high-performance, low-cost FPGA devices, personal computers and the LabVIEW software. It provides a BER testing method for parallel transmission systems which are different in speed and data format. It also can support a VSR4-1.0 system with the transmission rate of 10Gb/s. This system supports up to 12 channels and the highest speed of 1.25Gb/s, and provides a fast, effective BER testing method for developing parallel transmission systems. It can reduce the research and development cost and the test period of parallel transmission systems and make the research work more effective.

**Key words:** virtual instrumentation, BER testing, optical transmission, VSR, pseudo random bit sequence (PRBS)