

基于 FPGA 的数字量变换器测试系统设计

针对数字量变换器性能参数的测试工作，以 FPGA 为控制核心，开展数字量变换器测试系统的设计和研究，并给出系统各模块的具体设计方法；系统通过 USB 实现与计算机的通信，能够产生计算机字信号及相应移位脉冲信号、勤务信号和 128 路指令信号，并能接收经过数字量变换器变化后的计算机数码和指令数码信号；测试系统能够完成对数字量变换器各项性能指标的测试，实验表明，测试系统精度及可靠性高、实时性好，已经成功应用于某遥测系统中。

0 引言

在飞行器发射试验中，常用遥测系统获取其内部各系统的工作状态参数和环境数据，为评定飞行器的性能及故障分析提供依据。数字量变换器作为遥测系统弹上的重要设备，它的主要功能是控制接收弹上的各种飞行参数。变换器性能的优劣将直接影响遥测结果，对飞行器研制和试验过程中试验数据的测试产生很大影响，将关系到飞行器试验的成败和以后飞行器性能的改进和提高。在飞行器的研制过程中，多次试验和考核是非常重要的。对数字量变换器做出准确、客观、可靠地评价是其生产过程中的关键环节，而这一环节只能由变换器测试系统来完成。可编程逻辑器件（FPGA）以其高速、可重构、设计灵活、开发费用低、I/O 引脚和内部资源丰富的等优点，在近代测试系统中赢得了越来越广泛的应用。本文以 FPGA 为逻辑控制中心设计的测试系统，主要是对数字量变换器进行单元测试，在其实际研制和调试过程中发挥了关键的作用。

1 系统总体设计

1.1 技术指标

(1) 测试系统能够在工作前对系统本身的各部分电路和通信接口进行检测，进而确定测试系统是否能正常工作。

(2) 能够为数字量变换器提供 25V、28V、31V 三档直流工作电压，电流驱动能力大于等于 1A。

(3) 能够模拟弹上设备产生幅度为 8~10V 的计算机字信号及相应的移位脉冲信号；产生 128 路 28V 指令信号；产生所需的勤务信号（包括帧同步信号和码同步信号）；能够接收经变换器变换回传的字长为 32 位、幅度为 5V 的计算机字数码和指令数码信号，并在上位机上显示。

1.2 系统结构和工作原理

系统设计时，采用模块化设计的思想，按照技术指标设计各个功能模块，通过各模块之间的协调配合完成系统的测试任务。系统的整体结构框图如图 1 所示，整个系统由计算机、USB 芯片 FT245、两片 FPGA、输出电源电压控制模块、计算机字信号发送模块、勤务信号发送模块、计算机字数码与指令数码接收模块和指

令信号发送模块组成。模块化设计能够在进行系统调试和硬件编程时，简单、快速的定位并解决问题。

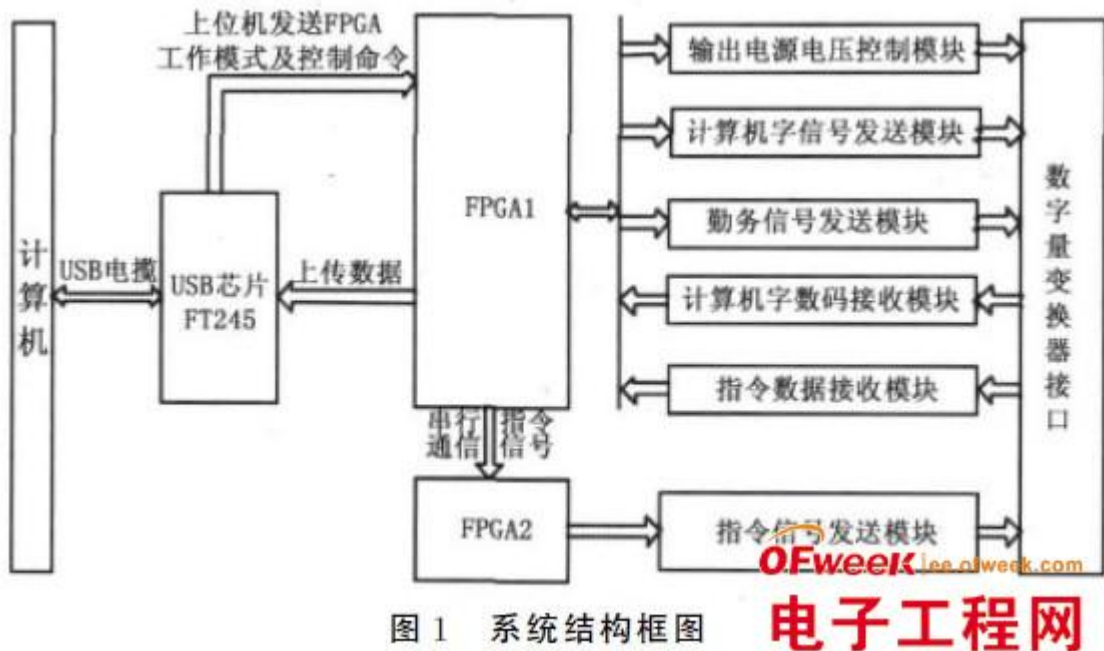


图 1 系统结构框图

电子工程网

测试系统通过 USB 芯片 FT245 实现硬件电路和上位机的通信，包括上位机给 FPGA 控制命令的下发与数据的上传。

硬件电路选用 XILINX 公司的 XC3S200-208 和 XC2S100-208 两片 FPGA 作为系统的逻辑控制中心，其中 XC3S200-208 作为主控芯片，主要实现对上位机的命令接收和判断，进而产生和发送计算机字信号，接收计算机字数码和指令数码并编帧、上传数据至上位机；XC2S100-208 作为从控制芯片，完成 128 路指令信号的发送；两片 FPGA 之间采用串行通信的方式发送控制命令来实现通讯。另外，通过上位机软件可以实现向系统发送复位或停止命令，这样能够减少硬件的功耗并提高测试系统的工作效率。

2 系统各模块功能实现

2.1 USB 接口模块实现

USB 具有成本低、通用性好、连接简单、支持热拔插等特点，而从系统实际的速率传输要求出发，设计采用通用 USB 接口芯片 FT245BM 实现与上位机的通信。FT245BM 主要的功能是在内部逻辑的作用下实现数据串/并双向转换，它的最大传输速率可以达到 1M/s。FT245BM 免去了复杂的固件编程及驱动程序的编写，能够简化 USB 的接口设计，为系统节省设计时间。

FT245BM 具体电路设计如图 2 所示。

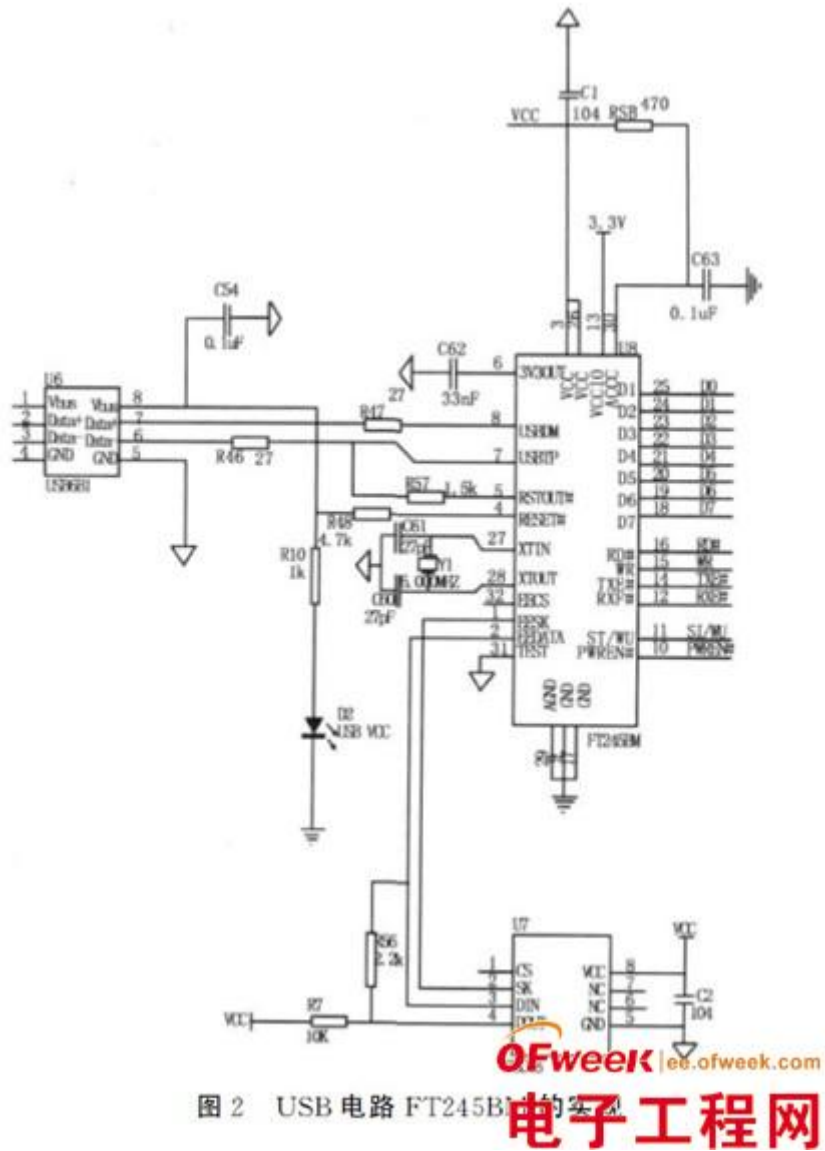


图 2 USB 电路 FT245BM 的电路

电子工程网

FT245BM 的 8 位数据线 D7~D0、读信号 RD、写信号 WR、发送使能 TXE、接收数据完毕信号 RXF 与 FPGA 连接，来完成两者的通信。计算机通过应用程序、动态链接库的有效配合将控制命令信号发送到 FT245BM，FPGA 利用与之相连的 I/O 口接收下发的控制命令或是发送上传的测试数据。

2.2 输出电源电压控制模块实现

由于需要为被测数字量变换器提供 3 档工作电压 25V、28V、31V，在电源模块输出端连接三种不同阻值的电阻，就可以实现 3 种电压的切换，实现控制的电路如图 3 所示。

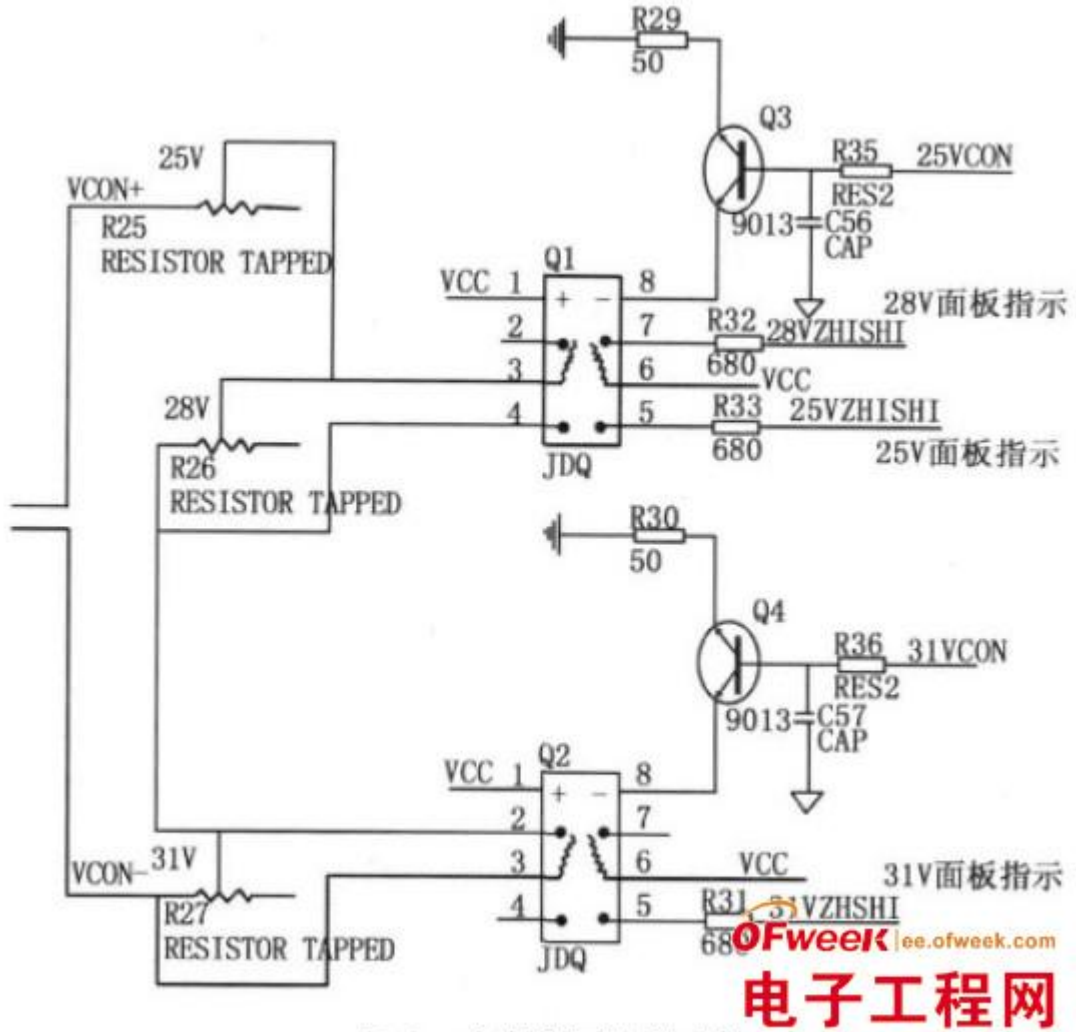


图 3 电源电压控制电路

图中 VCON+, VCON- 为电源模块的输入电压，R25、R26、R27 三组电位器用来调节电阻。25VCON、31VCON 分别与 FPGA 的 I/O 相连，是 FPGA 给出的控制信号，电路中三极管的作用是利用其电流放大来增加信号的驱动能力。通过 FPGA 对控制命令的判断来实现 3 档电压的控制。此外，系统的默认及复位的输出电压为 28V。

2.3 计算机字信号发送模块实现

由于要求计算机字和移位脉冲的幅值都为 8~10V，所以电路中采用运算放大器电路对 FPGA 输出的信号进行放大来获取所需幅值的信号。计算机字信号发送电路如图 4 所示。

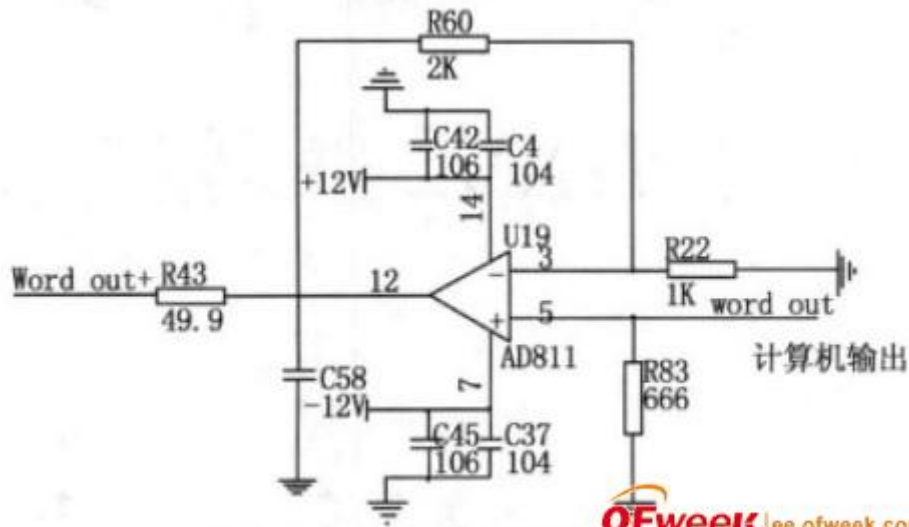


图 4 计算机字信号发送电路

OFweek | ee.ofweek.com
电子工程网

为了满足输出信号的精度和电流驱动能力的要求，本模块中采用 AD 公司的运放 AD811 来设计电路。此运算放大器是高速运放，采用双电源供电，2500V/us 是其最高转换速率，具有较低的电流、电亚噪声。设计中采用同相放大电压串联型负反馈电路，输出电压稳定并且反馈效果好。电路中 R83 的接地是为了尽量减小由于偏置电流引起的电压失调，其阻值等于 R22 和 R60 的并联阻值，为 $R22 // R60 = 666\Omega$ 。

2.4 勤务信号发送模块实现

计算机字信号和指令信号都有相应的勤务信号来满足时序要求，一般勤务信号就是指帧、码同步信号，对其他信号的产生和接收起到时序基准同步的作用。指令勤务信号的电路原理如图 5 所示。计算机字勤务信号与其原理相同。根据系统的信号输出要求，即帧、码同步信号的幅值和电流驱动能力的要求，采用非门芯片 SN5405J 作为驱动电路来满足设计要求。

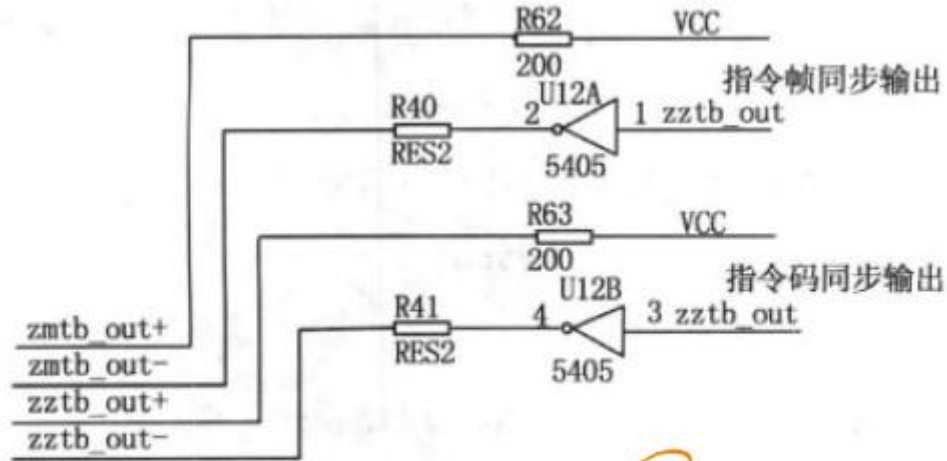


图 5 指令勤务信号电路

OFweek | ee.ofweek.com
电子工程网

2.5 数码接收模块实现

测试系统需要接收经变换器处理之后的信号，变换器以数码方式回传给测试系统，包括计算机数码和指令数码，两者的接收原理相同。设计采用光耦隔离的方式对数码信号进行接收，其电路原理图如图 6 所示。

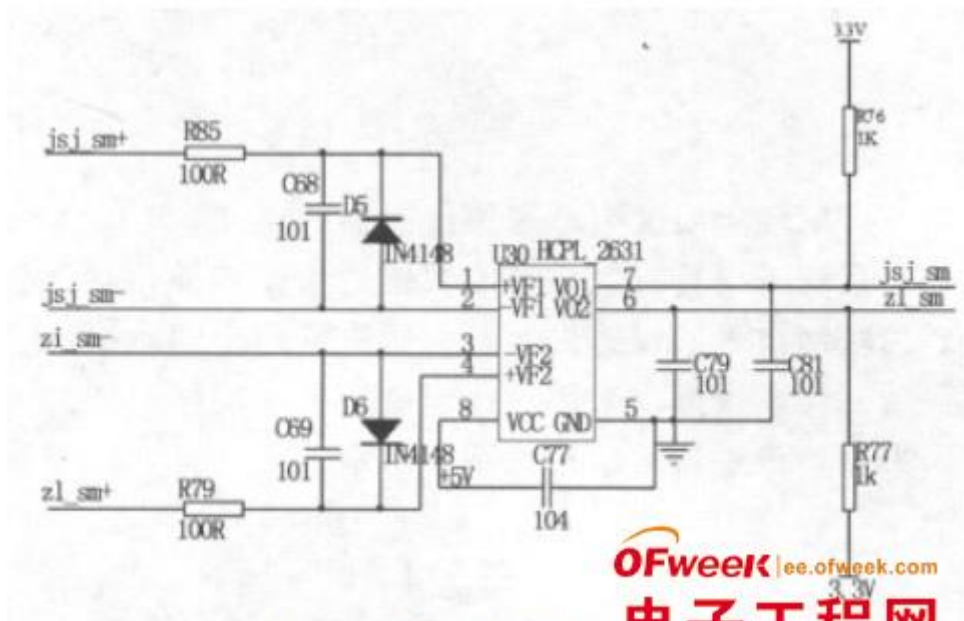


图 6 数码接收电路

OFweek | ee.ofweek.com
电子工程网

光电耦合器采用 TI 公司的 HCPL-2631，它具有电绝缘能力和抗干扰能力，并且能有效的抑制各种噪声和尖峰脉冲干扰。它的两个输入端分别接收计算机字数码和指令数码，其中在光耦输入端连接的二极管作用是用来防止信号反跳造成内部二极管烧坏。

2.6 指令信号发送模块实现

指令信号是指一种断开或闭合的开关量信号。此模块的 128 路指令信号全部采用光耦继电器来实现，依据参数要求选择 AQY210 作为控制开关的器件，它的特点是耐高压，反应速度快，使用时间长。其单路指令信号发送电路原理如图 7 所示。

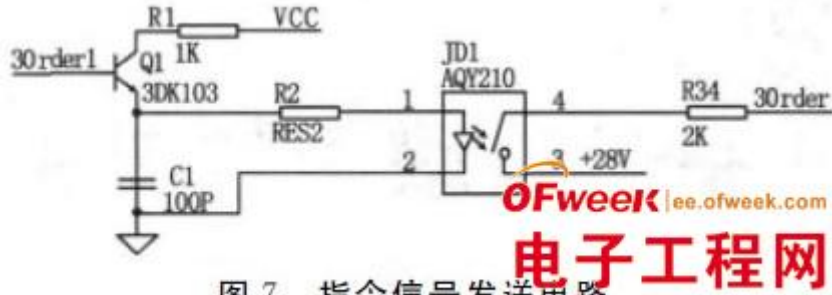


图 7 指令信号发送电路

由于指令信号的路数比较多，如果 FPGA 的 I/O 口输出直接驱动 AQY210，势必会增加 FPGA 的功耗。因此采用三极管对 FPGA 的输出信号进行电流放大来提高控制信号的驱动能力。本设计采用 NPN 型三极管 3DK103，图中 3order1 是 FPGA 的输出信号，其为 ‘0’ 时，三极管截止；其为 ‘1’ 时，三极管处于电流放大，流经光继电器发光管的电流 13mA 足以使 AQY210 导通。

3 系统 FPGA 的逻辑实现

系统主控 FPGA 采用的晶振是 10M 和 32.768M，10M 的晶振经过 FPGA 内部分频后来产生系统全局时钟信号及帧同步信号，32.768M 的晶振来产生码同步信号；从控 FPGA 也通过 10M 晶振来提供系统时钟。系统在上电稳定后，FPGA 就会产生并发送帧同步信号（周期为 25ms，脉宽为 25 μ s），在 25 μ s 脉冲信号之后发送帧同步信号，信号的产生都是通过内部的计数器来实现的；且计算机字码同步信号 8 个脉冲信号为一组、共 4 组，指令码同步信号共 16 组。在时序上，计算机字信号的第 1 组码同步信号和指令信号的第 16 组码同步信号对齐。变换器在帧同步信号的上升沿的触发下，会向测试系统发送请求脉冲。当系统收到请求脉冲信号后，通过控制 FPGA 延时 20ms，产生移位脉冲信号和计算机字信号共同发送给变换器。在时序上，移位脉冲信号的下降沿和计算机字每位的正中间对齐。通过对从控 FPGA 的逻辑控制实现指令信号的发送。FPGA 对上位机的命令信号解码后，将指令控制信号寄存在内部寄存器中，主控 FPGA 通过串行通信的方式将寄存器中的命令发送给从控 FPGA。发送时一组数据为 10 位，包括 1 个起始位、8 个有效数据位和 1 个停止位，FPGA 对串行数据解串，并重新编帧后将指令信号输出至 FPGA 相应的 I/O。数码码接收，都是先将数码信号编帧后存入 FPGA 的内部寄存器，再通过 USB 将数据上传至上位机。

4 系统测试结果

通过对系统的反复测试，来保证系统设计的可靠性。图 8 为上位机发送计算机字全为 AAH 时测到的波形，通道 1 是帧同步信号，通道 2 是数字量变换器发送来的计算机字请求信号，通道 3 是移位脉冲信号，通道 4 是系统发送的计算机字信号。

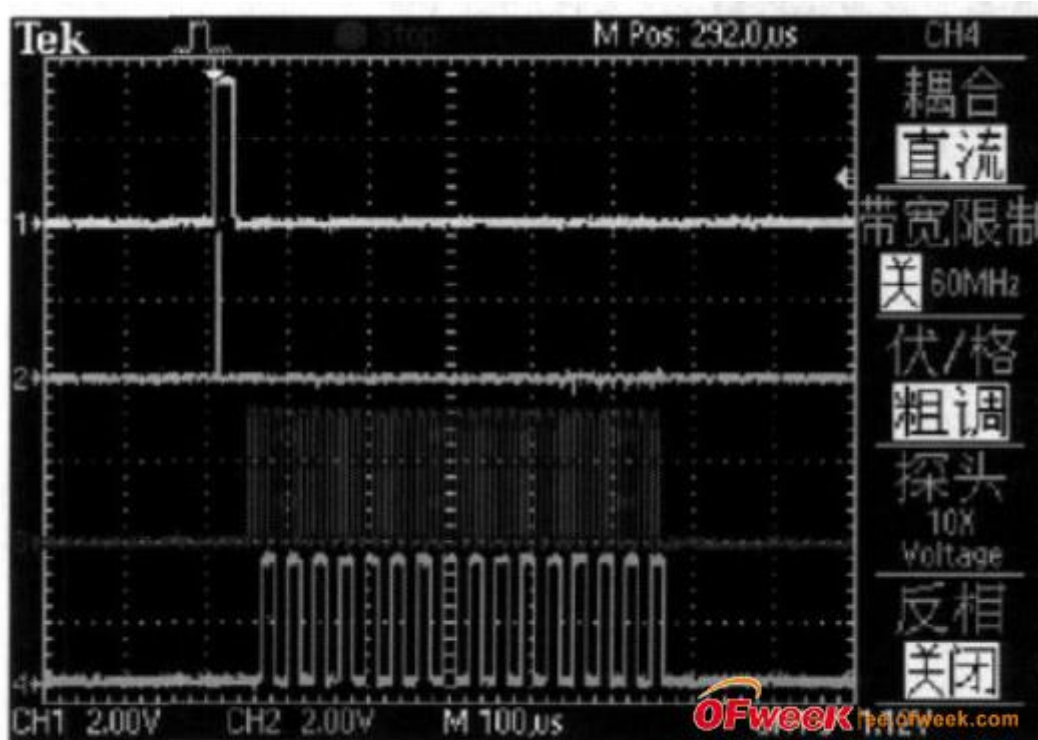


图 8 计算机字发送时实测波形图

图 9 是系统接收计算机数码测的波形，通道 1 是帧同步信号，通道 2 是计算机字请求信号，通道 3 是码同步信号，通道 4 是计算机字数码信号。

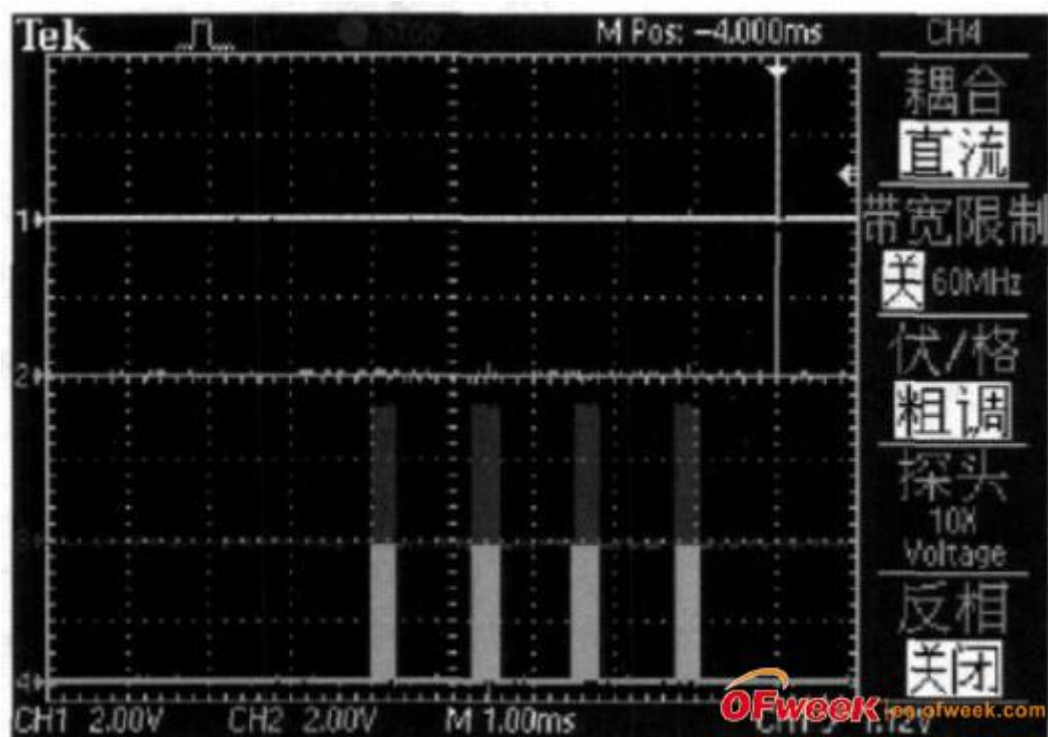


图 9 计算机数码接收实测波形图

因为指令信号是以并行方式发送的，所以不涉及到时序波形的问题。图 10 是指令信号都发送 55H 时，接收指令数码测得的波形。图中通道 1 是帧同步信号，通道 2 是码同步信号，通道 3 是指令数码信号。可以看出信号的效果满足设计要求而且精度较高。

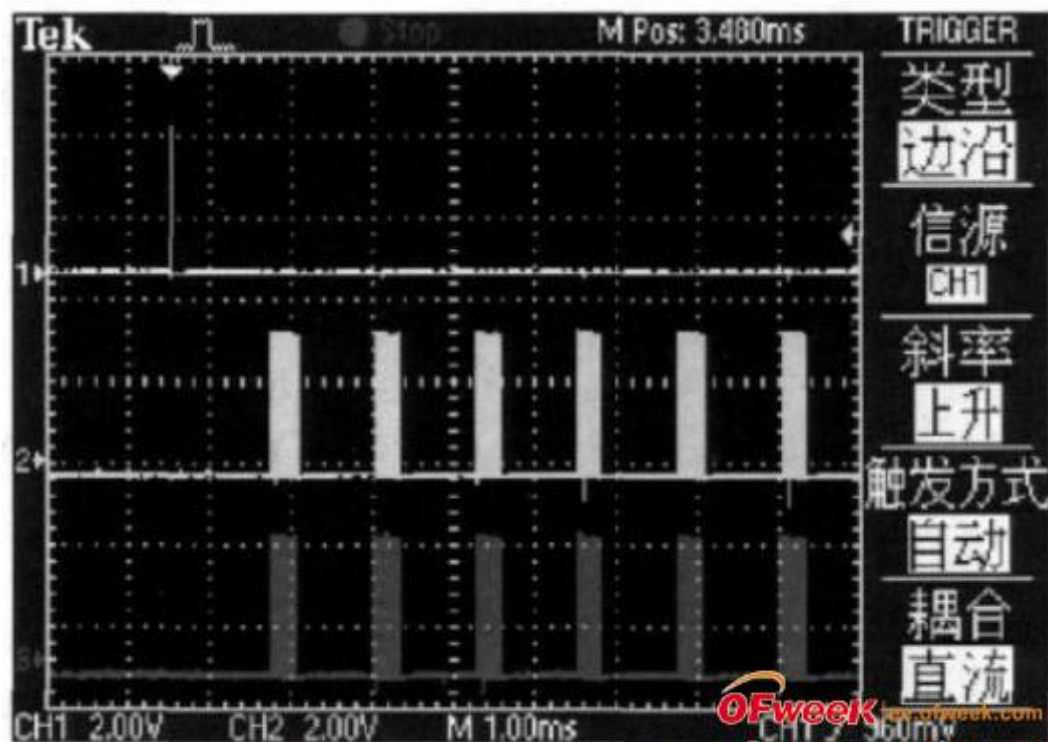


图 10 指令数码接收实测波形 **电子工程网**

5 结束语

该测试系统充分利用 FPGA 强大的内部逻辑功能和与外围硬件电路的设计，来达到系统的测试功能。通过测试系统和数字量变换器的联试，验证了系统各项的输出，对数字量变换器的性能做出权衡性的检测。