

## 应用于负电源的电平位移电路及器件设计

**摘要：**本文设计了一种应用于负电源的电平位移电路。实现从 0~8V 低压逻辑输入到 8~-100V 高压驱动输出的转换。分析了该电路的结构和工作原理。基于此电路结构设计了满足应用要求的高压薄膜 SOI LDMOS 器件。分析了器件的工作状态以及耐压机理，并利用工艺器件联合仿真对器件的电学特性进行了优化设计。

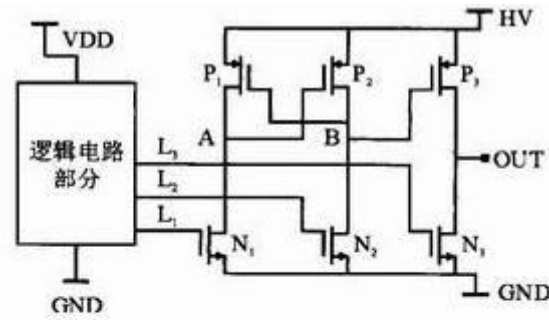
随着智能功率 IC 的发展，其应用领域和功能都在不断地扩展。而作为智能功率 IC 中的重要一类栅驱动 IC 在功率开关、显示驱动等领域得到广泛应用。在栅驱动电路中需要电平位移电路来实现从低压控制输入到高压驱动输出的电平转换。而在一些领域如 SOC 中的待机模式激活、ESD 保护等需要能工作在负电源的电平位移电路。

SOI (Silicon-On-Insulator) 技术以其高速、低功耗、高集成度、极小的寄生效应以及良好的隔离等特点，在集成电路设计应用中倍受青睐。其优良的介质隔离性能使得智能功率 IC 中高低压器件的隔离更为完善。

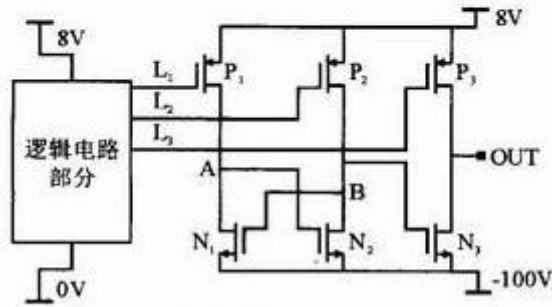
本文基于 SOI 高压集成技术设计了电源电压为 8~-100V 的电平位移电路，并对电路中的核心 LDMOS 器件进行了设计和模拟仿真优化。

### 1 电路结构

传统正电源应用的电平位移电路结构如图 1 (a) 所示。L1、L2、L3 是由逻辑电路部分产生的低压时序控制信号，N1、N2、N3 为高压 nLDMOS 器件，P1、P2、P3 为高压 pLDMOS 器件。由 P1，P2 和 N1、N2 构成的电平位移单元将 L1、L2 的低压逻辑信号转变为可以控制 P3 管的高压电平，与 L3 一起控制由 P3 和 N3 组成的反向输出级，从而实现从低压逻辑信号到高压驱动输出的转换。



(a) 正电源电平位移电路



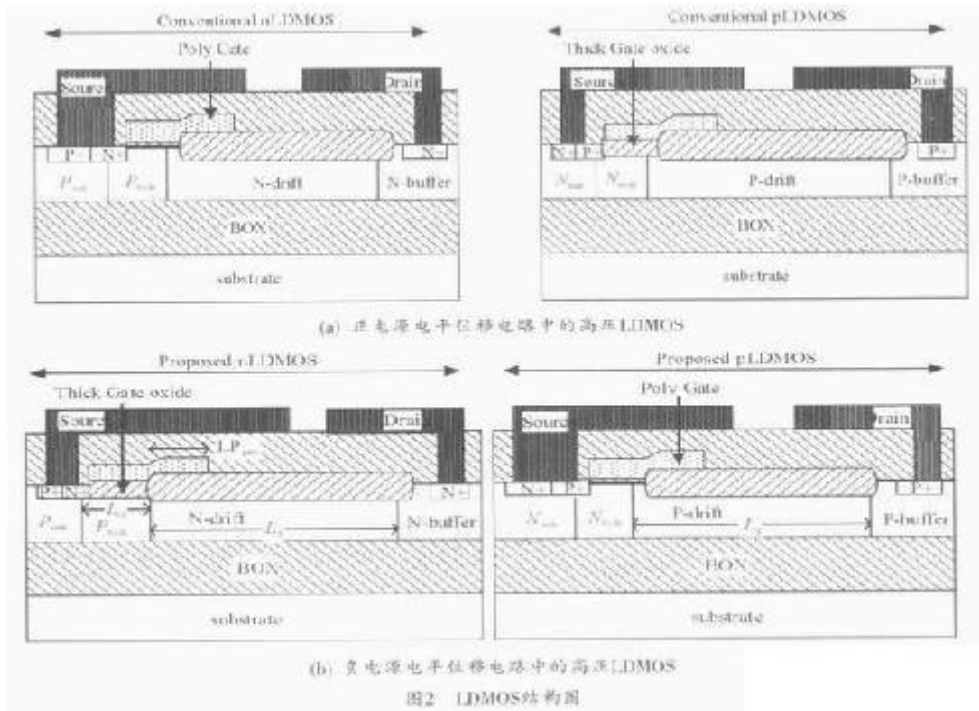
(b) 负电源电平位移电路

图1 电平位移电路

在正电源电平位移电路中，由于 nLDMOS 的源极为低压，所以可以通过低压逻辑部分来控制其开关状态，而源极为高压的 pLDMOS 则通过电平位移来控制。当高压驱动电压为 8~-100V，低压逻辑部分工作电压为 0~8V 时，电平位移转换部分的电压分布本身没有改变，但是在和低压控制端接合时，与传统的正电源相比电平发生了改变，就需要重新设计低压逻辑的控制方式。此时，nLDMOS 的源极为 -100V 电压，显然不能通过低压逻辑控制部分的 0~8V 电压来实现控制，而 pLDMOS 的源极为 8V 电源。因此采用了低压逻辑输出直接控制 pLDMOS，而 nLDMOS 则通过电平位移来控制的方法，如图 1 (b) 所示。

## 2 器件设计及优化

由于负电源供电的电平位移电路结构的改变，应用于正电源的常规 nLDMOS 和 pLDMOS 不能满足该电路结构要求。在正电源供电的电平位移电路中，由于 pLDMOS 的源端接高压电源，其栅源需要承受高压，所以 pLDMOS 采用了厚栅氧的结构，如图 2 (a) 所示。在使用负电源的电平位移电路结构中 (图 1 (b))，pLDMOS 的源端为逻辑高压 8V，栅端由低压逻辑 0~8V 电压控制，因此栅源不再承受高压。但是 nLDMOS 的源端为负电源的最低电位，其栅源需要承受高压，因此高压 nLDMOS 需要采用厚栅氧结构，如图 2 (b) 所示。



电源的改变不仅仅改变了电路的结构，nLDMOS 的厚栅氧，同时器件的耐压机理也发生了改变。考虑到低压管的背栅效应，SOI 材料的衬底只能接地，因此源漏电位的改变将引起 nLDMOS 和 pLDMOS 耐压机理的改变。图 3 是利用工艺 (Tsuprem4)、器件 (Medici) 联合仿真得到的正电源和负电源电平位移电路中高压 nLDMOS 和 pLDMOS 关态击穿时等势线分布对比图。对于 nLDMOS，常规正电源应用的衬底电位对于漂移区来说是辅助耗尽作用，这就是常规 SOI 中的 RESURF 原理。但是对于负电源的 nLDMOS 来说，衬底不再起辅助耗尽 SOI 层漂移区的作用 (图 3 (b))。对于 pLDMOS 来说，情况刚好相反。所以针对负电源应用，两种器件都要进行相应的优化处理。

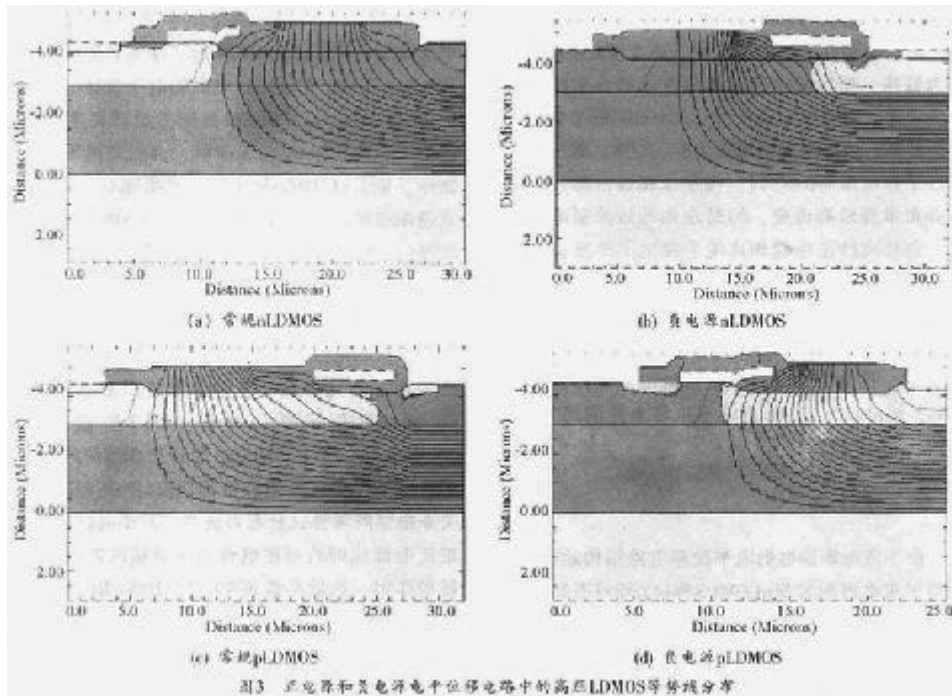


图3 正电源和负电源电平移位电路中的高压LDMOS等势线分布

利用工艺器件联合仿真，在传统的正电源应用的 LDMOS 基础上对器件的结构参数进行优化设计。图 4 (a) 为 pLDMOS 在漂移区注入剂量  $N_d=7 \times 10^{12} \text{cm}^{-2}$  时关态耐压、开态耐压与漂移区长度  $L_d$  ( $\mu\text{m}$ ) 的关系，以及在漂移区长度  $L_d=9\mu\text{m}$  情况下关态耐压、开态耐压与漂移区注入剂量  $N_d$  ( $\text{cm}^{-2}$ ) 的关系。其他参数为：n 型体区注入剂量  $5 \times 10^{12} \text{cm}^{-2}$ ， $N_{\text{sink}}$  注入剂量  $3 \times 10^{15} \text{cm}^{-2}$ ，P-buffer 注入剂量  $1.5 \times 10^{13} \text{cm}^{-2}$ ，沟道长度  $3\mu\text{m}$ ，栅极场板  $3\mu\text{m}$ 。从仿真结果可以看出：pLDMOS 的关态耐压随漂移区的增加而增大，随漂移区的注入剂量的增大先增大后减小；开态耐压随着漂移区注入剂量的增大而降低，但是在一定范围内漂移区长度对其影响较小。总体上，pLDMOS 的关态耐压、开态耐压都在 160V 以上，完全能够满足 8~100V 工作电压（108V 耐压）的要求。

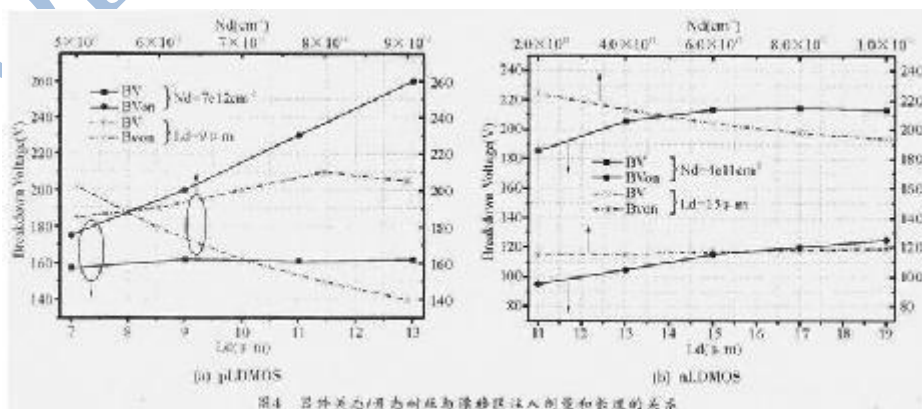
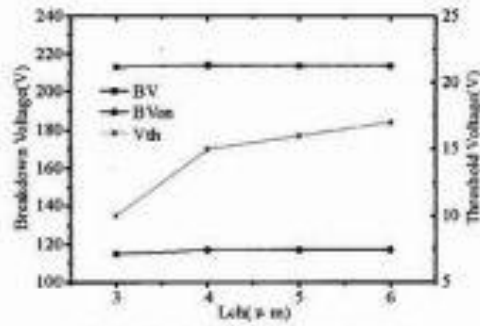


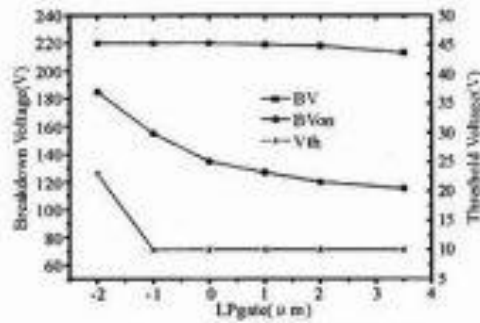
图4 另外关态/开态耐压与漂移区注入剂量和长度的关系

图 4 (b) 为 nLDMOS 在漂移区注入剂量  $N_d=4e11\text{cm}^{-2}$  时关态耐压、开态耐压与漂移区长度  $L_d$  ( $\mu\text{m}$ ) 的关系, 以及在漂移区长度  $L_d=15\mu\text{m}$  情况下关态耐压、开态耐压与漂移区注入剂量  $N_d$  ( $\text{cm}^{-2}$ ) 的关系。其他参数为: p 型体区注入剂量  $5e13\text{cm}^{-2}$ ,  $P_{\text{sink}}$  注入剂量  $3e15\text{cm}^{-2}$ , N-buffer 注入剂量  $1e13\text{cm}^{-2}$ , 沟道长度  $3\mu\text{m}$ , 栅极场板  $3.5\mu\text{m}$ 。相对于 pLDMOS, 漂移区注入剂量和漂移区长度对于开态耐压、关态耐压的影响不大。同时关态耐压都能维持在 180V 以上, 但是开态耐压却只有 90~120V, 不能满足 8~100V 工作电压 (108V 耐压) 的要求。nLDMOS 开态耐压问题成为电路、器件设计的关键。

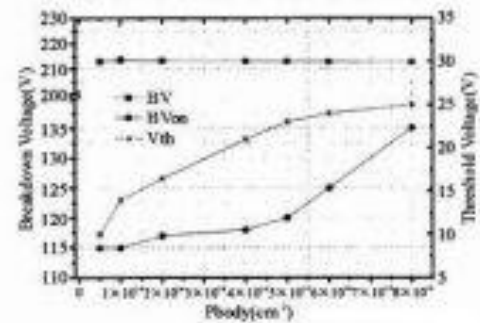
针对 nLDMOS 器件开态耐压低的问题, 有针对性地仿真了沟道长度、多晶硅栅场板长度及体区浓度对开态耐压的影响。图 5 (a) 为 nLDMOS 的关态耐压、开态耐压及阈值与沟道长度 ( $L_{\text{ch}}$ ) 的关系。可以看出沟道长度对器件的开态耐压和关态耐压影响很小。阈值随着沟道长度的增加而增加, 这是由于采用横向双扩散形成沟道, 所以随着沟道长度增加, p 型体区的浓度越来越大, 阈值也就越来越大。图 5 (b) 为 nLDMOS 的关态耐压、开态耐压及阈值与多晶硅栅极场板长度 ( $L_{\text{Pgate}}$ ) 的关系。在栅极场板较长时, 其对阈值和关态耐压影响很小, 当栅极场板缩短到多晶硅栅不能覆盖沟道时, 器件的开态耐压大幅增加。这时阈值也迅速增加。虽然多晶硅栅不能完全覆盖沟道, 但是由于开态时 nLDMOS 的栅漏电压差很大, 所以仍然能够在表面形成反型层沟道。因此, 大幅减短栅极场板能有效提高器件的开态耐压, 但是同时也带来了器件不能有效开启的问题。图 5 (c) 为 nLDMOS 的关态耐压、开态耐压及阈值与体区注入剂量 ( $P_{\text{body}}$ ) 的关系。可以看出增加体区的注入剂量对器件的耐压影响很小。但是随着注入剂量的增加, 体区浓度增加, 所以阈值就增加, 同时器件的开态耐压也随之增加。当体区注入剂量达到  $5e14\text{cm}^{-2}$  时, 阈值增加缓慢, 开态耐压却大幅增加, 所以只能通过阈值上的牺牲来改善 nLDMOS 的开态击穿耐压。



(a) 开态耐压、阈值与沟道长度的关系



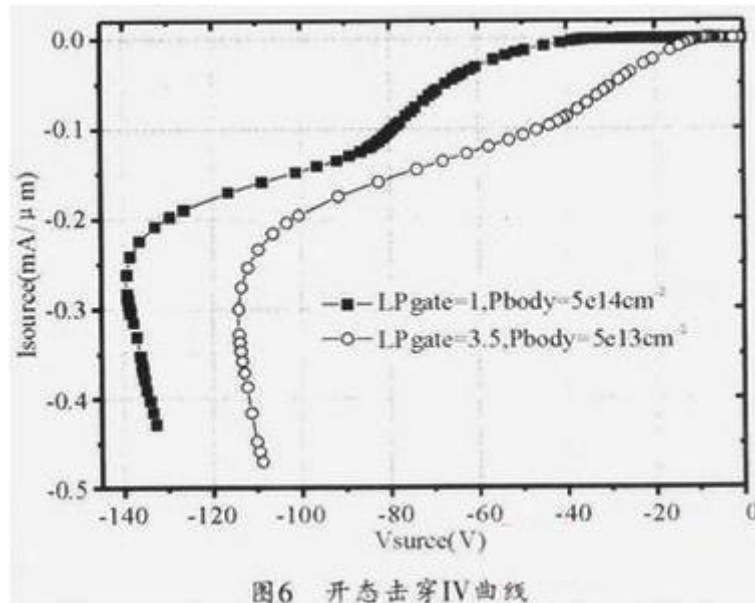
(b) 开态耐压、阈值与栅场板长度的关系



(c) 开态耐压、阈值与栅场板长度的关系

图5 开态耐压

通过以上分析，发现提高 nLDMOS 的开态击穿电压最有效的方法是缩短栅极场板和提高体区注入剂量。这二种方法的实质是提高导通阻抗或降低电流能力。但是对于普通应用的 nLDMOS，电流能力本身就比较 pLDMOS 有优势。当应用到负电源电平位移电路中时，厚栅氧高栅源电压使得 nLDMOS 的电流能力更加突出，但是同时也导致了开态耐压的降低。所以提高 nLDMOS 开态击穿电压就必须降低其电流能力。如图 6 所示，在 nLD-MOS 正常工作时，源端的电压为 -100V，此时饱和电流相差  $0.05\text{mA} / \mu\text{m}$ 。



在缩短栅极场板到  $1\mu\text{m}$ ，提高体区注入剂量到  $5e14\text{cm}^{-2}$  的情况下，在得到 nLDMOS 的阈值电压为  $24\text{V}$ ，关态击穿电压  $215\text{V}$ ，开态击穿电压  $140\text{V}$ ，能够满足  $-100\text{V}$  电压的应用要求。

### 3 结束语

本文设计一种应用于  $8\sim-100\text{V}$  电源的电平位移电路。通过在常规正电源电平位移电路的基础上改变低压控制方式来实现从  $0\sim 8\text{V}$  低压逻辑输入到  $8\sim-100\text{V}$  高压驱动输出的转换。基于此电路结构设计了满足电路应用需求的高压器件。并对高压 LDMOS 进行了优化设计，尤其是高压 nLDMOS 的开态耐压。得到高压 nLDMOS 的关态击穿电压  $215\text{V}$ ，开态击穿电压  $140\text{V}$ ，阈值电压  $24\text{V}$ ；高压 pLDMOS 的关态击穿电压  $200\text{V}$ ，开态击穿电压  $160\text{V}$ ，阈值电压  $-1\text{V}$ 。