

## 基于 SOI CMOS 工艺的 LDO 电路设计

程冰, 赵文欣, 罗家俊

(中国科学院微电子研究所, 北京 100029)

**摘要:** 设计了一种 1.8 ~ 3.3 V 的自偏置 LDO 电路, 无需外加基准电路, 且具有良好的负载调整率和工艺兼容性。该电路采用无需双极型晶体管的基准电路, 并且在负载电压和负载电流之间采用电流倍增电路进行隔离, 减小了负载电流瞬变造成低压差线性稳压器 (LDO) 输出电压的变化, 提高了 LDO 的瞬态精度。在关键器件部分采用匹配结构, 以减小工艺误差对电路性能造成的影响。基于 0.18  $\mu\text{m}$  SOI CMOS 工艺, 用 Hspice 软件进行电路仿真, 用 Cadence 软件进行版图验证。仿真结果表明, MOS 基准电路产生的基准电压温漂为  $5.6 \times 10^{-5}$ , LDO 的最大负载电流为 100 mA, 负载电流瞬变的响应时间小于 1.5  $\mu\text{s}$ , 负载调整率为 0.3%, 整体电路的静态电流为 88  $\mu\text{A}$ , 芯片尺寸为 650  $\mu\text{m} \times 1\ 200\ \mu\text{m}$ 。

**关键词:** 低压差线性稳压器; 带隙基准; 反馈; 电流倍增电路; 绝缘体硅

**中图分类号:** TN402 **文献标识码:** A **文章编号:** 1003-353X (2013) 02-0093-04

## LDO Circuit Design Based on the SOI CMOS Process

Cheng Bing, Zhao Wenxin, Luo Jiajun

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** A design for a 1.8 - 3.3 V self biasing circuit of LDO was proposed. Without additional reference circuit, the LDO has a good load regulation rate and outstanding process compatibility. The LDO uses the reference circuit without bipolar junction transistor, and isolates the load voltage and load current by the current multiplication circuit. The current multiplication circuit reduces the LDO output voltage change caused by the load current transients, improves the transient accuracy of the LDO. In addition, key components of the circuit are in a matching structure in order to reduce the process error impact on circuit performance. Based on the 0.18  $\mu\text{m}$  SOI CMOS process, the circuit was simulated with Hspice software. The layout of this circuit was verified by Cadence software. The simulation results present that the temperature drift of reference voltage is  $5.6 \times 10^{-5}$ , and the maximum load current of LDO is 100 mA. The response time of transient load current is less than 1.5  $\mu\text{s}$ , the ratio of load adjustment is 0.3%, and the static current of overall circuit is 88  $\mu\text{A}$ . The chip size is 650  $\mu\text{m} \times 1\ 200\ \mu\text{m}$ .

**Key words:** low-dropout regulator (LDO); bandgap reference; feedback; current multiplication circuit; silicon-on-insulator

**EEACC:** 1205

## 0 引言

芯片集成化是当今集成电路发展的一个趋势, 将不同的功能模块电路集成于同一芯片, 对电源的

供电提出了挑战。若电源在尽量短的响应时间内提供足够的功耗, 则储能电容会被迫提供负载电流, 从而产生电源电压的瞬态波动, 对所有电路的稳定和功能的实现产生较大影响。因此, 保证电源对负载的响应速度是尤为重要的, 需要电源内部使用相应电路结构以实现负载快速变化的环境中供电的稳定。

**E-mail:** chengbing@ime.ac.cn

本文使用低压差线性稳压器 (low-dropout regulator, LDO) 以提供上述问题的解决办法。LDO 具有结构简单、高速、低功耗、低噪声、稳定性好等优点, 已经在手机、音频设备、蓝牙器件、无线网络以及掌上电脑等各种便携式电子产品中广泛应用。本文所设计的 LDO 采用  $0.18 \mu\text{m}$  SOI CMOS 工艺, 利用绝缘体硅 (silicon-on-insulator, SOI) 结构固有的抗辐照优势减少总剂量和单粒子辐照造成电路门锁和永久损伤, 延长电路的使用寿命<sup>[1]</sup>。

## 1 电路设计

本文设计的 LDO 电路包括三个模块: 基准电压源电路、线性稳压器 (LDO) 电路和电流倍增电路。基准电压源是电路中一个重要的模块, 其电压精度和温度漂移量是衡量基准电路性能的重要指标, 也是后续相关电路功能实现的重要依据。在 BiCMOS 工艺下, 利用晶体管的集电极电流和基极-发射极电压的关系, 基准电压通常采用带有晶体管的带隙基准电路来实现, 此种方法精确度高, 电路稳定性好, 但是 BiCMOS 工艺成本较高。基于现有的 CMOS SOI 工艺, 本文所介绍的基准电压源在不使用双极型晶体管和其他特殊结构的情况下, 实现高精度低温漂的基准电压的供给<sup>[2]</sup>。

### 1.1 基准电压源

如图 1 所示,  $M_1, M_2, R_1$  和  $R_2$  组成负反馈结构电流产生电路, 其作用包括电路的启动和提供恒定的偏置电流。当电源电压出现向下偏移时,  $V_{GS2}$  减小引起  $R_2$  两端压降即  $V_{GS1}$  减小, 导致  $R_1$  两端压降减小, 从而使  $V_{GS2}$  增大, 保证偏置电流的稳定。偏置电流经  $M_3, M_4$  构成的电流镜放大, 为三路电路提供偏置, 其中  $R_3, M_5$  和  $M_6$  形成  $M_7$  的恒定的偏置电压。栅极电压恒定的 NMOS 管在小信号模型下可看做 MOS 管的等效内阻。  $M_7 \sim M_{11}$  为串联连接, 具有相同的恒定的偏/置电流, 且其栅极电压都为恒定的偏置电压, 即  $M_7 \sim M_{11}$  的小信号特征可看作 5 个内阻串联, 其形成的串联电阻随温度升高而增大, 利用此种电路结构, 能够在 A 点形成对地的正温度系数的电压  $V_A$ 。

而  $R_4$  两端分别连接  $M_{12}$  的栅极和源极, 利用饱和区 PMOS 管的源栅电压随温度升高而减小的特性, 能够在  $R_4$  两端形成负温度系数的电压  $V_{GS12}$ 。正负温度系数电压叠加, 在输出端形成的电压为

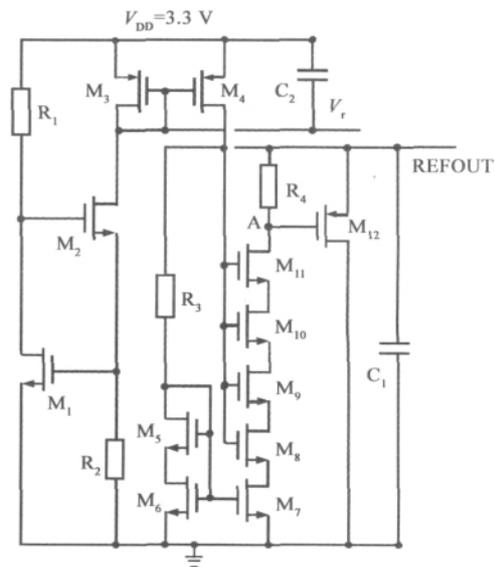


图 1 MOS 基准电路

Fig. 1 MOS reference circuit

$$V_{\text{REFOUT}} = V_A + V_{\text{GS12}} \quad (1)$$

以上产生的两个电压, 随温度变化的特性相反, 经过适当调节叠加于  $M_{12}$  的源极即输出端, 形成零温度系数的基准电压。

### 1.2 LDO 线性稳压器

稳压器的存在, 就是为了使不同负载、频率、电源电压和温度变化等条件下, 产生平稳的供电电压和电流, 保证供电的稳定。而 LDO 电路采用误差放大器、调整管和反馈电阻构成反馈结构, 通过增大误差放大器和调整管的放大倍数, 使反馈环路能够迅速反应, 增大了反馈电压的精度, 同时反馈电阻的精度较高, 从而保证了 LDO 输出电压的精度<sup>[3]</sup>。

如图 2 所示, 本次设计中的 LDO 电路结构, 输入端使用差分放大器, 将基准电压和反馈电压相比较, 电压差值放大后通过控制调整管的栅极, 改变调整管的源漏电流, 这种变化通过电阻网络传递到反馈电压上, 与基准电压的差值继续被放大和反馈, 重复此过程至反馈电压与基准电压相等, 使输出电压稳定于预计的值。此 LDO 电路的输出电压为

$$V_{\text{LDO}} = \frac{R_5 + R_6}{R_6} V_{\text{REFOUT}} \quad (2)$$

图 2 中  $M_{16}$  和  $M_{19}$  用来与差分对管  $M_{17}$  和  $M_{18}$  进行匹配, 可以减少差分对管尺寸的工艺误差, 同时  $M_{16}$  和  $M_{19}$  以及  $M_1$  和  $M_{20}$  分别为同尺寸同偏置 MOS 管, 形成两路偏置用来减小电流镜  $M_{22}$  和  $M_{23}$  漏端的失

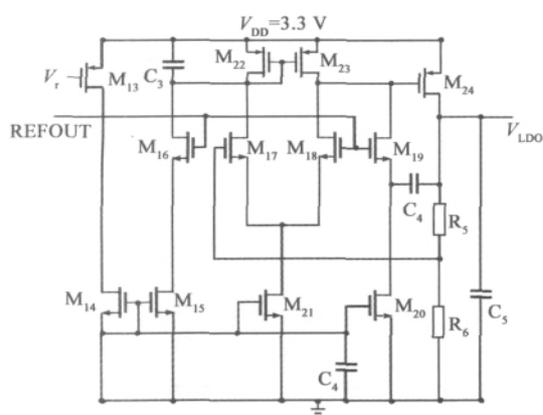


图 2 LDO 电路  
Fig. 2 LDO circuit

调。这种结构比较简单,能在获得高精度电压的同时保证较低的功耗,且利于补偿,采用米勒电容补偿的方法就能够获得足够的带宽<sup>[4-5]</sup>。

### 1.3 电流倍增电路

电流倍增电路可以隔绝输出电流的变化造成的输出电压波动。使用电流倍增电路能够精确复制 LDO 输出的电压,并且能够根据负载需求独立调节负载电流的供给,而不会出现单纯使用 LDO 电路输出存在的问题,即负载情况的变化引起输出电压的瞬时偏移<sup>[6]</sup>。

电流倍增电路的基本结构与 LDO 结构类似,采用差分放大器、功率管  $M_{36}$  和全反馈偏置管  $M_{38}$  形成反馈环,差分放大器的一端连接 LDO 电路的输出电压,另一端连接总电路输出端,将 LDO 的输出电压精确复制到输出端,如图 3。输出电压为

$$V_{out} = V_{LDO} \quad (3)$$

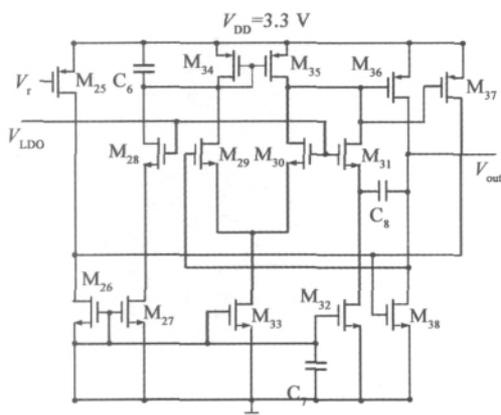


图 3 电流倍增电路  
Fig. 3 Current multiplication circuits

而通过调节  $M_{27} \sim M_{35}$  构成的放大器和功率管  $M_{36}$  的器件尺寸和偏置电流,调节输出电流和反馈速度,提供足够满足负载需求和频率要求的电流,同时增加调整管  $M_{37}$  跟随  $M_{36}$  的电流变化,反馈调节放大器的偏置电流和放大倍数,能够加快负载电流瞬变时电路状态的调整速度。

## 2 仿真结果及版图设计

### 2.1 基准电路仿真结果

本文设计的 LDO 电路基于  $0.18 \mu\text{m}$   $3.3 \text{ V}$  CMOS 工艺实现,根据 Hspice 仿真结果可知,基准电路部分能够在一定范围内实现基准电压的正负温度系数的抵消,在电路正常工作的温度范围内,电路产生的基准电压为  $1.29 \text{ V}$ ,温度漂移系数为  $5.556 \times 10^{-5}$ 。基准电路部分的功耗为  $20.20 \mu\text{A}$ ,如图 4。

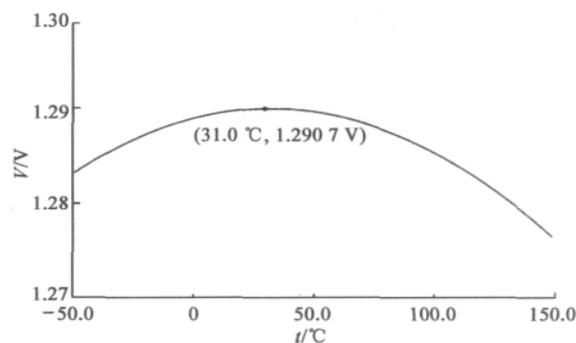


图 4 基准电压的温度特性

Fig. 4 Temperature characteristics of the reference voltage

### 2.2 LDO 电路仿真结果

如图 5 所示, LDO 电路的输出电压为  $1.8 \text{ V}$ ,此部分电路中的反馈环路的增益为  $78.47 \text{ dB}$ ,带宽

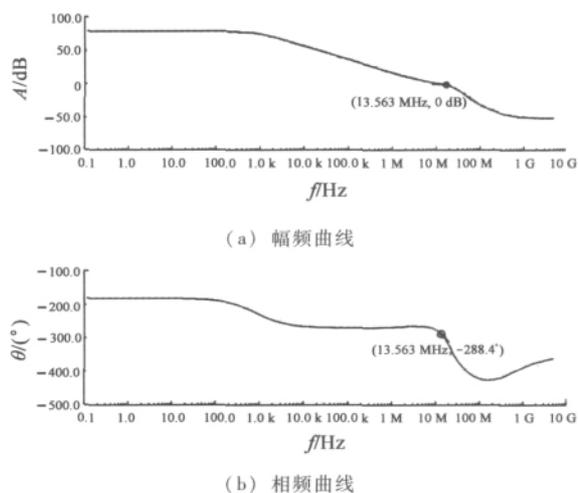


图 5 LDO 电路的交流特性

Fig. 5 AC characteristics of the LDO circuit

为13.56 MHz, 相位裕度为 71.60°。反馈环路的稳定性和高增益, 保证 LDO 电路部分能够实现将基准电压转化为1.8 V的输出电压的功能, 且在负载电压发生偏移时, 反馈环路能够迅速调节, 使输出趋于此稳态。此 LDO 电路部分的功耗为23.31 μA。

### 2.3 电流倍增电路仿真结果

如图 6 所示, 电流倍增电路的输出电压为 1.81 V, 环路增益为118.51 dB, 带宽为2.13 MHz, 相位裕度为 71.63°。此部分电路中的环路裕度充分, 带宽有所降低, 但是对于其工作环境所需, 带宽是充分满足的。其高增益和全反馈特性, 以及调整管 M<sub>37</sub> 的反馈作用, 更能保证反馈迅速。电流倍增电路部分的功耗为43.96 μA。

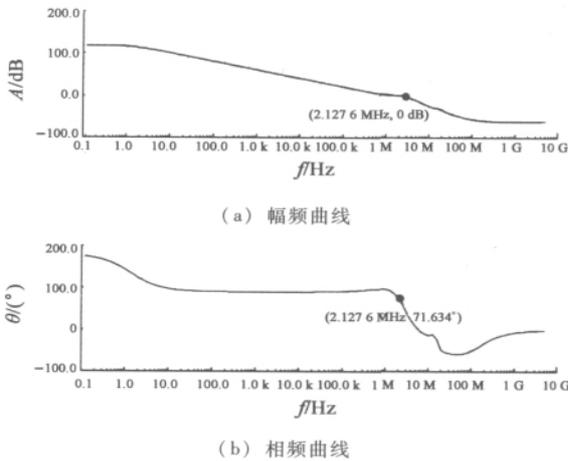


图 6 电流倍增电路的交流特性

Fig. 6 AC characteristics of the current multiplication circuit

### 2.4 整体电路仿真结果

图 7 是负载电流瞬时增大到100 mA时, 整体电路输出电压的变化, 可知整体电路的负载响应时间小于1.5 μs, 输出电压偏移0.005 V, 负载调整精度为 0.3%。图 8 是电源电压从2 ~ 4.6 V, 即 3.3 V [-1.3, +1.3] 变化时输出电压的变化曲

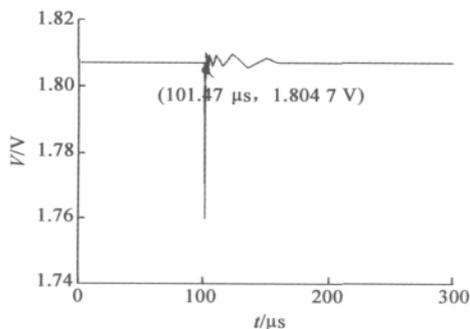


图 7 整体电路的负载调整曲线

Fig. 7 Load adjustment curve of the overall circuit

线, 可知线性调整精度为 1.2%。图 9 是整体电路的电源抑制比仿真结果, PSRR 为 -42.17 dB。

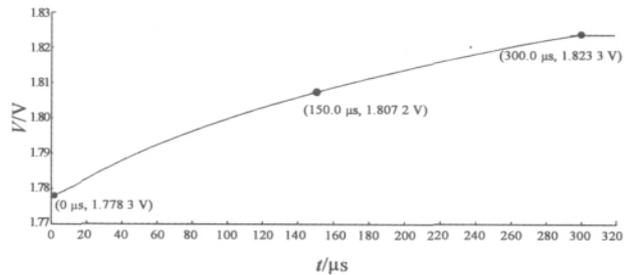


图 8 整体电路的线性调整曲线

Fig. 8 Linear adjustment curves of the overall circuit

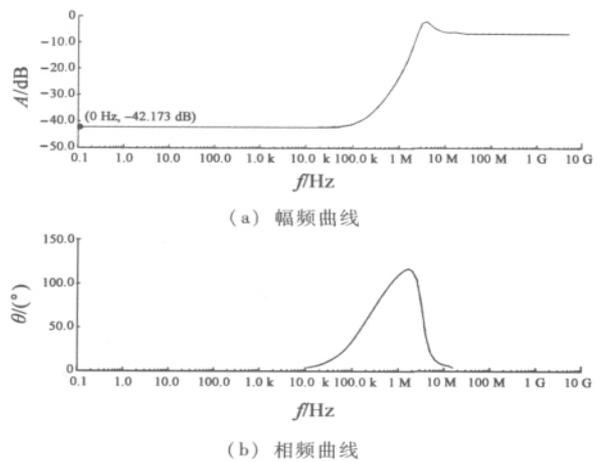


图 9 整体电路的电源抑制曲线

Fig. 9 Power supply rejection curves of the overall circuit

### 2.5 整体版图

本次设计的电路充分考虑其为 SRAM 供电的实际用途, 在工作频率要求允许的条件下, 保证较好的相位裕度, 以此保证电路工作的稳定。电路的总功耗为87.97 μA, 满足功耗小于100 μA的设计要求。电路的芯片尺寸为650 μm × 1 200 μm, 示意图如图 10。

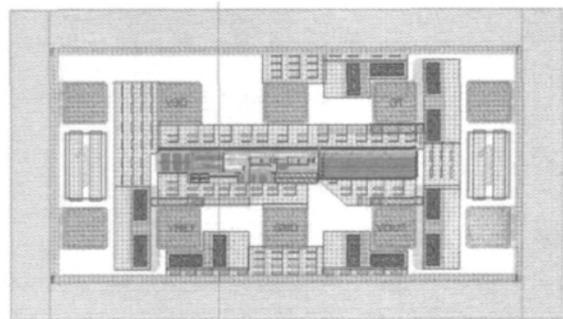


图 10 电路的总体版图

Fig. 10 Layout of the overall circuit

(下转第 109 页)

- [5] CRF24060 qualification document. CREE product data [K]. 2007: 1-10.
- [6] 李亮, 潘宏菽, 默江辉. S 波段系列 SiC MESFET 器件研制 [J]. 微纳电子技术, 2008, 45 (6): 322-333.
- [7] 商庆杰, 潘宏菽, 陈昊. SiC MESFET 工艺技术与器件研制 [J]. 半导体技术, 2009, 34 (6): 549-552.
- [8] DENG X C, LI L, ZHANG B, et al. High-power density SiC MESFETs with multi-recess gate [J]. Electronics Letters, 2011, 47 (8): 517-518.
- [9] 默江辉, 王勇, 李亮. SiC MESFET 伽马电离总剂量辐照特性研究 [C] // 第十届全国抗辐射电子学与电磁脉冲学术年会. 沈阳, 中国, 2009: 86-89.
- [10] 默江辉, 王丽, 刘博宁. 大功率 SiC MESFET 内匹配技术及测试电路研究 [J]. 半导体技术, 2010, 35 (7): 658-668.
- [11] 默江辉, 李亦凌, 王勇. S 波段 88 W SiC MESFET 推挽放大器研究 [J]. 微波学报, 2010, 26 (2): 78-96.

(收稿日期: 2012-07-10)

## 作者简介:



李亮 (1980—), 男, 吉林人, 工程师, 主要研究方向为化合物半导体微波功率器件设计及工艺开发, 近年来承担了多项相关 SiC 微波功率器件方面的课题, 发表论文多篇, 并申请国家发明专利多项。

(上接第 96 页)

### 3 结论

传统的 LDO 电路的结构存在负载调整率问题, 负载电流突然增大时引起输出电压下降, 造成供电的不稳定, 并且 LDO 使用的带隙基准使用双极型晶体管, 制约了功耗的下降和工艺的兼容。此外针对于本设计需求中电路抗辐照可靠性的目标, 在此前提下, 本文基于  $0.18 \mu\text{m}$  SOI CMOS 工艺设计了一种纯 MOS 电路的基准电路和负载电流独立调节的 LDO 电路。根据仿真结果, 该电路功耗、频率范围、负载和线性调整精度、基准温度漂移率等性能均满足项目设计要求, 并完全兼容于 CMOS 工艺, 实现了独立调节负载电流的变化, 提高了负载调整率, 并基于 SOI 工艺无闩锁和抗单粒子能力的特殊优点, 延长了电路的使用寿命。

#### 参考文献:

- [1] RINCON-MORA G A. LDO 模拟集成电路设计 [M]. 谭曼, 等译. 北京: 科学出版社, 2012: 457-541.
- [2] RAZAVI B. 模拟 CMOS 集成电路设计 [M]. 陈贵灿, 译. 西安: 西安交通大学出版社, 2003: 413-415.
- [3] RINCON-MORA G A, ALLEN P E. A low-voltage, low quiescent current, low drop-out regulator [J]. Solid-State Circuits, 1998, 33 (1): 36-44.

- [4] LEUNG K N, MORK P K T. A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation [J]. Solid-State Circuits, 2003, 38 (10): 1691-1701.
- [5] FAN X H, MISHRA C, SANCHEZ-SINENCIO E. Single miller capacitor frequency compensation technique for low-power multistage amplifiers [J]. Solid-State Circuits, 2005, 40 (3): 584-592.
- [6] LEUNG K N, NG Y S. A CMOS low-dropout regulator with a momentarily current-boosting voltage buffer [J]. Transactions on Circuits and Systems, 2010, 57 (9): 2312-2319.

(收稿日期: 2012-08-16)

## 作者简介:



程冰 (1988—), 女, 天津人, 硕士, 主要研究方向为 SOI/CMOS 高性能抗辐照集成电路设计;

罗家俊 (1973—), 男, 江西人, 博士, 研究员, 主要研究方向为深亚微米集成电路低功耗设计技术、高性能深亚微米数模混合集成电路设计技术、智能功率集成电路设计技术等。