

嵌入式数字信号并行处理技术研究

邓 豹¹ 任喜梅²

(1. 中航工业西安航空计算技术研究所 陕西 西安 710068; 2. 空军 95935 部队 黑龙江 哈尔滨 150000)

摘 要: 推动嵌入式数字信号并行处理技术发展主要涉及三个领域的技术: 处理器技术、系统的拓扑结构和互连协议。对三项关键技术相关领域技术发展的内容、技术优缺点、技术应用和发展趋势进行了分析。以此为基础, 提出了某嵌入式数字信号并行处理模块的设计实现方案。系统具有高速信号处理能力、高速数据传输能力、互连拓扑结构灵活、易扩展、支持容错/重构等特性。

关键词: 信号处理; 数字信号处理器; 互连体系结构; 高速串行总线

中图分类号: TP273 **文献标识码:** A **文章编号:** 1671-654X(2012)03-0115-04

Research on Parallel Processing Technology of Embedded Digital Signal

DENG Bao¹ , REN Xi-mei²

(1. Xi'an Aeronautics Computing Technique Research Institute AVIC Xi'an 710068 ,China;

2. Air Force of 95935 Troops Harbin 150000 ,China)

Abstract: The paper raises three key technologies of the embedded signal processing development: processor technology ,system topology ,high-speed interconnect protocol. The article elaborates on the technical development ,technological advantages ,disadvantages and applications of the three key technologies' related fields. Based on the analysis ,this paper proposes a design of the embedded digital signal parallel processing module. The system has the characters of high signal processing performance ,high data transfer capability ,supporting fault-tolerance and reconfiguration ,etc.

Key words: signal processing; digital signal processor; interconnect architecture; high speed serial bus

引言

嵌入式数字信号并行处理技术中,特殊的应用环境要求信号处理具备高性能、强实时、高可靠性、低功耗等特点。高度综合化的发展需求对嵌入式信号处理技术提出了更高的要求。新一代的嵌入式数字信号并行处理技术要求具备高速处理能力、高速的数据传输能力和灵活的互连拓扑结构。从嵌入式数字信号并行处理技术发展的历程和发展趋势分析,推动嵌入式信号处理技术发展主要涉及三个领域的技术:处理器技术、系统的拓扑结构和互连协议。本文将就这三个方面进行分析,并结合分析的结果,简要阐述某嵌入式数字信号并行处理模块的设计实现方案。

1 关键技术分析

1.1 处理器技术

现代嵌入式信号处理技术中,处理器件大致分为

三类:即通用数字信号处理器(DSP)、基于 AltiVec 的 PowerPC 处理器和基于大规模可编程控制逻辑(FPGA)的处理器件。

DSP(Digital Signal Processor)是专为数字信号处理设计的处理器,DSP除了具备普通处理器的高速运算和控制功能外,在体系结构、指令系统和指令流程上作了针对实时数字信号处理的优化,DSP针对嵌入式应用的另一个显著优势是其低功耗技术。DSP的功耗性能比符合 Gene 定律,即 DSP 功耗性能比每隔 5 年将降低 10 倍。这在功耗要求非常严格的嵌入式领域是非常重要的。

基于 AltiVec 技术的 PowerPC 处理器最显著的优势是其强大的运算处理能力,AltiVec 处理器不仅可应用于定点运算领域,还可用于浮点运算领域,非常适合嵌入式信号处理强实时性和高速运算的要求。另外,AltiVec 处理器的开发环境较之专用 DSP 要好,并且有很好的实时操作系统的支持。但是 AltiVec 处理器较

收稿日期:2011-05-10 修订日期:2011-09-27

基金项目:总装备部预研基金项目资助(51316020202)

作者简介:邓 豹(1979-),河北辛集人,硕士,工程师,主要研究方向为机载嵌入式信号处理技术。

之 DSP 处理器 ,其功耗和体积都较大。

FPGA(Field Programmable Gate Array) 即现场可编程门阵列。随着 FPGA 规模扩展、成本下降、性能提高 ,其高处理能力和灵活可编程性的优势得到充分的体现 ,FPGA 也成为数字信号处理器的一种新选择。FPGA 具有超高的处理速度 ,FPGA 可以并行工作以完成在其他器件上只能顺序执行、需要多个周期才能完成的工作; FPGA 提供集成的软处理内核和专用处理硬核 ,如内嵌的 PowerPC440 硬核和信号处理专用 XtremeDSP 模块等 ,使 FPGA 具备了实现软硬件联合系统的能力; FPGA 提供丰富总线协议的 IP 核 ,可以方便地实现各种总线协议; FPGA 内部集成了能实现高速数据收发的硬件资源 ,可以实现 Gb 级数据的高速串行收发。

从主要信号处理器厂商的产品规划路线图分析 ,嵌入式信号处理器的发展呈现出以下趋势:

1) 通过采用 nm 级的工艺来提高 CPU 主频 ,降低功耗 ,提高处理速度。TI 公司的 TMS320C6678 单处理器内核的速度已经达到 1.25 GHz ,Freescale 公司的 MPC8641 处理器采用 e600 高速内核 ,主频可以达到 1.5 GHz。

2) 采用多核架构。随着半导体工艺特征尺寸达到 nm 级 ,功耗、封装能力成为制约系统性能进一步提高的瓶颈。工艺技术的发展要求处理器采用分布的、并行的结构 ,在高性能低功耗暂时难以解决的情况下 ,处理器的生产商转而采用多核的处理器结构。TI 公司的 TMS320C66678 DSP 中 ,集成了 8 个 1.25 GHz 的 C66x 处理内核 ,Freescale 公司的 QorIQ P4080 处理器集成了 8 个 1.5 GHz 的 e500 高速处理内核。多核处理器技术是当前处理器技术发展的主流。

3) 为了提高处理器的通信带宽 ,一方面 ,提高片内 Cache 的容量 ,另一方面 ,片内直接集成高速通讯接口。例如 ,TMS320C66678 在片内集成了 RapidIO

Gen2、PCI Express Gen2、Gigabit 以太网高速通信接口和 64 位的 DDR3 存储接口。MPC8641D 处理器集成了 RapidIO、PCI Express、Gigabit 以太网接口等高速通信接口和 DDR2 存储器接口。

针对不同的特点 ,信号处理器适合不同的应用领域。嵌入式实时信号处理系统中 ,前端信号预处理算法处理的数据量大 ,处理速度要求高 ,但运算结构相对比较简单 ,适用于 FPGA 硬件实现 ,可以同时兼顾速度及灵活性的要求。后端信号处理算法的特点是所处理的数据量较前端少 ,但算法的控制结构复杂 ,适于采用运算速度高、寻址方式灵活、通信机制强大的 DSP 和 PowerPC 处理器来实现。

1.2 互连架构

嵌入式信号处理技术不单以高性能信号处理器件的升级而推动 ,更多体现在信号处理的系统架构、互连技术等方面的创新发展。

处理器与外设间的连接传统上采用共享总线 ,而且常常是分层总线 ,典型的总线结构如 PCI 总线、VME 总线等。传统的并行总线主要通过提高系统频率、增加接口宽度、并行流水操作、允许无序传输等方式来提高总线性能。但传统总线互连技术已达到了极限性能。互连通信问题已经成为制约嵌入式系统整体性能提高的瓶颈。

从互连技术的发展方向上来看:以串行 I/O 取代源同步并行 I/O ,以差分方式取代单端方式 ,以 Point-to-Point 方式代替 Big Pipe 方式 ,以 Switch Fabric 代替共享总线是发展趋势。

1) 差分方式取代单端方式。差分信号传输方式比单端传输方式对共模输入噪声有更强的抵抗能力 ,电磁辐射要小得多;差分方式采用恒流源驱动模式 ,不易产生尖峰 ,线上噪声小 ,功耗几乎不会随频率变化;差分方式特有的低摆幅特点 ,使提高数据传输率成为可能 ,并为进一步降低功耗提供了空间。

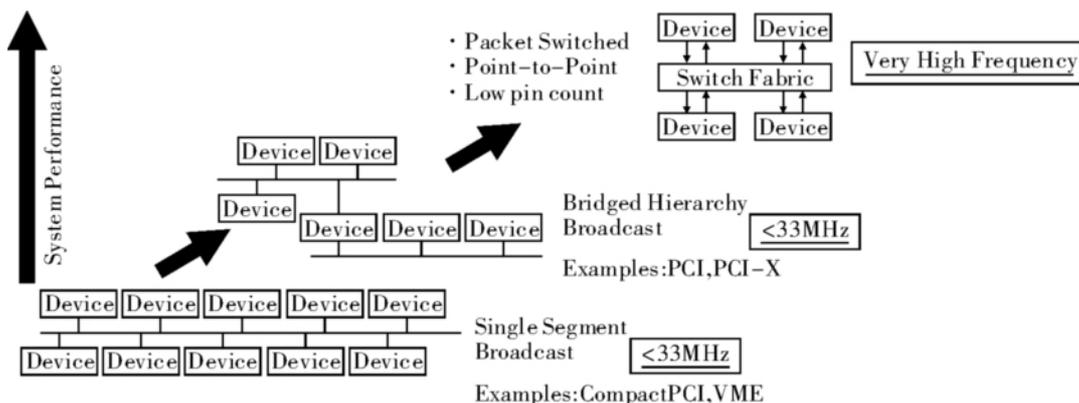


图 1 系统互连拓扑结构的发展趋势图

2) Point-to-Point 方式代替 Big Pipe 方式。点对点 (Point-to-Point) 的互连方式链路上只有两个设备, 对链路来讲负载固定并且较小, 时钟频率可以进一步提高, 而且避免了总线仲裁的问题, 传输效率很高。

3) Switch Fabric 替代共享总线。Switch Fabric 是利用新一代开关器件结合分组交换技术实现的一种交叉开关网络, 系统中多个点到点的通信链路被组织在一起, 最终能够实现所有芯片或模块间的任意互连和并发传输, 系统带宽从而成倍的增加。

图 1 简要描述了系统互连拓扑结构的发展趋势。

尽管传统的并行总线遇到诸多方面的挑战, 但从嵌入式系统互连结构的现状和近期的发展情况看, 串行开关结构的蓬勃发展并不意味着系统结构中会彻底抛弃传统的并行总线。为了保持与传统总线的硬件兼容性, 传统的并行总线也在不断地升级完善, 在保留原有并行信号基础上, 引入高速串行互连技术, 提高系统的传输带宽。目前 PICMG 组织和 VITA 组织已经为主流的开关互连技术的应用制定了各自的工业标准。

1.3 高速互连协议

技术和市场的双重动力推动了互连技术及体系结构的重大变革, 相继涌现了 RapidIO、PCI Express、StarFabric、InfiniBand 等一系列高性能串行互连协议。这些技术采用点对点交换式总线来设计系统的互连构架, 代表了新型总线的发展方向, 在应用领域方面既有交叉又各有侧重。

从应用领域分析, InfiniBand 的目标应用是系统域网络 (SAN) 互连, InfiniBand 更多的是直接与作为存储器网络技术的光纤通道互连或基于以太网的系统域网络技术。PCI Express 虽然具有某些与 RapidIO 相同的

特征, 但将其视为 PCI 总线点到点版本更为恰当, 从软件的观点来看, 可以维持在桌面计算机市场上非常重要的与 PCI 架构的互连兼容性。RapidIO 技术属于系统内部互连技术, 应用于多器件紧耦合的工作环境, 其高带宽、低延时、高效率及高可靠性的优点为高性能的嵌入式系统的内部互连通信提供了良好的解决方案。图 2 为高速串行总线的应用领域示意图。

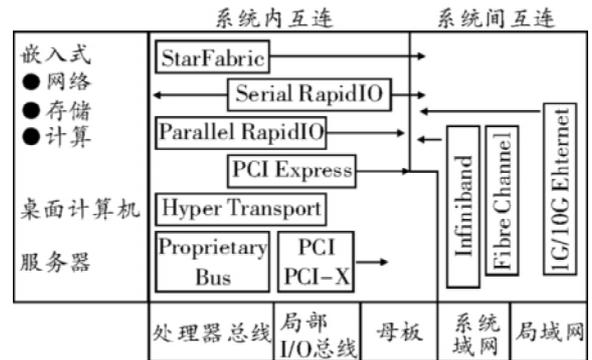


图 2 几种高速串行总线的应用领域示意图

2 某高速信号处理模块的设计

通过对嵌入式数字信号并行处理技术的分析, 新一代的嵌入式并行信号处理技术要求采用高性能信号处理器件来提高系统的处理性能, 采用高速串行互连协议来提高系统的传输性能, 采用标准系统互连拓扑架构来满足系统升级性和扩展性的要求。

通过对嵌入式信号处理三项关键技术分析, 本文提出了嵌入式数字信号并行处理技术的一种实现方案。图 3 为嵌入式数字信号并行处理模块的结构框图。

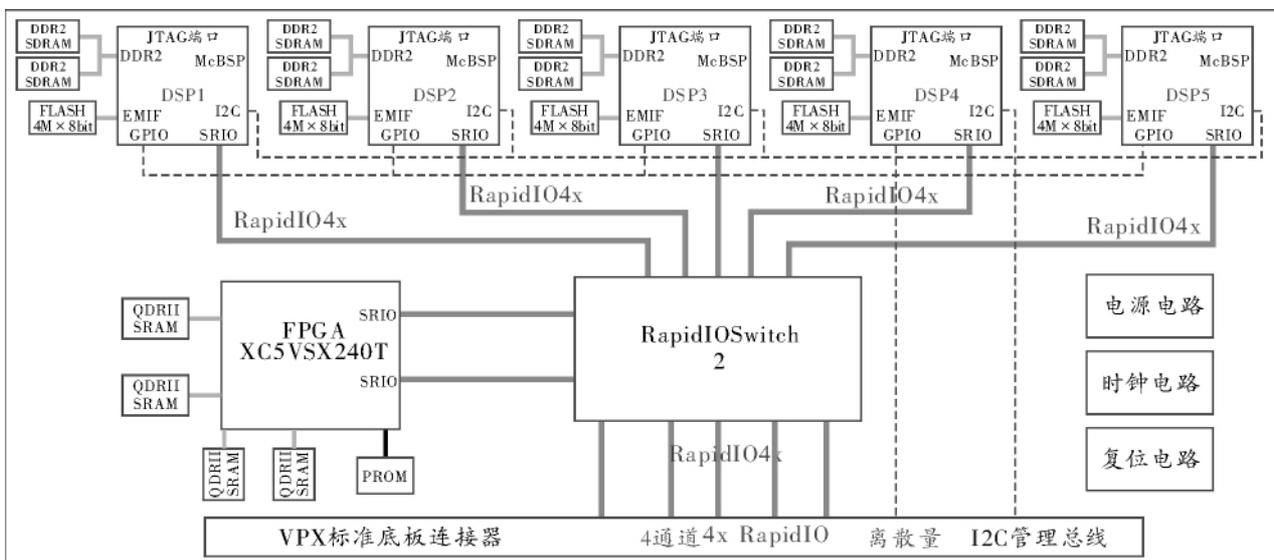


图 3 嵌入式数字信号并行处理模块的结构框图

2.1 模块功能

模块上处理器件采用 FPGA 和 DSP 的方式实现。采用 1 片 Xilinx 公司的 XC5VSX240T FPGA 来实现前端信号的预处理和高速接口控制逻辑。该 FPGA 内含 1 056 个信号处理专用的 DSP58E Slices 处理硬核, 可以通过逻辑控制以高速流水的方式运算来满足前端大规模信号预处理的要求。同时, 该 FPGA 通过 RapidIO IP 核实现 2 路对外的 4x、2.5 Gb/s 的 RapidIO 接口, 连接到 RapidIO 交换开关上。FPGA 为信号处理通道配置独立的 4 路 QDRII SRAM 用于处理数据的缓存。

模块上 DSP 处理通道由 5 片 TI 公司高性能 DSP TMS320C6455 实现, 单片工作频率 1 GHz, 可以实现 8 000 MIPS 的处理性能。该 DSP 内嵌 RapidIO 接口通过交换开关实现高速互连通信。每片 DSP 配置 512 MB 的 DDR2 SDRAM 存储器, 用于应用程序运行和信号处理数据的缓存。DSP 外接 FLASH 存储器用于存储上电初始化程序和应用程序。每路 DSP 通过 I2C 接口连接温度监控芯片, 监控模块的工作温度。模块上主 DSP 通过 I2C 总线输入底板, 实现 VPX 标准规定的 SMA 系统管理功能。每个 DSP 通过 McBSP 接口对外输出 1 路 RS232 信号, 用于调试时状态显示。模块使用 JTAG 链连接各 DSP 处理器, 用于在线调试。

信号处理模块上选用 Serial RapidIO™ 技术为高速互连协议, 用 2 片 RapidIO 交换芯片级联构建全互连的通讯网络, 实现模块内、模块间、系统间三个层次的高速全互连传输。2 片 RapidIO 交换芯片实现 16 个 4x 端口的高速 RapidIO 互连, 分别连接 5 片 DSP 处理器, 2 路 FPGA 的 RapidIO 端口, 对外输出 5 路 RapidIO 接口与外部系统模块互连。2 片交换芯片间通过 2 路 4x 的 RapidIO 接口互连。

信号处理模块系统参照 VITA 组织最新的 VPX 和 Open VPX 标准设计。VPX 技术将最新的总线和串行开关技术相融合, 同时标准中加入了加固性和温度管理等功能, 可以极好地满足工业控制和军事防御的需要, 以确保更长的生命周期。

2.2 模块 RapidIO 传输性能

信号处理模块以高性能 DSP 加 FPGA 并行工作满足系统处理性能要求, 采用高速 Serial RapidIO 交叉开关技术构建互连体系满足系统传输带宽的要求。模块上 RapidIO 的传输性能成为评价模块整体性能的关键因素。

为了确保测试结果的正确性, 首先测试模块上 RapidIO 信号的传输质量, 剔除因信号传输质量所造成的重传等带来的带宽损失, 图 4 为 RapidIO 4x 传输, 通道速率 3.125 Gb/s 时 lane 0 的眼图和抖动测试图例。

从测试结果看, 平台上 RapidIO 的信号传输质量完全满足要求。

测试结果: 信号处理模块上 RapidIO 接口在 3.125 Gb/s × 4 NWRITE 方式单向传输时, 最大的实际数据传输带宽为 765 MB/s; 在 2.5 Gb/s × 4 NWRITE 方式单向传输时, 最大的实际数据传输带宽为 613 MB/s; 在 1.25 Gb/s × 4 NWRITE 方式单向传输时, 最大的实际数据传输带宽为 307 MB/s 左右。

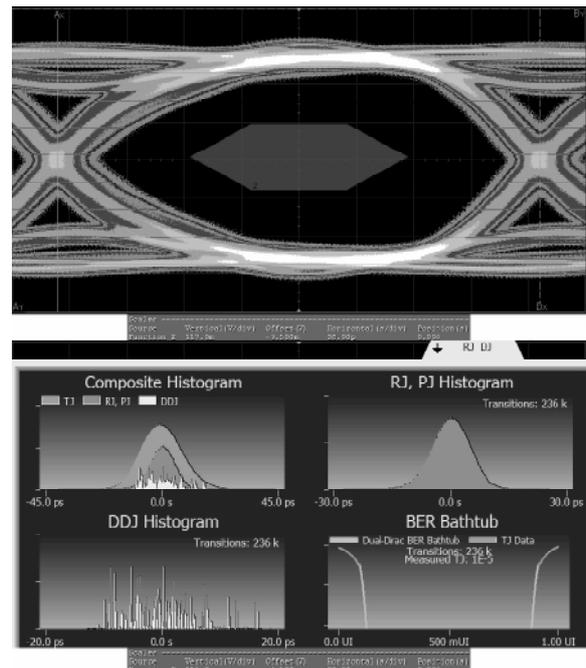


图 4 RapidIO 4x 传输, 通道速率 3.125 Gbps 时 lane 0 的眼图和抖动测试图例

3 结束语

从嵌入式数字信号并行处理技术发展的历程和发展趋势分析, 推动嵌入式信号处理技术发展主要涉及三个领域的技术: 处理器技术、系统的拓扑结构和互连协议。本文就这三项关键技术相关领域技术发展的内容、技术优缺点、技术应用和发展趋势进行了简要分析。以此为基础, 提出了某嵌入式数字信号并行处理模块的设计实现方案。该系统具有高速信号处理能力、高速数据传输能力、互连拓扑结构灵活、易扩展、支持容错/重构等特性, 能够满足多通道、多任务的嵌入式信号并行处理的要求, 具有良好的应用前景和发展空间。

(下转第 122 页)

出信息转换为用户所需要的形式^[5]。

5) 显示输出模块

测试系统的显示输出模块包括数据库管理和报告自动生成两部分。数据管理部分由数据库接口和数据库管理软件组成,它将每次试验中的各种数据以数据库的格式保存和管理,便于试验数据的存储和读取,为其他数据库的调用和数据的传递提供接口,同时系统还可将出错信息存放到数据库中。

数据库管理软件接收来自测试软件和主控计算机的数据,对其进行综合后,完成自动生成试验报告等工作。数据分析软件通过数据库接口有效管理记录的试验数据,并将经过计算的二次量存入数据库,供以后分析参考。使用标准格式或用户要求的格式自动生成试验报告,可避免人工操作带来的繁琐、费时以及随机错误。

图 6 是自动测试系统的软件测试流程图。

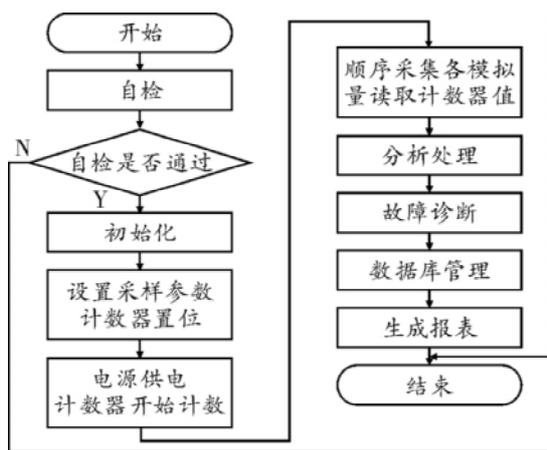


图 6 自动测试系统软件测试流程图

自动测试系统软件的操控方式有两种:自动功能测试和单独功能项测试。当测试设备工作在自动功能测试方式时,测试程序自动进行设备自检并检查 UUT 是否连接正确,检查结束后提示结果,接着自动按顺序执行全部功能测试项。在自动进行每项功能测试的过程中,当前测试的详细信息实时显示于测试状态信息窗口中。当测试设备工作在单独功能项测试方式时,

根据操作者的选择,对一个或几个测试项进行测试,当前测试的实时信息也将在测试状态信息窗口中显示。

功能测试项的设计应考虑正常情况的测试和异常/边缘情况的测试两个方面。在设计异常/边缘测试时,需要在测试需求和测试耗费之间进行权衡,选择必要的异常注入测试^[6]。

3 结束语

在自动测试技术及相关标准迅速发展完善的黄金时代,PXI 总线技术将 PCI 技术在测控领域扩展成适合于测试测量与数据采集应用的电气、机械和软件规范,实现了计算机技术与测控技术的完美结合,从而诞生了新的虚拟仪器体系结构规范^[7],它为工程师们在各种应用环境下构建灵活高效的测试测量和数据采集系统提供了一条便捷的途径。本文介绍的自动测试系统以 PXI 总线技术为核心,通用化和标准化的设计思想贯穿到了每一个硬件和软件开发环节。目前该设备已投入使用,在使用过程中运行稳定可靠、测试效率高、使用维护方便。

参考文献:

[1] 李宝安. 自动测试系统(ATE)软件的发展及关键技术[J]. 测控技术 2003 22(1):1-4.
 [2] 李行善,于劲松. 自动测试技术系统集成技术[M]. 北京:电子工业出版社 2004.
 [3] 孙洪拓,王长青,冯宇石,等. 控制设备的可靠性设计方法和实施途径[J]. 光电技术应用 2006 21(1):62-66.
 [4] 李云松,任艳君. 智能诊断技术发展综述[J]. 四川兵工学报 2010 4(31):122-125.
 [5] 高峰,孙时珍,曲建岭. 人工智能在故障诊断中的应用[J]. 科技信息 2010 23:63-64.
 [6] 刘金甫. 国外航空电子 ATE 体系结构研究[J]. 测控技术 2002 21(1):5-8.
 [7] 李静芳. VXI、PXI 和 LXI,谁执牛耳[J]. 电子技术 2005 (7):4-6.
 [8] 孙晓辉,马秋,黄勇,等. 基于 1553B 总线某型导弹测试系统设计[J]. 航空计算技术 2011 41(4):82-84.

(上接第 118 页)

参考文献:

[1] RapidIO Trade Association. RapidIO Interconnect Specification Rev. 1.2 [EB/OL]. <http://www.rapidio.org> 2002.06.
 [2] VME bus International Trade Association. ANSI/VITA Standards [EB/OL]. <http://www.vita.com> 2006.
 [3] Sam Fuller. RapidIO - The Embedded System Interconnect

[M]. USA: John Wiley & Sons Ltd 2005.
 [4] Ian Moir, Allan Seabridge, Military Avionics Systems [M]. USA: John Wiley & Sons Ltd 2006.
 [5] 李琼,郭御风,刘光明,等. I/O 互联技术及体系结构的研究与发展[J]. 网络与通信 2006 32:93-95.
 [6] 吴琳. 基于 WKR 结构片上多处理器系统任务分配策略[J]. 航空计算技术 2011 41(5):113-117.