

## 基于 FPGA 和 USB2.0 的高精度数据采集系统设计

现代电子侦查技术要求能够对外部模拟信号进行精确提取和分析,从而对数据采集的精度提出了很高的要求,本文提出了一种以 FPGA 作为主控制器的高精度 500M 数据采集系统设计方法,详细地阐述了各硬件平台的具体构成。最后利用 QUARTUS 内部的嵌入式逻辑分析仪 (SignalTap ii) 可以观察到被采集到的信号并且对数据的有效位数及性能进行简略分析。

### 0 引言

随着数字通信技术的逐步发展,高速数据采集系统已经逐步取代传统的数据采集系统,其广泛应用在众多场合。新一代可编程逻辑器件 FPGA 都拥有较多的 IO 端口以及强大的数据处理能力,这也为高速高精度数据采集系统的研发提供了基础条件。

### 1 工作原理

本文设计的数据采集卡硬件原理框图 1 如下所示。

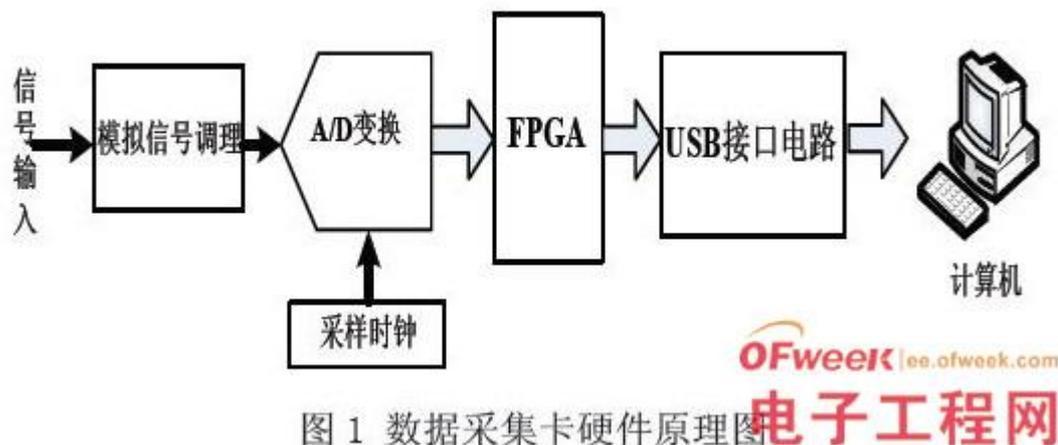


图 1 数据采集卡硬件原理图

如图 1 所示,前端模拟电路将外界的模拟信号转化成为 ADC 能够接收到的数据格式;高速时钟电路提供 500MHz 的高速时钟,ADC 在此时钟作用下,进行 ADC 变换。在整个数据采集卡中,FPGA 是进行采集控制,以及数据接收的核心。FPGA 按照 1 :4 的比率对将接收到的 500MHz 的 LVDS 差分数据流进行分流和降速。

数据分流之后由于数据速率与 USB 接口数据传输速度不同,所以还要进行 FIFO 缓冲。FIFO 的写时钟与串行收发器保持同步,当 FIFO 缓冲器被写满之后,由 FPGA 读取 FIFO 缓冲器中的数据,并且将数据通过 USB 接口芯片传输到上位机中进行显示或者存储。

## 2 系统设计

数据采集卡主要包括高速 A/D 转换模块、FPGA 主控模块和 USB 接口电路三个模块。

### 2.1 高速 A/D 转换模块

ADC 芯片作为模数转换的核心,设计采用 TI 公司推出的 ADS5463,其采用流水线型结构,最高采样速度 500MSPS,精度 12 位,拥有高速差分数字接口 LVDS.

对于高速 ADC 采样电路,模拟信号输入接口的设计不仅要保证足够的传输带宽而且要完成将单端的输入信号变成差分信号的功能。本设计使用射频变压器将单端输入转换为差分输入,并通过 TI 公司生产的可级联中频放大器 THS9001 芯片实现中频信号放大的功能。

在 A/D 转换模块中,采样始终的质量非常重要。在本文的设计中,采用了锁相环芯片 CDCM61001 生成采样时钟,并利用 FPGA 内部 PLL 资源倍频生成采样时钟作为备用的采样时钟。本设计是用 25M 的时钟倍频 20 倍生成 500M 以 LVPECL 格式的差分电平形式。

高速 A/D 转换模块的原理图如图 2 所示:

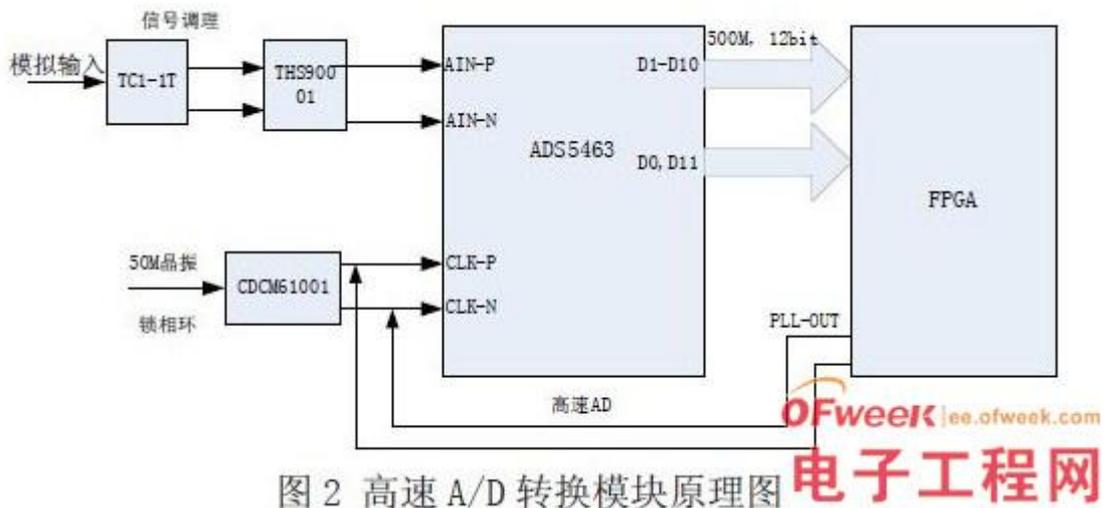


图 2 高速 A/D 转换模块原理图

### 2.2 FPGA 主控模块

FPGA 是整个采集模块的控制核心,其主要的功能是接收数据,并且对数据进行降速、分流以及缓冲,并且将数据通过 USB 接口传输给上位机。在本文的设计设计中,选择 Cyclone II 系列的 EP2C35F672C6,它属于一款中等密度的 FPGA,相比较于 ASIC 低得多的成本在单片机上实现复杂的数字系统。

设计使用 FPGA 的 Bank3 和 Bank4 接收来自 ADS5463 输出的高速 LVDS 数据，包括 DRY（数据输出准备好）以及 OVR（数据溢出位）。Bank5 和 Bank6 用于 USB 接口芯片的控制，其余 BANK 留作扩展之用。

在 FPGA 主控模块中，AD 输出信号和时钟信号被传输到 FPGA 中的 DIFFIO\_RX p/n 通道上。其中 p 表示正差分通道信号，而 n 表示负差分通道信号。在这部分的软件设计中，使用 altvds 模块接收 ADC 的输出数字信号、始终信号，并且利用 DMUX 对数据流进行串行-并行转换，以方便对输入信号的后续操作。

数据流在 DMUX 模块的仿真结果如图 3 所示。

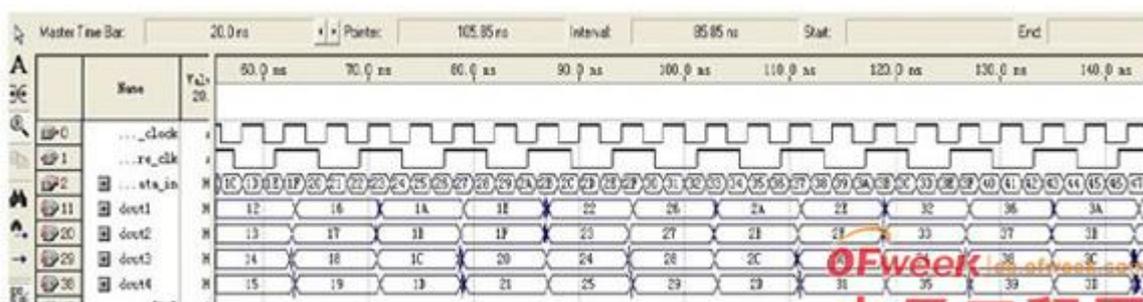


图 3 altvds 模块的仿真波形图

OFweek 电子工程网

如图 3 所示,Data\_in 是一路 500MHz 的数据流,而 dout1, 2, 3, 4 为 Data\_in 通过 DMUX 进行降速和分流之后的结果。从图中可以看出, 500MHz 的高速数据流经过 DMUX 降速、分流之后的输出较干净、平滑, 在高速状态下, 达到这种结果是比较理想的, 对系统设计上也是很有利的。

经过 DMUX 降速之后的数据流已经达到了 FPGA 的处理要求, 但是由于 FPGA 的处理速度和与上位机相连的 USB 接口速率不匹配, 为此需要采用 FIFO 来进行缓冲。在本文的设计中, 采用两个容量为 4K, 宽度为 32 位的 FIFO 来来作为 FPGA 与 USB 接口之间的数据缓冲。FPGA 接收高速 DMUX 降速后的数据流, 并且写入到 FIFO 中, 当 FIFO 写满 8K 之后, 启动读始终, 将 FIFO 中的数据通过 USB 接口分批读取到上位机中。

### 2.3 USB 接口电路设计

USB 接口的主要功能是将 FPGA 缓冲区中的数据读取到上位机中。在本文的设计中, USB 接口电路采用 CYPRESS 公司 CY7C68013A 芯片。CY7C68013A 芯片集成了串行接口引擎来方便读取 FPGA 中的数据。芯片采用 2MHz 的时钟信号, 同时使用外部 EEPROM 存储固件程序。在 USB 接口电路的初始化过程中, 首先需要从 EEPROM 中读取固件程序。FPGA 通过 USB 接口与上位机进行数据传送的流程图如图 4 所示。

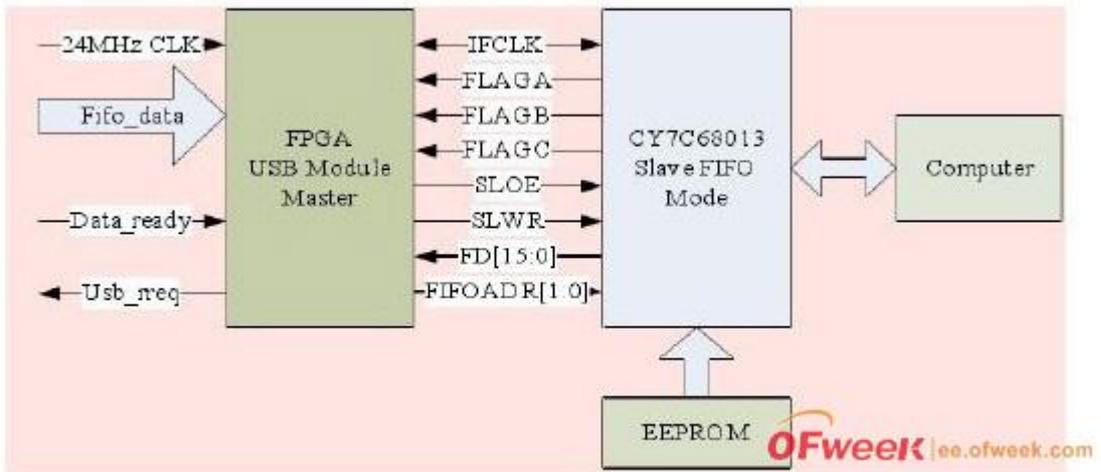


图 4 USB 接口电路

OFweek 电子工程网

如图 4 所示, EZ-USB FX2 芯片中包含有 GPIF 和 SlavFIFO 两种接口方式, 可以满足不同数据流速度以及用户对数据处理实时性的要求。在 CY7C68013A 芯片中, 其接口时钟与 FPGA 中的 IFCLK 引脚连接, 从而在 FPGA 中的 FIFO 缓冲写满时, FPGA 可以控制 USB 接口电路开始从 FIFO 缓冲区中读取数据。

USB 接口的主要工作室实现对 FIFO 缓冲区中数据的读取, 因此其设计的逻辑也主要是对 FIFO 读、写状态机的监控, 其实现的流程如下: 在接收到数据读指令之后, 分成 8 次读取 FIFO 中的 128 位数据, 并且将这些数据一起存放到 FPGA 控制寄存器组中; 将 FPGA 的 FIFO 中的数据读出, 并且写入到 EP6 端点缓冲区中。状态机先由空闲状态进入等待状态; 当 EP2 不为空时, 进入读状态 EP2 ;当读命令有效时, 那么就进行数据的读取并且发送相应的命令, 之后回到空闲状态; 在等待状态下, 当 EP2 为空, EP6 不满时, 开始写 EP6, 写满后也回到空闲状态。

3 系统测试采用以产生频率为 20MHz 的高频信号发生器, 峰值为 2.36Vpp 的正弦波作为模拟输入。系统的测试采用 SignalTapII 来获取两路数据采样数据, 并且模拟转后后存入到 FIFO 中的数据 and 信号。采样数据的模拟波形图如图 5 所示。

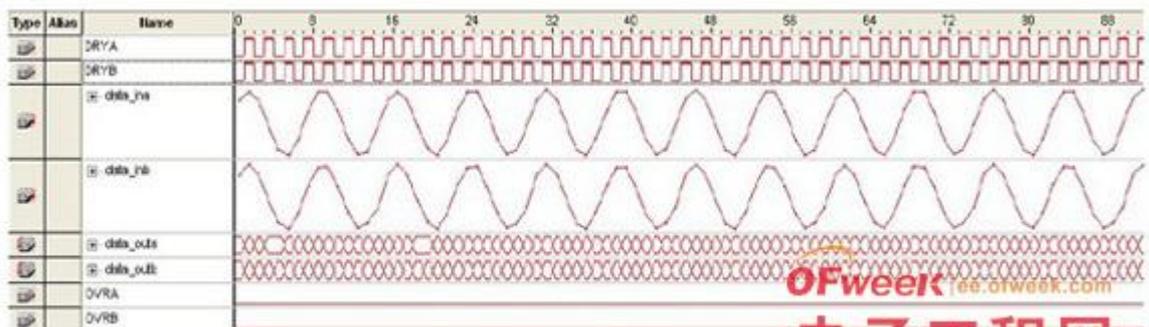


图 5 数据采样结果图

OFweek 电子工程网

从图 5 可以看出，由于两路输入的信号存在一定的增益和偏移误差，从而导致所收集数据的信号增幅值之间，产生了不一致现象。采用快速傅里叶变化分析法，首先在输入的输入信号上采集  $N$  个点做快速傅里叶变换，假设信号谱线在  $K$  和  $N-K-1$  之间，那么就可以得到信噪谐波比  $SINAD$ ：

$$SINAD = 10 \lg \left[ \frac{S^2(K) + S^2(N-K-1)}{\sum_{\substack{n=1 \\ n=K \\ n=N-K-1}}^{N-1} S^2(n)} \right]$$

为避免信号频谱泄露，要求波形的采样率  $f_s$  和输入信号频率  $f_0$ ，满足其  $f_0 = f_s * M / N$ ，其中  $M$  为一个合适的正整数。

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

此方法可以进行 ADC 的有效位数的测试，实验 ENOB，将其取 6 次得到的平均结果约为 6.2。后面还要将采集到的数据进行进一步的分析，来检验通道间的不匹配对系统性能的影响。

#### 4 结论

介绍了一种基于 FPGA 基于 FPGA 和 USB2.0 的高精度数据采集系统，通过 FPGA 对 AD 的工作方式，进行合理的配置，并充分利用其内部自带的逻辑资源，实现对数据的缓存，避免使用其他微处理器进行的数据处理，本设计可以很好的减少芯片数和空间体积，更有利于 FPGA 的发挥，具有简单、灵活、功能多样的特点。