

基于 FPGA 的 ARM 并行总线研究与仿真

通过 EP2C20Q240 器件和 LPC2478 处理器, 研究 ARM 应用系统外部并行总线的工作原理和时序特性, 以及在 FPGA 中进行双向总线设计的原则, 设计并实现了 FPGA 并行总线. 借助 Quartus II 仿真工具, 对 FPGA 并行总线进行了时序仿真, 并用 SignalTap II 逻辑分析仪进行在线测试, 验证设计的正确性.

0 引言

在数字系统的设计中, FPGA+ARM 的系统架构得到了越来越广泛的应用, FPGA 主要实现高速数据的处理; ARM 主要实现系统的流程控制. 人机交互. 外部通信以及 FPGA 控制等功能. I2C. SPI 等串行总线接口只能实现 FPGA 和 ARM 之间的低速通信; 当传输的数据量较大. 要求高速传输时, 就需要用并行总线来进行两者之间的高速数据传输.

下面基于 ARM 处理器 LPC2478 以及 FPGA 器件 EP2C20Q240, 以 ARM 外部总线的读操作时序为例, 研究两者之间高速传输的并行总线; 其中, 数据总线为 32 位; 并在 FPGA 内部构造了 1024x32bits 的 SRAM 高速存储缓冲器, 以便于 ARM 处理器快速读写 FPGA 内部数据.

1 ARM 并行总线的工作原理

ARM 处理器 LPC2478 的外部并行总线由 24 根地址总线. 32 根数据总线和若干读写. 片选等控制信号线组成. 根据系统需求, 数据总线宽度还可以配置为 8 位. 16 位和 32 位等几种工作模式.

在本设计中, 用到 ARM 外部总线的信号有: CS. WE. OE. DATA[31:0]. ADDR[23:0]. BLS 等. CS 为片选信号, WE 为写使能信号, OE 为读使能信号, DATA 为数据总线, ADDR 地址总线, BLS 为字节组选择信号. ARM 的外部总线读操作时序图, 分别如图 1 所示.

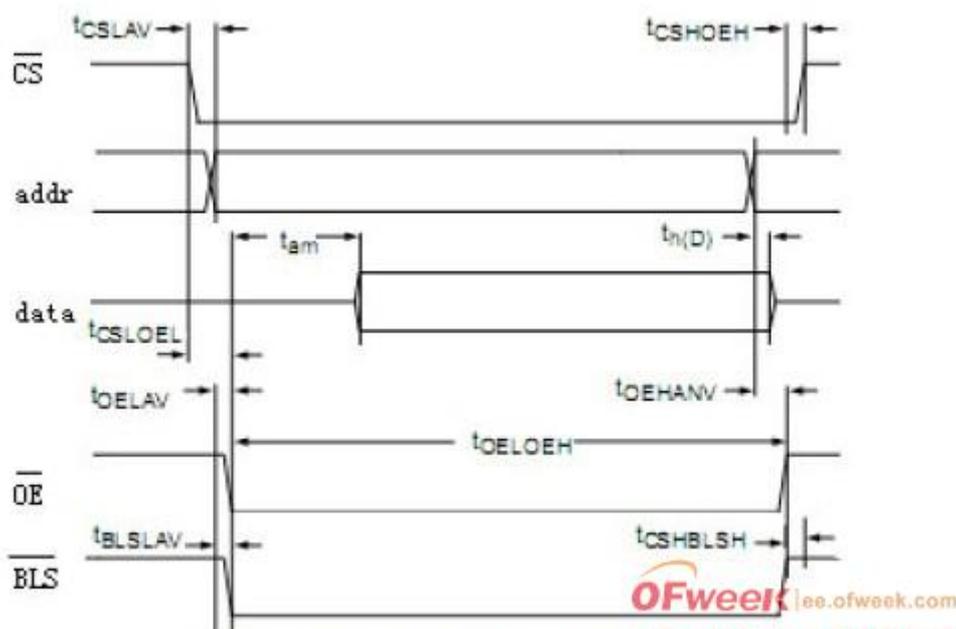


图 1 ARM 外部存储器读操作时序

根据 ARM 外部并行总线操作的时序, ARM 外部总线的读写操作均在 CS 为低电平有效的情况下进行. 由于读操作和写操作不可能同时进行, 因此 WE 和 OE 信号不能同时出现低电平的情况.

数据总线 DATA 是双向的总线, 要求 FPGA 也要实现双向数据的传输. 在时序图中给出了时序之间的制约关系, 设计 FPGA 时应该满足 ARM 信号的建立时间和保持时间的要求, 否则可能出现读写不稳定的情况.

2 FPGA 的并行总线设计

2.1 FPGA 的端口设计

FPGA 和 ARM 之间的外部并行总线连接框图, 如图 2 所示. 由于 FPGA 内部的 SRAM 存储单元为 32 位, 不需要进行字节组的选择, 因此 BLS 信号可以不连接. 为了便于实现 ARM 和 FPGA 之间数据的快速传输, FPGA 内部的 SRAM 既要与 ARM 处理器进行读写处理, 还要跟 FPGA 内部的其他逻辑模块进行数据交换, 因此 SRAM 采用双口 RAM 来实现.

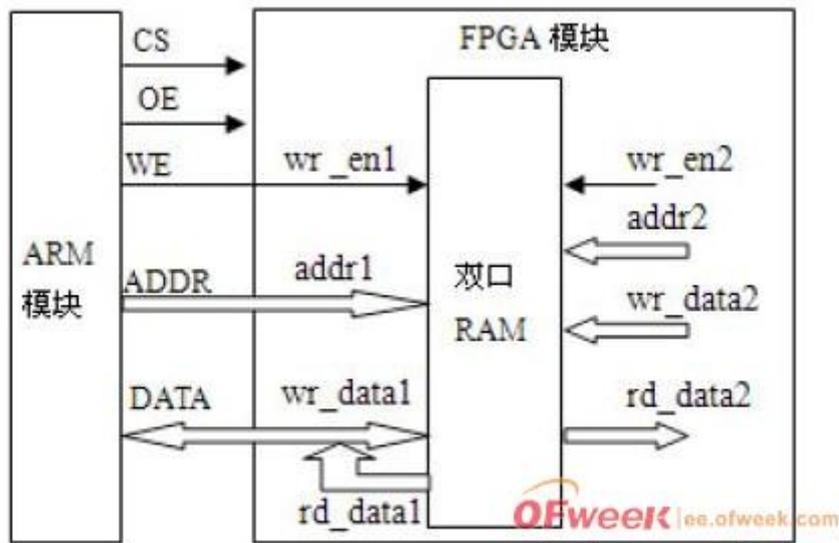


图2 FPGA和ARM之间的连接框图

从端口的方向特性看, DATA 端口是 INOUT (双向) 方式, 其余端口均为 IN (输入) 方式. 从端口的功能看, c1k20m 是全局时钟, 在实现时应采用 FPGA 的全局时钟网络, 这样可以有效减少时钟延时, 保证 FPGA 时序的正确性. ADDR 是 16 位的地址总线, 由 ARM 器件输入到 FPGA. DATA 是 32 位的双向数据总线, 双向总线的设计是整个设计的重点. OE 为 ARM 输入到 FPGA 的读使能信号.

WE 为 ARM 输入到 FPGA 的写使能信号. CS 为 ARM 输入到 FPGA 的片选信号, FPGA 没有被 ARM 选中时必须输出高阻态, 以避免总线冲突.

2.2 FPGA 的双向总线设计

在 FPGA 的并行总线设计中, 如果顶层和底层的模块都要用到双向的 IO 端口, 则要遵守设计原则; 否则不利于 VHDL 程序的综合. 双向 IO 端口的设计原则是: 只有顶层设计才能用 INOUT 类型的端口, 在底层模块中应把顶层的 INOUT 端口转化为独立的 IN (输入). OUT (输出) 端口并加上方向控制端口. 顶层设计的 VHDL 代码如下:

```
DATA_i<=DATA; DATA<=DATA_o when(output_en='1')
else(others=>'Z');
```

其中, DATA_i. DATA_o 和 output_en 均为 FPGA 内部的信号, 在内部的各层次模块中, 通过这三个信号就可以进行单向的 IO 控制. 这样, 顶层设计中双向的 DATA 端口转化为了内部单向的 DATA_i (输入). DATA_o (输出) 和 output_en (输出使能). 在内部各模块中, 结合这三个信号以及 ADDR. OE. WE. CS 等信号, 则可方便地实现 ARM 总线接口的功能. 实现的 VHDL 关键代码如下:

```

arm_addr <=ADDR(11 DOWNT0 2); arm_wr_data <=DATA_i;
process(clr, clk20m) is begin
if(clr = '0') then
arm_wren<='0' ; DATA_o <=(others=>'0' ); output_
en<='0' ;
elseif(clk20m'event and clk20m='1') then
if CS='0' and WE='0' and OE='1' then arm_wren
<='1' ;
else arm_wren <='0' ; end if ;
DATA_o<=arm_rd_data ;
if CS='0' and OE='0' and WE='1' then output_
en<='1' ;
else output_en<='0' ; end if ;
end if ;
end process ;

```

OFweek | ee.ofweek.com
电子工程网

3 仿真结果分析

通过 Quartus II 仿真工具, 对 FPGA 并行总线进行时序仿真; 仿真结果如图 3 所示. 根据 ARM 并行总线的读写时序图要求, 从仿真结果可以看出 FPGA 的总线接口设计满足了设计的要求. 由于选用的 FPGA 器件内部带有逻辑分析仪的功能模块, 通过 Quartus II 软件中的 SignalTap II 逻辑分析工具, 对 FPGA 的设计模块进行在线测试, 发现总线时序了满足 ARM 并行总线的要求, 且工作稳定, 从另一个角度验证了设计和仿真结果的正确性.

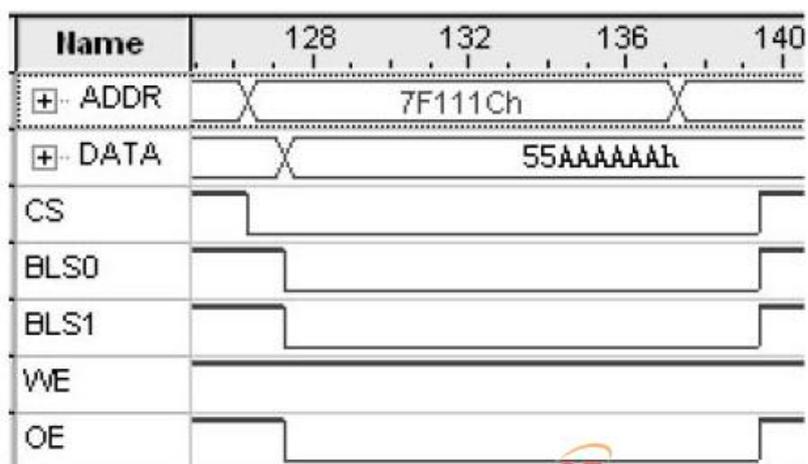


图3 FPGA并行总线的读操作时序仿真结果

OFweek | ee.ofweek.com
电子工程网

4 结论

由于 FPGA 技术和 ARM 技术应用越来越广泛,通过设计并行总线接口来实现两者之间的数据交换,可以较容易地解决快速传输数据的需求,因此设计满足系统要求的 FPGA 并行总线显得尤为重要.本文设计的 FPGA 的 ARM 外部并行总线接口,满足了总线的时序要求,并在某航空机载雷达应答机中进行了应用,系统运行稳定,性能良好.以上的设计和仿真方法,对其他类似的设计也有一定的参考作用.