

# 基于 FPGA 的串口通信电路设计

郭敦势

(中国电子科技集团第 38 所 安徽 合肥 230031)

**[摘要]**串行通信接口是一种应用广泛的通信接口。目前,大部分处理器都集成了支持 RS-232 接口的通用异步收发器,本文基于 FPGA 开发板设计了一个串口数据采集和处理程序,介绍了用 Verilog HDL 硬件描述语言来开发波特率发生器、接收模块和发送模块这三个模块,以及系统各个模块的具体设计方法和原理,用 Quartus II 软件进行仿真并给出结果,分别验证各个模块的正确性及用 FPGA 实现串行通信的可行性。

**[关键词]**串行通信 RS-232 Verilog HDL FPGA

**中图分类号:** TN **文献标识码:** A **文章编号:** 1009-914X (2013) 08-320-01

## 1. FPGA 概述

FPGA 现场可编程逻辑门阵列是数字系统设计的主要硬件平台,其主要特点是完全由用户通过软件进行配置和编程,从而完成某种特定的功能,且可以反复擦写。FPGA 具有运算速度快、根据需求在内部嵌入硬/软 IP 核,以及反复编程,擦写,使用的特点,被广泛应用于通信,数字信号处理,工业控制等领域。

## 2. RS232 串口通信接口

串口即串行数据接口主要用于网管控制或主业务数据的传输,支持数据的双向传输,速率 9600-115200bps,即可以完成和 PC 的通信,也可以完成与带有标准串口的外设相连。其中串口接口分为带插孔和带插针的两种,其中插针端称为 DCE,插孔端称为 DTE。

## 3. 串口通信的 Verilog HDL 实现

本设计要求在 FPGA 开发板上实现波特率为 115200bps,停止位为 1 比特、1 比特校验位的串口通信,并要求和 PC 机通过串口调试助手完成双向通信。

### 3.1 波特率发生器模块的 Verilog HDL 实现

波特率发生器实际上是一个分频器,从给定的系统时钟频率得到要求的波特率。一般来讲,为了提高系统的容错性处理,要求波特率发生器的输出时钟为实际串口数据波特率的 N 倍, N 可以取值为 8、16、32、64 等。

在本设计中,系统的时钟为 50MHz,取 N 为 16,则分频系数为  $50000000 / (16 * 115200) = 27.127$ ,取整为 27。

利用 Quartus II 软件编译工程文件,产生功能仿真网表。新建波形仿真文件,加入输入输出信号,设置系统时钟信号 clk 的周期为 20ns,保存波形文件并进行分频器的波形仿真。由波形仿真图形可以看出,输入的时钟周期为 20ns,即 50MHz。分频时钟输出实现了所需的 27 分频,波特率发生模块得到正确验证。

### 3.2 发送模块的 Verilog HDL 实现

UART 发送模块的功能:接收到发送指令后,把数据按 UART 协议输出,先输出一个低电平的起始位,然后从低到高输出 8 个数据位,接着是可选的奇偶校验位,最后是高电平的停止位。

由于波特率发生器产生的时钟信号 clkout 的频率为 115200Hz 的 16 倍,因此在发送器中,每 16 个 clkout 周期发送一个有效比特,发送数据格式严格按照串口数据帧来完成:首先是起始位,其次是 8 个有效数据比特,一位奇偶校验位,最后一位停止位。同样利用 Quartus II 软件生成原理图模块,并编写测试模块来测试 UART 发送模块的正确性。

```
module testuart (clk, dataout, wrsig);
input clk;
output[7: 0] dataout;
output wrsig;
reg [7: 0] dataout;
reg wrsig;
reg [7: 0] cnt;
always @ (posedge clk)
begin
if (cnt == 254)
begin
// 每次数据加 1
dataout <= dataout + 8'd1;
// 产生发送命令
wrsig <= 1'b1;
cnt <= 8'd0;
end
else
begin

```

```
wrsig <= 1'b0;
cnt <= cnt + 8'd1;
end
end
endmodule
```

编译工程文件,编译无误后再生成功能仿真网表。新建波形仿真文件,加入输入输出信号,设置系统时钟信号 clk 的周期为 20ns,保存波形文件,进行数据发送的波形仿真。当发送命令 wrsig 的上升沿有效时,启动发送数据,串行数据的波形与发送数据 dataout 相一致,UART 的发送模块的功能得到正确验证。

### 3.3 接收模块的 Verilog HDL 实现

但凡涉及到双方通信的系统,接收机的复杂度往往都是高于发送机的,对于串口通信系统也如此。在接收系统中,起始状态和数据都需要依靠接收端检测得到,为了避免毛刺影响,能够得到正确的起始信号和有效数据,需要完成一个简单的最大似然判决,其方法如下:由于 bclk 信号的频率为 115200Hz 的 16 倍,则对于每个数据都会有 16 个样值,最终的采样比特值为出现次数超过 8 次的电平逻辑值。

UART 接收模块的功能:时时检测线路,当线路产生下降沿是,即认为线路有数据传输,启动接收数据进行接收,按从低位到高位接收数据。在 Quartus II 软件中生成原理图模块,在原理图的适当位置放置 uartrx 模块,并添加输入输出模块,保存原理图。UART 接收模块接收到的数据与 UART 发送模块发送的数据相一致,每接收到一个数据都有一个读取数据指示 rdsig, UART 的接收模块的功能得到正确验证。

## 4. 串口通信的硬件调试

### 4.1 调试配置

RS232 接口程序的编写和调试已完成,还需要通过板级验证才能达到最终可用的目的。为了测试 UART 与 PC 通信的正确性,本例测试方法是,PC 通过串口调试软件将数据发送到 FPGA, FPGA 接收到数据再发送给 PC,并显示在串口调试软件上。还要求用 PC 发送数据的 ASCII 码来驱动电路板的 8 个 LED 灯,通过检测 LED 灯的亮灭来判断发送数据的 ASCII 码是否正确,并观察串口调试助手上接收到的数据与发送的数据是否一致。

我们需要先下载配置 FPGA,利用 Quartus II 软件进行管脚分配,参考 FPGA 开发板提供的芯片管脚资料进行分配。分配好管脚后关闭分配管脚的窗口。利用 Programmer 功能将编辑好的程序下载到 FPGA 芯片中。配置串口调试软件时,根据 PC 的串口调试助手工具的设置,决定代码是否需要奇偶校验位,以及分频系数。串口端口连接的是 COM2,波特率选择 115200,校验位选无,数据位为 8 位,停止位为 1 位,点击清空接收区和清空重填。

### 4.2 调试结果

在串口调试助手的发送数据框里用 PC 的键盘输入字母 a,点击手动发送按钮,可以在串口调试助手的接收数据框里看到字母 a,同时也可以看到开发上的 8 个 LED 灯,依次亮、灭的状态为 01100001 (0 代表亮、1 代表灭)。01100001 对应着字母 a 的 ASCII 码二进制表示形式。经过一系列实验测试结果符合 RS232 的通信标准,而且实现了串口的通信。

### 参考文献:

- [1]夏宇闻.Verilog 数字系统设计教程[M].北京:北京航空航天大学出版社,2008:37-164.
- [2]刘韬,楼兴华.FPGA 数字电子系统设计[M].北京:人民邮电出版社,2005:1-11.

### 作者简介:

郭敦势,1983.2.1 出生,现供职于中国电子科技集团第 38 所,助理工程师。