

如何正确使用 FPGA 的时钟资源

把握 DCM、PLL、PMCD 和 MMCM 知识是稳健可靠的时钟设计策略的基础。赛灵思在其 FPGA 中提供了丰富的时钟资源，大多数设计人员在他们的 FPGA 设计中或多或少都会用到。不过对 FPGA 设计新手来说，什么时候用 DCM、PLL、PMCD 和 MMCM 四大类型中的哪一种，让他们颇为困惑。赛灵思现有的 FPGA 中没有一款同时包含这四种资源（见表 1）。

器件系列	DCM	PLL	PMCD	MMCM
Virtex-4	有	无	有	无
Virtex-5	有	有 ¹	无	无
Virtex-6	无	无	无	有 ²
7 系列 FPGA	无	有	无	有 ²
Spartan-6	有	有	无	无

1. Virtex-5 中的 PLL 支持 Virtex-4 FPGA 的 PMCD 运行模式
2. 7 系列中的 MMCM 向后兼容

表 1 - 一些主要赛灵思 FPGA 系列中的时钟资源



这四大类中的每一种都针对特定的应用。例如，数字时钟管理器（DCM）适用于实现延迟锁相环（DLL）、数字频率综合器、数字移相器或数字频谱扩展器。DCM 还是镜像、发送或再缓冲时钟信号的理想选择。另一种时钟资源相位匹配时钟分频器（PMCD）可用于实现相位匹配分配时钟或相位匹配延迟时钟。

锁相环（PLL）和混合模式时钟管理器（MMCM）处理的工作有许多是相同的，比如频率综合、内外部时钟抖动滤波、时钟去歪斜等。这两种资源也可用于镜像、发送或再缓冲时钟信号。

在深思设计实现细节时，把这些通常用法记在心里，有助于理清时钟选择的思路。对于长期产品发展规划而言，在制定合适的时钟策略时，应考虑各个器件系列之间的兼容性。下面让我们深入了解一下这些时钟资源。

您可以使用 DCM 将时钟源的输入时钟信号相乘，生成高频率时钟信号。与此类似，可以将来自高频率时钟源的输入时钟信号相除，生成低频率时钟信号。

数字时钟管理器

顾名思义，数字时钟管理器（DCM）是一种用于管理时钟架构并有助于时钟信号成形和操控的模块。DCM 内含一个延迟锁相环（DLL），可根据输入时钟信号，去除 DCM 输出时钟信号的歪斜，从而避免时钟分配延迟。

DLL 内含一个延迟元件和控制逻辑链路。延迟元件的输出是输入时钟延迟所得。延迟时间取决于延迟元件在延迟链路中的位置。这种延迟体现为针对原始时钟的相位改变或相移，这就是所谓的“数字相移”。图 1 所示的即为 Virtex-4 器件中的典型 DCM 模块。根据 Virtex-4FPGA 用户指南（UG070，2.6 版本）的介绍，Virtex-4 中有三种不同的 DCM 原语。

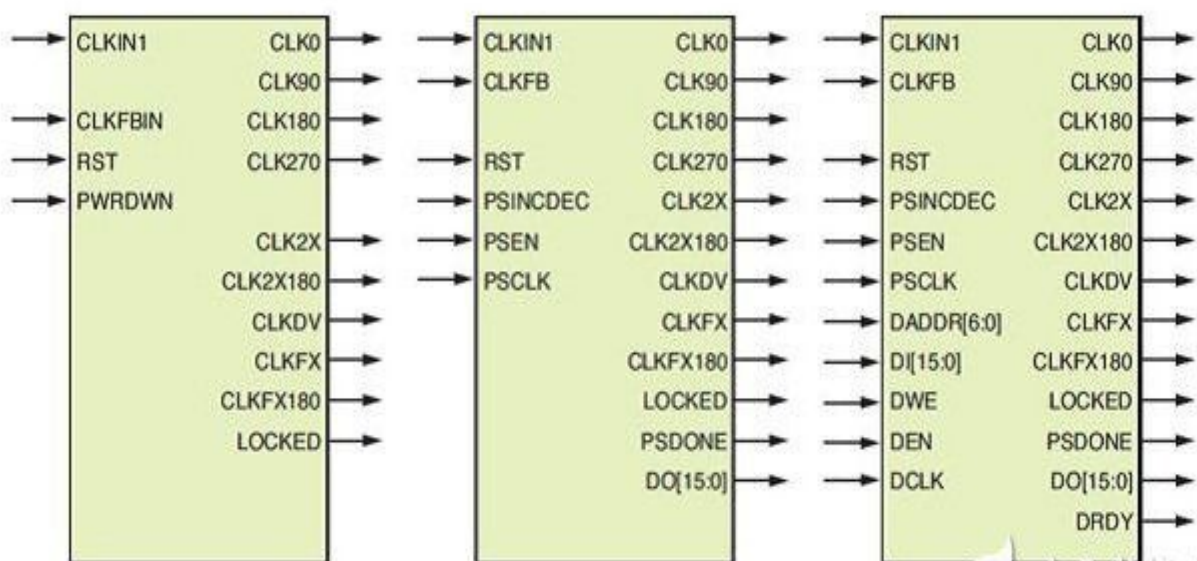


图 1 - Virtex-4 FPGA 中的 DCM 原语

一般来说，DLL 与 PLL 类似。但与 PLL 不同的是 DLL 不含压控振荡器（VCO）。PLL 会一直存储相位和频率信息，而 DLL 只存储相位信息。因此，DLL 略比 PLL 稳定。DLL 和 PLL 这两种类型都可以使用模拟和数字技术设计，或者混合两种技术设计。但赛灵思器件中的 DCM 采用全数字化设计。

由于 DCM 可以在时钟路径上引入延迟，比如您就可使用 DCM 可以精确地为 DRAM 生成行和列访问选通信号的时序。与此类似，数据总线上的各个数据位可以在不同的时间到达。为了正确对数据位采样，接收端的时钟信号必须适当地与所有数据位的到达保持同步。如果接收器使用发射时钟，可能会要求延迟从发送端到接收端的时钟信号。

有时设计可能需要一个更高的时钟频率来运行 FPGA 上的逻辑。但是，只有低频率输出的时钟源可以用。此时可以使用 DCM 将时钟源的输入时钟信号相乘，生成高频时钟信号。与此类似，可以将来自高频时钟源的输入时钟信号相除，生成低频时钟信号。这种技术称为“数字频率综合”。

设计人员使用扩频时钟并通过调制时钟信号来降低时钟信号的峰值电磁辐射。未经调制的时钟信号的峰值会产生高电磁辐射。但经调制后，电磁辐射被扩展到一系列时钟频率上，从而降低了所有频点的辐射。一般来说，如果需要满足一定的最大电磁辐射要求和在 FPGA 上执行高速处理的时候（比如说通信系统中接收器使用的解串器），就需要使用扩频时钟。因此，FPGA 中的 DCM 将乘以输入扩频时钟信号，在内部生成高频时钟信号。DCM 的输出必须准确地跟随扩频时钟，以保持相位和频率对齐并更新去歪斜和相移。DCM 相位和频率对齐的恶化会降低接收器的歪斜裕量。

建立时钟的镜像需要将时钟信号送出 FPGA 器件，然后又将它接收回来。可以使用这种方法为多种器件的板级时钟信号去歪斜。DCM 能够把时钟信号从 FPGA 发送到另一个器件。这是因为 FPGA 的输入时钟信号不能直接路由到输出引脚，没有这样的路由路径可用。如果仅需要发送时钟信号，那么使用 DCM 将时钟信号发送到输出引脚，可以确保信号的保真度。另外也可选择在时钟信号发送之前，将 DCM 输出连接到 ODDR 触发器。当然也可以选择不使用 DCM，仅使用 ODDR 来发送时钟信号。往往时钟驱动器需要将时钟信号驱动到设计的多个组件。这会增大时钟驱动器的负荷，导致出现时钟歪斜及其它问题。在这种情况下，需要采用时钟缓冲来平衡负载。

时钟可以连接到 FPGA 上的一系列逻辑块上。为确保时钟信号在远离时钟源的寄存器上有合适的上升和下降时间（从而将输入输出时延控制在允许的范围），需要在时钟驱动器和负载之间插入时钟缓冲器。DCM 可用作时钟输入引脚和逻辑块之间的时钟缓冲器。

最后，还可以使用 DCM 将输入时钟信号转换为差分 I/O 标准信号。例如，DCM 可以将输入的 LVTTTL 时钟信号转换为 LVDS 时钟信号发送出去。

相位匹配时钟分频器

设计人员可使用相位匹配时钟分频器（PMCD）来生成相位匹配的分频输入时钟信号。这与分频时钟的 DCM 频率综合相似。PMCD 还能生成设计中相位匹配但有延迟的时钟信号。在后一种情况下，PMCD 能够在输入时钟信号和其它 PMCD 输入时钟信号之间保持边缘对齐、相位关系和歪斜。与 DCM 不同的是，在分频器的值可配置的情况下，赛灵思器件中现有的 PMCD 生成的时钟信号仅按 2、4 和 8 分频。这意味着 PMCD 生成的时钟信号的频率是输入时钟信号的 1/2、1/4 和 1/8。在如 Virtex-4FPGA 这样的赛灵思器件中，PMCD 紧邻 DCM 并与其位于同一列上。每一列有两个 PMCD-DCM 对。因此 DCM 的输出可以驱动 PMCD 的输入。

由于 DCM 还负责处理去歪斜，因此只要不需要去歪斜时钟，设计人员就可以使用不带 DCM 的 PMCD。通过专用引脚，还可以把一列中的两个 PMCD 连接起来。图 2 是 Virtex-4 器件中的 PMCD 原语。详细内容请参阅 Virtex-4FPGA 用户指南（UG070，2.6 版本）。

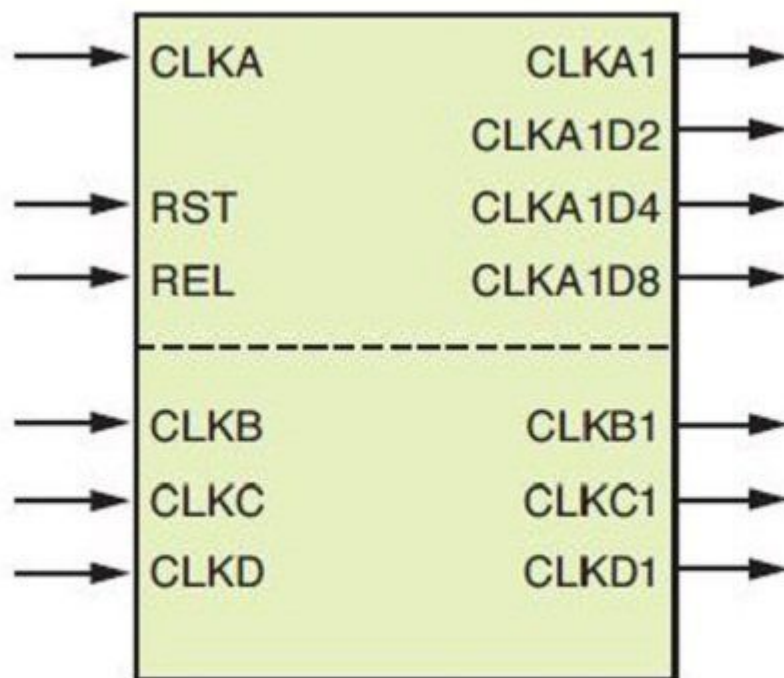


图 2 - Virtex-4 FPGA 中的
PMCD 原语



混合模式时钟管理器

另一种类型的时钟资源——混合模式时钟管理器（MMCM），用于在与给定输入时钟有设定的相位和频率关系的情况下，生成不同的时钟信号。不过与 DCM 不同是，MMCM 使用 PLL 来完成这一工作。Virtex-6FPGA 中的时钟管理模块（CMT）有两个 MMCM，而 Virtex-7 中的 CMT 有一个 MMCM 和一个 PLL。Virtex-6 器件中的 MMCM 没有扩频功能，因此输入时钟信号上的扩频不会被滤波，将直接被传送给 MMCM 输出时钟。但 Virtex-7FPGA 的 MMCM 却有扩频功能。

Virtex-6FPGA 中的 MMCM 要求插入一个校准电路，以便在用户复位或用户断电后确保 MMCM 正确运行。赛灵思 ISE 设计套件 11.5 版本及更高版本能够在设计的 MAP 阶段自动插入必要的校准电路。若使用赛灵思 ISE 的更早版本，则需要使用赛灵思技术支持部提供的设计文件手动插入校准电路。最后需要注意的是，在本移植该设计，以使用 ISE11.5 版本或更高版本实现时，必须手动移除校准电路，或通过适当设置每个 MMCM 上的综合属性，禁用自动插入功能。详细介绍请参阅赛灵思答复记录 AR#33849。

对 7 系列器件中的 MMCM 就不存在这样的问题,因为这些 FPGA 只得到 ISE13.1 版本和更高版本以及新型 Vivado 设计套件的支持。Virtex-6 系列中提供的 MMCM 间专用走线可便于用户将全局时钟资源用于设计的其余部分。

图 3 显示了 Virtex-6FPGA 中的 MMCM 原语。各个端口的详细介绍请参阅 Virtex-6FPGA 时钟资源用户指南 (UG362, 2.1 版本)。图 4 显示了赛灵思 7 系列 FPGA 中的 MMCM 原语,有关详细介绍请参阅 7 系列 FPGA 时钟资源用户指南 (UG472, 1.5 版本)。

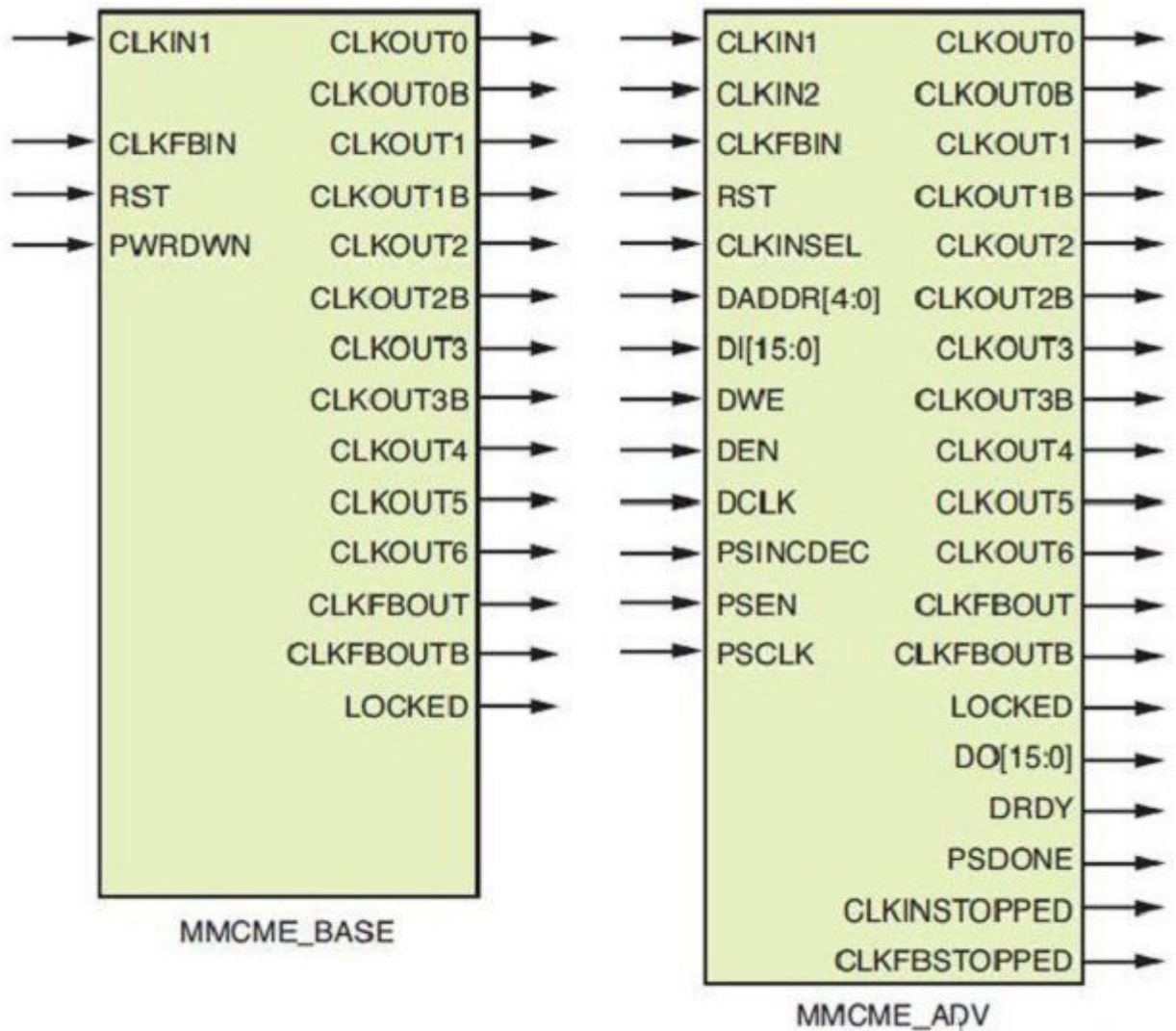


图 3 - Virtex-6 架构中的 MMCM 原语

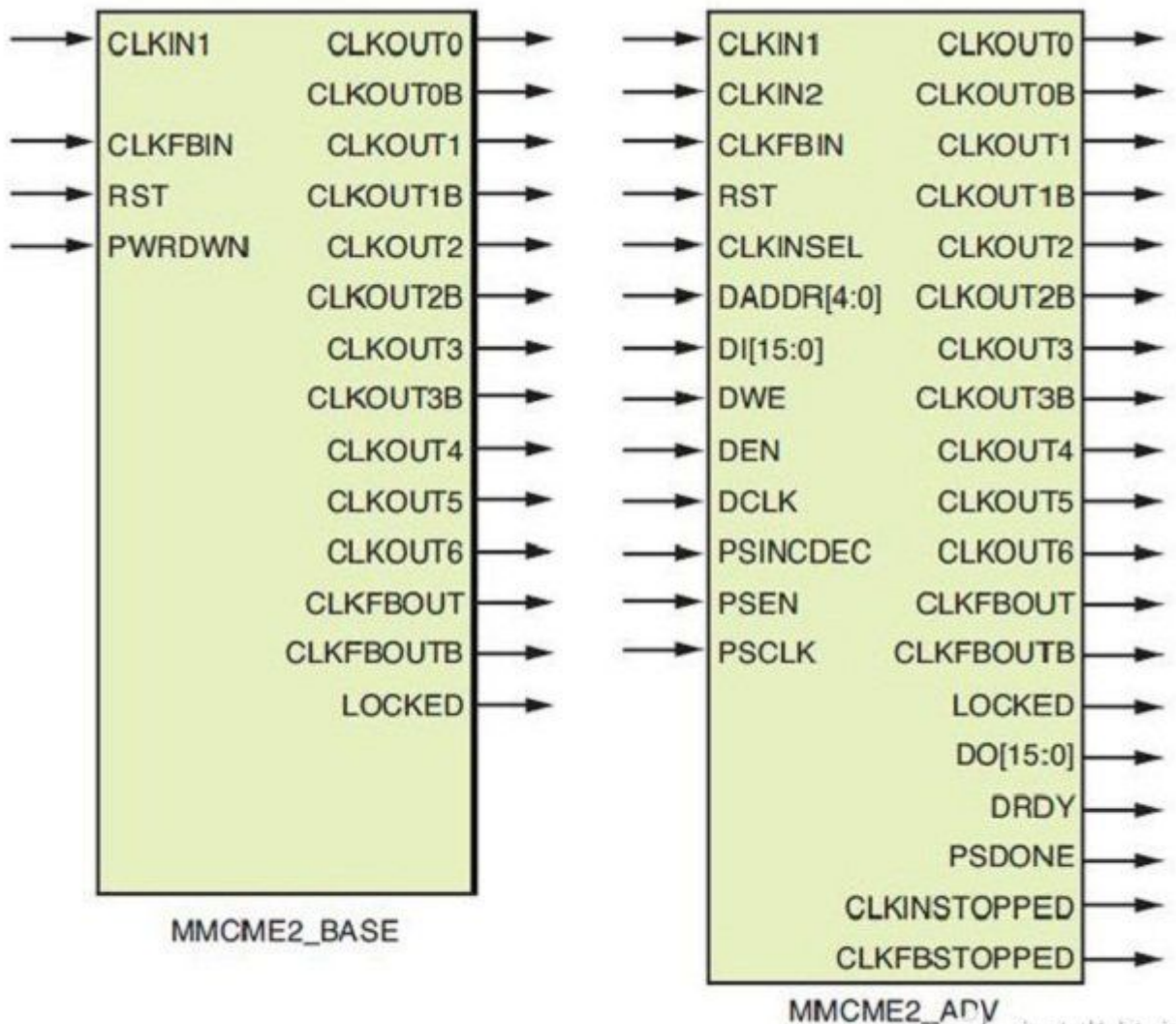


图 4 - 赛灵思 7 系列 FPGA 中的 MMCM 原语

锁相环

设计人员使用锁相环（PLL）主要用于频率综合。使用一个 PLL 可以从一个输入时钟信号生成多个时钟信号。结合 DCM 使用，还可以用作抖动滤波器。Spartan-6、Virtex-5 和 7 系列 FPGA 中都提供有 PLL。Spartan-6 和 Virtex-5 中均有专门的“DCM 到 PLL”和“PLL 到 DCM”走线。Spartan-6 和 Virtex-5 中的 PLL 输出是非扩频的。对这两种器件而言，如果设计使用多个不同时钟，都可以用 PLL 替代 DCM。PLL 时钟输出具有宽范的配置范围，而 DCM 的输出是预定的，不可配置。PLL 和 DCM 的选择还是取决于设计的要求。不过如果相移是必需的，就应该明确地选择 DCM。

同时，7 系列器件中的 PLL 所实现的功能没有 MMCM 所实现的多。因此虽然 MMCM 是建立在 PLL 架构之上，但 7 系列器件中也有独立的 PLL。图 5 显示了

Virtex-5FPGA 中的 PLL 原语。各个端口的详细介绍请参阅 Virtex-5 用户指南 (UG190, 5.4 版本)。

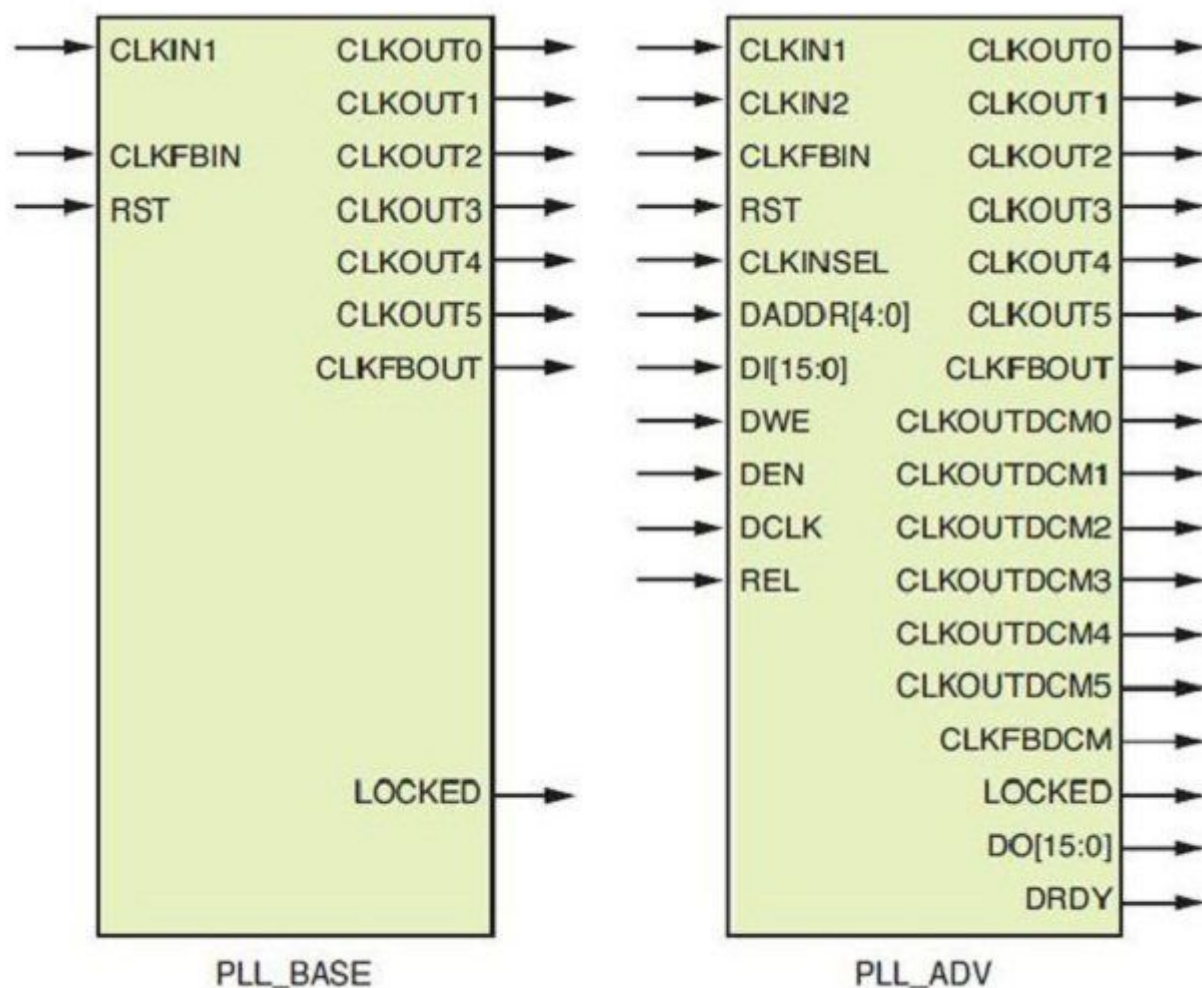


图 5 - Virtex-5 FPGA 中的 PLL 原语



设计移植

掌握四种主要的时钟资源之间的差异及其在不同器件系列中的可用性非常重要。同时，在不同的系列中，相似的资源（比如 DCM）可能在功能上并不完全相同。例如，Spartan-6FPGA 中的 DCM 支持扩频时钟，但 Virtex-5 和 Virtex-5 器件中的 DCM 就不支持。

在规划未来设计向更高端系列移植时，除了确保功能，为给定设计选择正确的时钟资源也很重要。如表 1 所示，Virtex-6 和 7 系列中的 MMCM 能够与之前系列中的 DCM 向后兼容。但需要判断在多大程度上支持向后兼容性，因为所有这些时钟资源都具有多功能性，提供与时钟相关的多种不同功能。在制定产品长期发展规划时，必须对兼容性了如指掌。

