

# 基于单片机的复杂可编程逻辑器件快速配置方法

重庆大学通信工程学院 (400044) 刘晓明 王 军 谢明钦

**摘 要:** 介绍基于 SRAM 的可重配置 CPLD 的原理,通过对多种串行配置的比较,提出了由单片机和 FLASH 存储器组成的串行配置方式,并从系统复杂度、可靠性和经济性等方面进行了比较和分析。

**关键词:** 复杂可编程逻辑器件 静态随机存储器 被动串行

基于 SRAM(静态随机存储器)的可重配置 PLD(可编程逻辑器件)的出现,为系统设计者动态改变运行电路中 PLD 的逻辑功能创造了条件。PLD 使用 SRAM 单元来保存配置数据。这些配置数据决定了 PLD 内部的互连关系和逻辑功能,改变这些数据,也就改变了器件的逻辑功能。由于 SRAM 的数据是易失的,因此这些数据必须保存在 PLD 器件以外的 EPROM、EEPROM 或 FLASH ROM 等非易失存储器内,以便使系统在适当的时候将其下载到 PLD 的 SRAM 单元中,从而实现在电路可重配置 ICR(In-Circuit Reconfigurability)。

本文介绍笔者设计的 PLD ICR 控制电路,它不但线路结构简洁、开发容易、体积小、成本低,并且在图 2 介绍的 ICR 控制电路中,其存储 PLD 配置数据的 FLASH 存储器采用并行总线,交换速度较快。然而 PLD 配置数据较大,通常都在数十千字节以上。如何提高图 2 介绍的 ICR 控制电路的配置速度,使系统上电后在最短的时间内完成配置而进入正常工作状态,是软件设计上的一个重点。

## 1 基于 SRAM 的可重配置 CPLD 的结构与原理

早期的可编程逻辑器件大多采用紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(EEPROM)方式,如 GAL 系列、EPF7064、EPF7128 等。由于其结构简单、规模小,只能完成简单的数字逻辑功能。此后,出现了一类结构上稍复杂的基于 SRAM 存储器的可编程芯片,即复杂可编程逻辑器件(CPLD),它能完成各种数字逻辑功能。

采用这种结构的可编程逻辑器件有 ALTERA 公司的 FLEX、ACEX、APEX 系列,XILINX 公司的 Spartan、Vertex 系列。多年来,ALTERA 公司一直致力于 CPLD 的开发。近几年,该公司又推出了很有竞争力的 CPLD 器件,即灵活的逻辑单元阵列 FLEX (Flexible Logic Element Matrix)系列产品。相对于其它一些厂家的 FPGA 产品来说,ALTERA 公司的 FLEX 系列产品有其独特之处。这主要表现在高密度、在线配置功能、高速度和连续式布线结构等方面。

查找表 LUT(Look-Up-Table)是基于 SRAM 的可重  
《电子技术应用》2002 年第 10 期

配置 PLD 的一个重要组成部分,LUT 本质上就是一个 RAM。目前 CPLD 中多使用 4 输入的 LUT,所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1bit 的 RAM。当用户通过 GDF 原理图或 VHDL 语言描述了一个逻辑电路后,CPLD 开发软件会自动计算逻辑电路的所有可能结果,并把结果事先存入查找表。这样,当多个信号进行逻辑运算时就等于输入一个地址进行查表,找出地址所对应的内容,然后将其输出即可。

## 2 可编程逻辑器件的配置原理

首先在开发软件 MAX+PLUS II 的 ASSIGN 菜单下选择将要采用的基于 SRAM 的器件名称。经过编译、优化、逻辑综合、仿真等步骤达到设计要求后,软件会自动产生一个编程文件(扩展名为.SOF 文件)。对于基于 SRAM 工艺的可编程逻辑器件(如 ALTERA 的所有 FLEX、ACEX、APEX 系列,XILINX 的 Spartan、Vertex 系列),由于 SRAM 存储器的特点,掉电后数据会消失,因此在调试期间可以采用并口 ByteblasteMV 下载电缆多次重复配置 PLD 器件。当电路设计成功,调试完成后,需要将配置数据烧写固化在一个由 ALTERA 生产的专用 EEPROM(如 EPC1441)中。上电时,由这片配置 EEPROM 先对 PLD 加载数据,几十毫秒后,PLD 即可正常工作。

CPLD 器件的工作状态分为三种:首先是上电配置状态(Configuration Mode),将编程数据装入 CPLD 器件的过程,也可称之为构造;然后是初始化状态(Initialization Mode),在配置完成后,CPLD 器件复位内部各类寄存器,让 I/O 引脚为逻辑器件正常工作做准备;最后是用户状态(User Mode),指电路中 CPLD 器件正常工作时的状态。

ALTERA 公司具有 ICR 功能的 PLD 器件有 FLEX8000、FLEX10K、APEX 和 ACEX 系列,它们的配置方式可分为 PS、PPS 和 JTAG (Joint Test Action Group)等方式。PS 方式因 PLD 与配置电路的互连最简单,对配置时钟的最小频率没有限制而应用最广泛,因此在 ICR 控制电路中通常采用 PS 配置方式来实现 ICR 功能。

被动串行(PS)配置方式:在该配置方式下,由 ByteblasteMV 下载电缆产生一个由低到高的跳变送到  
温湿度传感器专业网站 [Http://www.bas.com.cn](http://www.bas.com.cn) 9

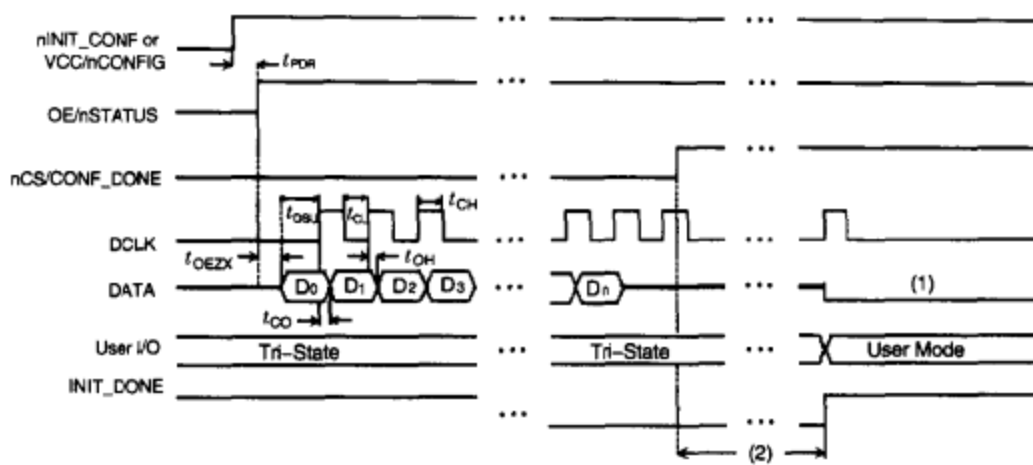


图1 PS配置时序图

nCONFIG 引脚复位 PLD,然后将配置数据送到 DATA0 引脚,直到 CONF\_DONE 引脚变为高电平。图1是PS配置方式的时序图。CONF\_DONE 变成高电平后,DCLK 必须多余十个周期来初始化该器件。器件的初始化由下载电缆自动执行。在PS方式中没有握手信号,所以配置时钟的工作频率必须低于10MHz。在多器件PS配置方式中,第一片PLD的nCEO引脚级联到下一片PLD的nCE引脚。在配置完第一个器件后,nCEO输出为低,使第二个PLD器件的nCE有效,开始对第二块器件进行配置。

### 3 用 WINBOND78E58 单片机配置可编程逻辑器件

用单片机配置可编程逻辑器件与上述PS配置方式原理一致,只需模拟PS配置方式中DATA0、DCLK、nCONFIG、CONF\_DONE、nSTATUS引脚的配置时序,将配置数据串行移入PLD。配置引脚的功能如表1所示。

#### 3.1 硬件设计

用单片机配置PLD,可以使用普通输入输出或串行口。使用普通I/O口(如P1口),向PLD发送1Bit数据至少需要4个指令周期。一个指令给DATA0赋值,两

个指令产生DCLK时钟,一个指令移位取数据。如果晶振为 $f_{osc}$ ,一个指令周期为 $12/f_{osc}$ ,因此它的下载速率为 $f_{osc}/48$ 。然而如果采用串行口方式0,其下载速率提高为 $f_{osc}/12$ 。考虑到PLD配置文件数据比较大,通常都在数十千字节以上(其配置文件大小如表2),为了加快配置速度,并适合各种不同规模的PLD,采用了WINBOND78E58单片机。

该单片机外接晶振最大频率为40MHz,

表1 配置引脚功能说明

DATA0	输出	配置数据
DCLK	输出	配置时钟
nCONFIG	输出	器件复位脚(该信号线的上升沿使配置开始)
CONF_DONE	输入	状态位(在配置完成后,该信号线为高)
nSTATUS	输入	状态位(如果该信号线为低,表明在配置过程中出现错误,需重新配置)

表2 各种CPLD配置文件大小

器件	配置数据大小(Bits)	配置文件大小(Kbytes)
APEX 0K1000E	8,938,000	1,029
APEX 20K600E	5,564,000	680
APEX 20K400E	3,878,000	474
APEX 20K300E	2,733,000	333
APEX 20K200E	1,950,000	238
APEX 20K100	985,000	121
EPF 10K100E	1,336,000	164
EPF 10K70	892,000	109
EPF 10K40	498,000	61
EPF 10K30	376,000	46
EPF 10K20	231,000	29
EPF 10K10	118,000	15

注:配置文件大小由.rbf文件决定。

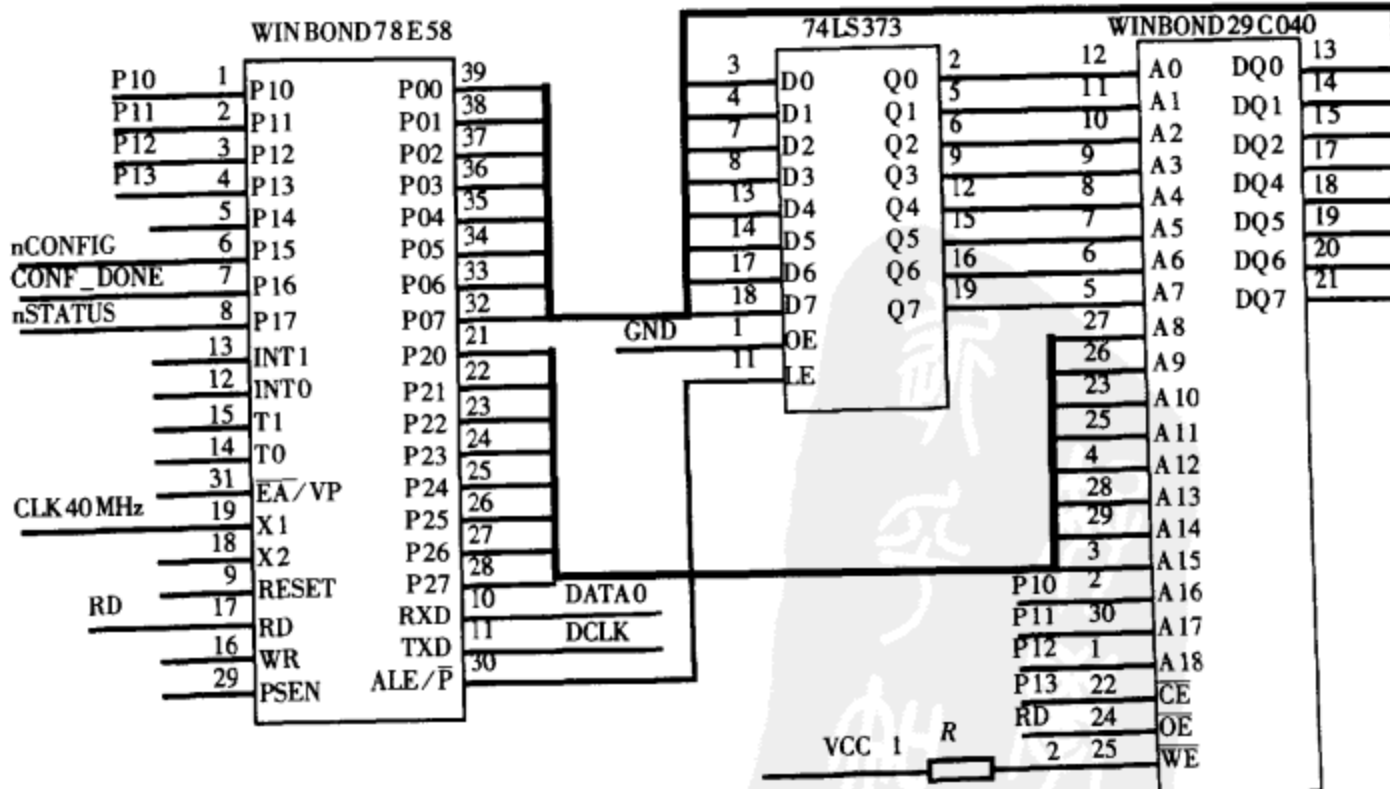


图2 硬件电路原理图

它在串行口方式 0 下波特率可设置为  $f_{osc}/4$ 。另外通过设置特殊功能寄存器 CKCON 的 MD0、MD1、MD2 三位, 可以将 MOVX、MOVC 等指令周期缩短至 2 个机器周期。与普通单片机相比, 可使配置时间大为缩短。WINBOND78E58 单片机内部拥有 32KB FLASH ROM。由配置文件数据表 2 可知, 只需一片单片机就可以对 EPF10K20 系列以下的 PLD 进行配置了。本系统中使用了一片 APEX20K300E, 因此在硬件电路设计中, 扩展了一片 WINBOND29C040 FLASH 存储器(容量为 512KB), 其电路如图 2。DATA0 与 RXD、DCLK 与 TXD、nCONF 与 P15、CONFIG\_DONE 与 P16、nSTATUS 与 P17 分别相连。

### 3.2 软件设计

在软件编程时, 使用了串行口移位寄存器输入输出方式。本系统只需用到输出方式, 串行数据通过 RXD 引脚输出, 而在 TXD 引脚输出移位时钟。当一字节数据写入串行数据缓冲器 SBUF 时, 就开始发送。在此期间, 发送控制器送出移位信号, 使发送移位寄存器的内容右移一位, 直至最高位(D7 位)数字移出后, 停止发送数据和移位时钟脉冲。RXD、TXD 时序如图 3。由图 3 可知, 它可以用来模拟配置时序。发送完一字节数据后, 硬件置发送标志位 TI 为 1, 向 CPU 申请中断。若 CPU 响应中断, 则从 0023H 单元开始执行串行口中断服务程序。

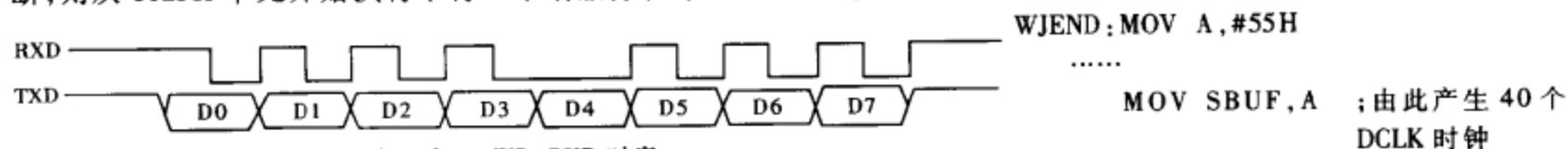


图 3 串口 TXD、RXD 时序

为了提高配置速度, 单片机程序用汇编语言编写。单片机上电后使 nCONFIG 脚由低到高复位待配置 PLD; 当判断到 nSTATUS 为高后, 开始从外部 FLASH 存储器取数据串行移位。配置过程中, 查询 CONF\_DONE。一旦为高, 配置完成, 但还要送 40 个 DCLK 脉冲, PLD 才能进入用户工作状态。

用户设计的 PLD 程序经 MAXPLUS II 或 QUARTUS 编译后将产生后缀名为 .sof 的 SRAM 目标文件。该文件含有除配置数据以外的控制字符, 不能直接写入到 PLD 中去, 需要利用软件的编程文件转换功能将该文件转换成 .rbf (Raw Binary File) 十六进制文件。把 .rbf 文件烧写到存储器中, 单片机通过 MOVX 指令读入后, 串行移位到 PLD。

部分 asm 语言源程序如下:

```

NCONFIG          BIT    P1.5
CONFDONE         BIT    P1.6
NSTATUS          BIT    P1.7
ORG 000h
.....
CLR SM0
CLR SM1          ;SM0, SM1 为 0, 串口工作于方式 0
CLR SM2          ;串口波特率为 fosc/4
CLR REN
ANL 8EH, #0f8h   ;地址 8EH 是 CKCON 单元,
    
```

```

MD0、MD1、MD2 清 0
CLR EA
WJRESTART: CLR NCONFIG
SETB NCONFIG      ;上升沿复位 PLD
WAIT: JNB NSTATUS, WAIT ;NSTATUS 为高, 可进行配置

WJPEIZHI: MOV P1, COUNTER3
MOV DPH, COUNTER2
MOV DPL, COUNTER1 ;配置数据大, 需 3 个单元
                  ;作地址记数

MOVX A, @DPTR
MOV SBUF, A       ;串行移位
NOP
NOP               ;采用填充 2 个空指令, 正好使一个字节发
                  ;送完成, 可发送下一字节
INC COUNTER1      ;地址加
MOV A, COUNTER1
JB CONFDONE, WJEND1
CJNE A, #0, WJPEIZHI
INC COUNTER2
MOV A, COUNTER2
CJNE A, #0, WJPEIZHI
INC COUNTER3
LJMP WJPEIZHI
    
```

```

WJEND1: MOV R0, #60
WJEND: MOV A, #55H
.....
MOV SBUF, A ;由此产生 40 个
            ;DCLK 时钟

DJNZ R0, WJEND
HERE: LJMP HERE ;配置完成, 进入用户工作模式
    
```

使用 OTP(One Time Programming) 器件配置 CPLD 具有一定的冒险性, 一次简单的代码更换就可能意味着更换 OTP 器件, 并重新开始所有的程序。被动串行微处理器(Passive Serial With Processor)配置方式以 EEPROM 为基础, 允许对这些存储器进行多次编程, 所有其它芯片都无需从已装配的印制电路板上拆卸下来。高速读写周期的 FLASH 存储器能确保 1 万次编程, 而且能对任何以 SRAM 为基础的 PLD 下载。该方式除了在加电期间能承载配置数据外, 还有许多方便之处。例如, 用户可以将多个配置文件 .rbf 分区编程到外部存储器的未用区段, 通过单片机读取不同存储区可以将可编程逻辑器件在线配置成多种不同的工作模式。

### 参考文献

- 1 宋万杰, 罗 丰, 吴顺君. CPLD 技术及其应用. 西安: 西安电子科技大学出版社, 2000
- 2 侯伯亨, 顾 新. VHDL 硬件描述语言与数字逻辑电路设计. 西安: 西安电子科技大学出版社, 1999
- 3 蔡美琴, 张为民, 沈新群, 张荣娟. MCS-51 系列单片机系统及其应用. 北京: 高等教育出版社, 1992
- 4 APPLICATION NOTE 116 OF CONFIGURING APEX20K, FLEX10K&FLEX6000 DEVICES. 12.1999, VER 1.02 FROM ALTERA WEB SITE (收稿日期: 2002-04-08)