

高速数字电路电源系统的电磁兼容研究

随着实时信号处理的速率不断加快，数字电路系统的时钟频率也随之增加。同时，半导体工艺的改进，也使得电路系统中信号边沿速率提升到 ns 级甚至更高的级别。快速的信号边沿变化使得电路信号产生振铃、反射、串扰、地弹等许多信号完整性问题。而且，这个问题越来越严重。随着电路中器件和芯片工作环境的恶化，电源受到的影响非常严重，电源系统的电磁兼容性设计变得更加富有挑战性。研究电源系统的电磁兼容性设计非常有必要而且非常紧迫。

电磁兼容的相关知识

国家标准 GB/T4765—1995《电磁兼容术语》对电磁兼容所下的定义：“设备或系统在其电磁环境中能正常工作且不对该环境中任何事物构成不能承受的电磁骚扰的能力。”

1 电源系统的电磁干扰方式

电源干扰的复杂性原因之一是包含了许多可变的因素。首先，电源干扰可以以“共模”或“差模”方式存在，这是根据电磁干扰噪声对于电路作用的形态来进行划分的，如图 1 所示。任何电路中都存在共模和差模电流。共模和差模电流决定了传播的电磁能量的大小。如果给定一对导线，一个返回参考平面，那么这两种模式中至少有一种将会存在，但通常是共存。一般来说，差模信号携带数据或有用信息，而共模信号是差模信号的负面效果，不包含有用信息，是辐射的主要来源，解决起来相当的麻烦。

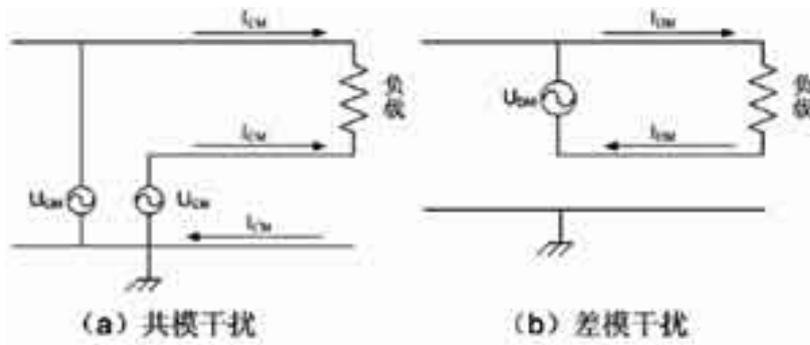


图1 共模与差模干扰示意图

2 电源系统的电磁干扰类型

造成电源干扰复杂性的第二个原因是干扰表现的形式很多，从持续期很短的尖峰干扰直至电网完全失电，其中也包括了电压的变化（如电压跌落、浪涌和中断）、频率变化、波形失真（包括电压和电流的）、持续噪声或杂波，以及瞬变等。我们根据国内外的抗扰度测试的一系列标准和实际应用中常常出现的问题，总结了电源干扰的常见起因，如表1所示。

表1 常见的电源干扰及其起因

序号	干扰的类型	典型的起因
1	电压跌落	雷击、重新接通、电网电压低
2	电压	恶劣的天气、变压器故障、其他原因的故障
3	电压瞬变	发电机不稳定、区域性电网故障
4	电气噪声	雷击、干扰信号等等
5	浪涌	突然减轻负载、变压器的抽头不适当
6	电压尖峰	整流、开关负载、开关电源、调速驱动
7	瞬变	雷击、功率因数补偿电容切换等

3 电磁干扰的途径

从电磁兼容标准来说，电磁干扰基本上被分成传导噪声和辐射噪声。这也是一种直观分类，一种是接触性的干扰，一种是非接触性。电磁干扰就其实际作用于电路的机理有四种传输方式：传导耦合，电磁场耦合，磁场耦合和电场耦合，如图2所示。

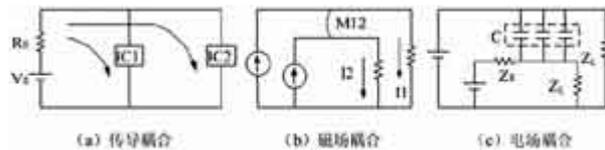


图 2 耦合方式

抗干扰措施

因为直流稳压电源既是一个敏感器件也是一个噪声源，因此我们就有如下的滤波策略：一个是对电源系统的前端入口处进行滤波。因为外界对电源系统的影响基本上都是通过入口的电源线引入到电源系统中的。无论是传导噪声，还是辐射噪声都是会耦合到电源线上。因此，该处的滤波要精心处理。二是电源系统的出口，一般来说，这里不应该有太多问题，因为我们选择和设计电源时，都要基于一定的参数和性能指标。但是为了解如何能够达到最佳的电源性能，需要考虑出口的滤波性能。

如图 3 所示是对所有可能噪声干扰路径的噪声抑制的方法。这就分成两种方法，一种是 EMI 滤波器，一种是屏蔽。屏蔽更多是涉及到机壳整体的机械结构设计，往往对系统的布局布置有更多考虑。从电路设计的角度，我们更多的是要考虑 EMI 滤波器。因为更为广泛的干扰都是从线路上溢出或是从线路上的耦合中产生的，因此在线路上的滤波对辐射的抑制效果更明显一点。

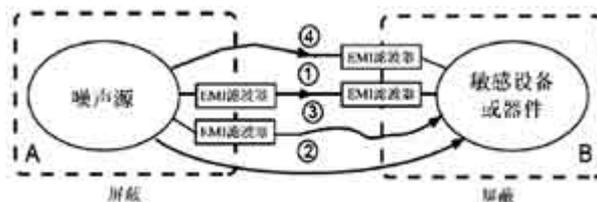


图 3 抗干扰措施

电源系统的板级电磁兼容设计

在电源设计中的一个重要环节就是电源系统的板级电路设计问题，这也是从电源技术的选择、电源架构的搭建、电源器件的定型，以及电源滤波的设计等一系列的概念设计（原理设计）问题走向了最终的物理实现（PCB 设计）的过程。

在设计数字电路系统中，我们要通过电源分配系统（Power Distribution System）达到两个基本的目的：为数字信号转换提供稳定的电压参考，为所有逻辑器件分配电源。

在实际的电路设计中，要达到这两个目的已经越来越复杂了。在高速数字电路系统中，信号完整性问题变得非常的突出。一个非常重要的问题就是电源分配系统的轨道塌陷（Rail Collapse）。由于电源技术呈现出低电压、开关电源开关频率高频化等一些不利于解决信号完整性的状况，电源完整性被作为一个新的研究方向被提了出来。

通常电源完整性问题主要有两个途径来解决：优化电路板的层叠设计及布局布线和增加去耦电容。下面主要介绍增加去耦电容的方法。

1 去耦的原理

去耦电容就像是靠近需求点的能量存储器一样。通过在器件附近的电源和地之间添加去耦电容，可在快速突发周期内来提供独立于电源的能量，通过足够的储量保证所需要的电压对于一个给定的电流 I ，纹波电压或电压降可以用公式

(1) 表述：

$$I = C \frac{dV}{dt} \quad (1)$$

$$V = \frac{1}{\omega C} \quad (2)$$

公式（2）说明了吸取电流导致的电压降 V 。正如大多数的 CMOS 电路，IC 只有在晶体管开关时才会汲取电流。这意味着当 IC 开关时就汲取电流，会产生一个电压降而造成电源分布系统的电源纹波噪声。进一步看，随着处理器速度的增加，纹波噪声也会由于更多的逻辑状态吸收电流而相应的大量增加。

随着电路系统时钟频率的增加，很多情况就不能按照理想的电容器来考虑了。一个实际的电容不论是陶瓷电容还是电解电容，都可以被简化成一个串联 RLC 的模型。一个电容模型包括自身的电容 C ，还包括了等效的串联电感 ESL 和等效串联电阻 ESR 这两个重要的参数。这个串联模型的阻抗幅值是：

$$|Z| = \sqrt{ESR^2 + \left(\omega ESL - \frac{1}{\omega C}\right)^2} \quad (3)$$

等效串联电阻和等效串联电感都是实际电容的寄生参数。

电容的谐振频率为：

$$f_{res} = \frac{1}{2\pi\sqrt{ESL \cdot C}} \quad (4)$$

在这一谐振频率上，电容可达到最小的阻抗。去耦就是利用电容在一定的频率范围内，特别是在谐振频率附近，电容能够对外呈现一个较低的阻抗（尽管可能是容性或者感性），为该频率范围内的噪声在电源和地之间提供一个阻抗的通路，从而确保 IC 电源的稳定。

现在让我们定性的查看一下数字电源分布系统的 ESL 的效应。

$$V = ESL \frac{dI}{dt} \quad (5)$$

$$V = \omega ESL \cdot I \quad (6)$$

公式（5）说明了电流 I 的变化会造成电源分布系统电压 V 的下降。在大多数的 CMOS 电路中，IC 在晶体管开关的时候汲取电流，这就意味着当 IC 开关，电流上就有一个变化，这就导致电源分布系统中的纹波。正如前所证明的，PDS 中的纹波会造成系统的错误。要减少高频下的这些错误，就要尽可能的使用最低 ESL 的去耦电容。从公式（6）可以很明显地看出来，ESL 的减少会带来电压 V 的减小，即是纹波电压的减小。

对于 ESR 来说也是同样的，如果要更有效的对一个电源分布系统去耦，使用一个 ESR 尽可能小的电容会更有效果。为了便于说明，我们将实际的寄生电阻 ESR 写到公式（2）中：

$$V = \frac{1}{\omega C} + I \cdot ESR \quad (7)$$

这就意味着不管电容怎样增大，ESR 都会产生电压降。在实际应用中，我们必须增加电容值并减小 ESR 以尽可能的减小电源分布系统的纹波噪声。同时，公式（2）和（7）表述了在高频的情况下，大电容不会对减少电压降有太大的作用。反而，公式（6）表明减小感抗比较增大电容有更明显的效果。

2 去耦电容的选择

在低频范围（几十 MHz），电容呈现容性，高电容（并且有着低的 ESR）将会有助于减少纹波噪声。添加去耦电容可以在一个特定的频率内减小纹波电压：

$$C = I \frac{dt}{dV} \quad (8)$$

其中，dt 等于最慢的瞬态电流的上升时间（低频）。假设有一个 2A 的瞬态电流，电压整流模块会在 15 μs 内响应。电源分布系统 1.8V 的电源供电电压保持在 5% 的范围内。需要的大电容估算是：

$$C = I \frac{dt}{dV} = 2A \frac{15\mu\text{Sec}}{1.8V * 0.05} = 333\mu\text{F} \quad (9)$$

显然，要找到 333 μF 的陶瓷电容是并不容易的。设计者必须找到一个合适的电容，对其进行并联放置以达到所需要的电容和目标阻抗。添加电容的 ESL 不在去耦中起到主要的作用，但是设计者还是应该尽可能选择比较小的值，这样能够在比较宽的频率范围内减少阻抗。这样有助于减少板上的去耦电容的数量。

在高频（几百 MHz）范围内，采用减少寄生电感的方式比提高电容值更有效一些。限制最大的电感量可以使纹波电压达到最小：

$$L = V \frac{dt}{dI} \quad (10)$$

其中，dt 是瞬态电流的最快上升时间。假设一个 2A 的电流有着 1ns 的上升时间，电源分布系统保证 1.8V 电源供电 5% 以内的纹波。允许的电感量估算如下：

$$L = V \frac{dt}{dI} = 1.8 * 0.05 \frac{\text{ns}}{2A} = 45\text{pH} \quad (11)$$

现在要找到一个 ESL 为 45pH 的表贴陶瓷电容还是比较困难的，普通的表贴电容的寄生电感还是 nH 级的。反之来说，设计者要想达到这一电感量和目标阻抗，首先要选择一个寄生电感足够小的电容（在较高频率的去耦方面，电容量的选择并不起到首要的作用，但是假如给定了最低的 ESL，我们必须选择最高的可能容值。因为这样能够在较宽的频率范围内减小阻抗值）。足够数量的低电感电容必须被并联放置，但是往往需要放置的电容比电路板空间所允许的更多。

3 去耦电容的 PCB 设计

在印制电路板上，芯片-盘垫-走线所形成的环路电流所造成的电感则大得多。连接去耦电容到电源轨道的走线电感要比电容上的寄生电感明显要大。通常

的经验数据是走线电感为 10nH/in.。因此当其被安装到这种高电感的安装结构中，一个低电感电容的高频去耦性能会显著的降低。普通的表贴电容的 ESL 基本都是 nH 级的，而走线、焊盘设计所带来的寄生电感的增加要比电容自身的 ESL 明显得多。在现在的高频去耦应用中，最小化环路电感也是至关重要的。一种最小化环路电感的方式是减少环路区域的大小。对布局来说，将电源轨道走得越近越好，甚至是将电源轨道走在 IC 之下，这样就可以减少环路区域的面积。尽管如此，对高频去耦来说，其性能还是会受限于走线和电源轨道的电感。通过使用过孔在盘垫中的方式，环路电感还可以进一步的降低。

在最优的盘垫设计下，主导电感的是过孔和电容的高度。过孔就像是一个天然的电感线圈一样。过孔的电感值正比于其长度和直径。通过一个过孔（8mil）穿过 60mil 的电路板连接一个去耦电容能够增加 1nH 的电感。此外，电流传送的垂直距离会增加环路的大小从而增加电感量。最优的盘垫设计和最小化电容顶部到电源和地层的距离，这样和去耦电容相关的电感就被减到最小。

结语

电源分布系统的低阻抗设计是保证电源系统稳定和系统电磁兼容性的重要因素。当然，电源分布系统设计问题并不止包括低阻抗设计、去耦电容这些问题，更有多电源层的排布、电源层面的分割与隔离，以及电源层面的 20H 原则，等等。