

摘要：在高速串行信号的眼图或抖动测试时，合理设置仪器的 CDR（时钟与数据恢复）参数才能保证测量结果的有效性和准确性。

关键词：CDR, 眼图测量, 抖动测量, 实时示波器

在当今的 GHz 速率的串行数据测试中，眼图和抖动测试是最重要的两个测试项目。眼图和抖动测量中，测试仪器必须从待测试信号中恢复参考时钟，用该时钟同步和采样数据。因此，恢复时钟的方法会直接影响眼图和抖动测试结果，各种串行数据标准都规定了抖动测量中时钟恢复电路 CDR 的参数，正确的设置测试仪器的 CDR 参数才可以使测量结果与芯片接收端的实际性能保持一致。

图 1：典型的串行数据链路系统图

下图 1 所示为某串行数据链接的系统图，在 Fibre Channel、Gigabit Ethernet、SDH 等串行链路中都采用了这样的架构。发送端（TX）发送的信号通过信道传输到接收端（RX）后，收发器芯片 RX 部分的时钟恢复电路从串行数据中恢复出时钟，用恢复的时钟来同步串行数据，进行采样。由于多种原因，进入 RX 的串行数据信号可能有较大的抖动，理想情况下（锁相环 PLL 的环路带宽无穷大时），时钟恢复电路的 PLL 输出的时钟和 RX 的输入数据信号同相，即零抖动，这时，RX 的判别电路（如图 1 中的 D 触发器）有最大的建立时间和保持时间余量。但是，由于 PLL 的环路响应为低通滤波器特性，只能消除串行数据中低频段的抖动，不能处理高频抖动，所以，现实情况中收发器芯片 RX

端“看到”的眼图是有抖动的。

在图 1 中，RX 端 PLL 的参数是影响眼图和抖动性能的决定因素。PLL 是一种广泛使用的电子电路，可以用于获得特定频率的时钟、射频信号调制与解调和串行数据的时钟恢复。

图 2：锁相环的系统框图

如图 2 为 PLL 的系统图，包括鉴相器（phase detector）、环路滤波器（loop filter）、压控振荡器（voltage controlled oscillator，简称 VCO）三个基本部分。PLL

的工作原理请参考模拟电路书籍。

在接收端的 PLL 中，鉴相器、环路滤波器和 VCO 三部分组成的环路的频响为低通滤波器特性。如下图 3 所示，接收端的时钟恢复电路的频响是一个低通滤波器，其传递函数为 H_L ，当串行数据信号的抖动变化频率较低时，即从直流到 PLL 的截至频率，PLL 能及时追踪到数据跳变沿（即锁住相位），输出的时钟与输入数据同相（严格讲相位差为固定常数），这样抖动为零。当连续边沿的抖动变化太快时（即存在高频抖动时），PLL 不能及时追踪到边沿的变化，于是输出的时钟和数据边沿存在抖动，所以，接收端的 CDR 不能滤除高于截至频率的抖动，它的抖动传递函数（Jitter Transfer Function 简称 JTF）的频响为高通滤波特性，接收端 CDR 又称为 TIE 抖动的高通滤波器。如图 3，抖动传递函数 $H_H=1-H_L$ 。

抖动的传递函数 (Jitter Transfer Function)

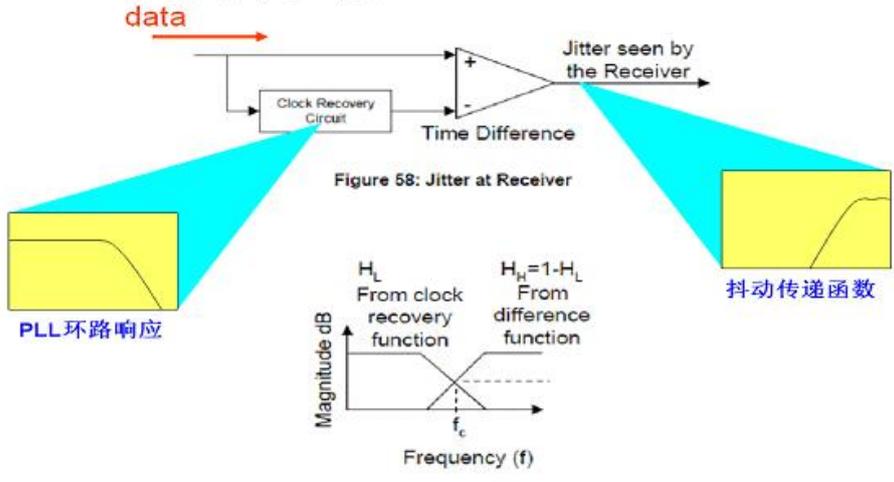


Figure 59: Jitter at Receiver, High Pass Function

图

: 抖动的传递函数 3

在收发器接收端除了采用如图 1 所示的 PLL 来恢复时钟外，另一种时钟恢复方法是使用相位内插器 (phase interpolator, 简称 PI)，在 FBDIMM 和 PCI Express 中都使用 PI 来恢复时钟，但是使用仪器测试时，可以用 PLL 来建模。

测试高速串行数据信号的眼图与抖动的仪器都使用了基于锁相环的时钟恢复方法。其中，实时示波器主要使用软件 PLL 来恢复参考时钟，取样示波器和误码率测试仪都使用硬件 PLL 来恢复时钟。实时示波器作为最普及和广泛应用的测试仪器，本文仅介绍实时示波器的软件 CDR 和眼图测试、抖动测试的关系。

如下图 4 所示为力科串行数据分析仪中 PLL 设置的参考，缺省情况下使用 FC Golden PLL，该 PLL 为 1 阶锁相环，其环路带宽等于比特率除以 1667，最早是在 Fibre Channel 的 MJSQ 文档中定义的。

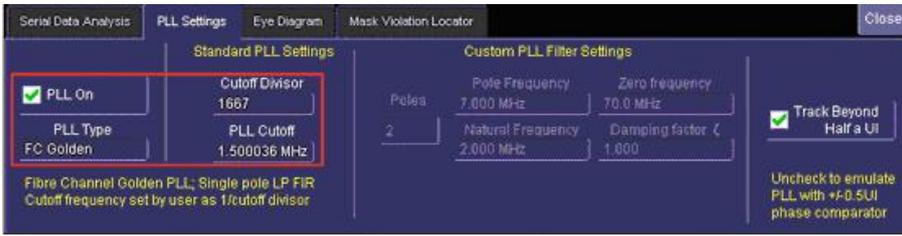
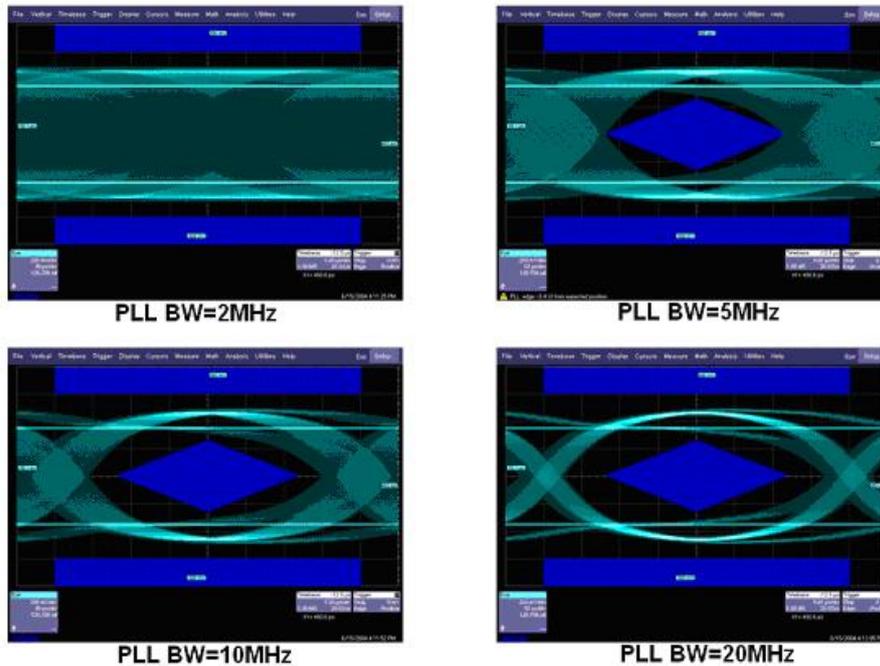


图 4: 力科串行数据分析仪的软件 CDR 设置界面

如下图 5 为使用力科示波器测量某 2.5Gbps 信号，当示波器的串行数据分析软件的 PLL 带宽在 2MHz、5MHz、10MHz、20MHz 四种设置下的眼图测量结果，可见，PLL 带宽越高，眼图越清晰，抖动越小。问题是，待测试电路的收发器 RX 端接收到的、真实的眼图和抖动是什么样呢？答案是必须把示波器的 CDR 参数设置得和待测试电路 RX 端的 CDR 参数完全一致，这样示波器的测量结果才具备参考价值。

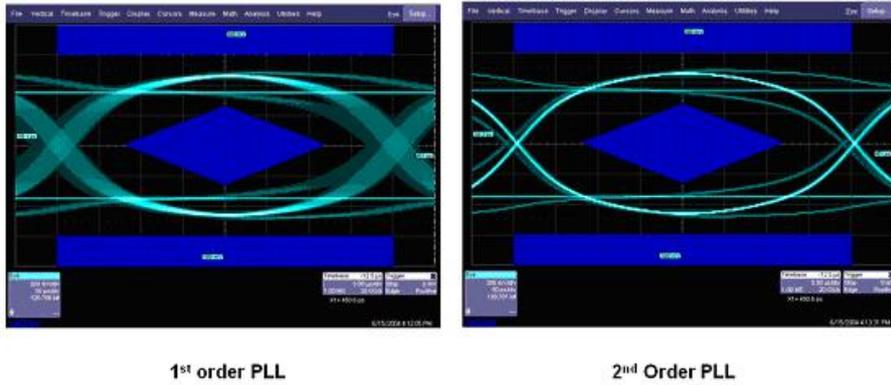


图

：示波器在不同 PLL 设置时测量同一信号的眼图 5

在图 4 和图 5 中都是一阶锁相环的 CDR，在很多的串行电路标准中都使用这类 PLL，比如 GBE、XAUI、SDH、CPRI、FC、SAS 等等。不过，PCIe Gen2、SATA2、Displayport 则使用了二阶锁相环的 CDR，如图 6 所示为一阶 PLL 和二阶 PLL 的 JTF 对比，二阶 PLL 有更加陡峭的滚降系数 -40dB/decade （一阶 PLL 的滚降系数为 20dB/decade ）。假设某 500kHz 的抖动为 150ps （而且 500kHz 在斜线的频段内），通过一阶 PLL 后抖动只有 15ps ，而通过二阶 PLL 后仅为 1.5ps 。可见，对于图 6 中低频段的抖动，二阶 PLL 可以更大程度的降低该频段的抖动。

图 7 所示为某 2.5Gbps 信号，CDR 使用一阶 PLL 或二阶 PLL 的眼图测量结果，可见，使用二阶 PLL 得到的眼图非常清晰、抖动更小。二阶 PLL 可以更大程度的减小低频抖动，通常用于带有扩频时钟（SSC）的串行数据信号，比如计算机主板上的 SATA 和 PCIe。



- 2nd order PLL is better to suppress lower frequency jitter (SSC).

图

：示波器在不同 PLL 设置时测量同一信号的眼图 7

如下图 8 所示，在力科 SDA 中，集成了 FC Golden, PCIe Gen1, PCIe Gen2, DVI, FBDIMM, USB3.0 和 Custom 多种 PLL 参数设置，测量时根据待测试信号的类型选择合适的 CDR 设置。



图

：力科示波器集成了多种 PLL 设置 8

在 Custom 自定义锁相环模式下，可以选择 1 阶 PLL 还是 2 阶 PLL。如果是自定义的 1 阶 PLL 需要设置极点和零点的频率，PLL 的截至频率就是极点频率，零点频率必须高于前者，其决定了阻带的衰减系数；如果是自定义 2 阶 PLL 需要设置 Natural Frequency (ω_n) 和 Damping factor (ζ)，如图 8 红色标记所示，该 PLL 的环路响应的传递函数为 $H(s)$ (图 8 中黄色字体的公式)，截至频率可用下面的公式计算：

综上所述，正确设置示波器的 CDR 参数是测量眼图和抖动的关键，测试人员需要参考串行数据规范或仪器厂商的操作文档，才能保证测量的准确性和有效性。