**FPGA/CPLD数字电路原理解析**

　当产生门控时钟的组合逻辑超过一级时，证设计项目的可靠性变得很困难。即使样机或仿真结果没有显示出静态险象，但实际上仍然可能存在着危险。通常，我们不应该用多级组合逻辑去钟控PLD设计中的触发器。图7给出一个含有险象的多级时钟的例子。时钟是由SEL引脚控制的多路选择器输出的。多路选择器的输入是时钟（CLK）和该时钟的2分频 （DIV2）。由图7 的定时波形图看出，在两个时钟均为逻辑1的情况下，当SEL线的状态改变时，存在静态险象。险象的程度取决于工作的条件。 多级逻辑的险象是可以去除的。

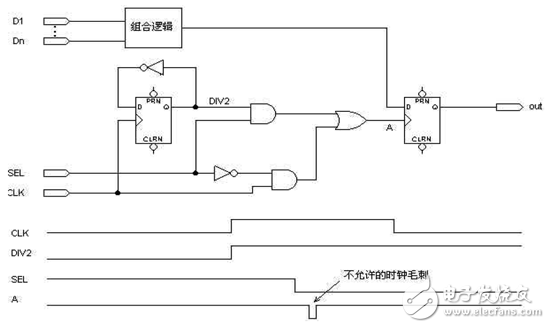


　　图7 有静态险象的多级时钟

　　图8给出图7电路的一种单级时钟的替代方案。图中SEL引脚和DIV2信号用于使能D触发器的使能输入端，而不是用于该触发器的时钟引脚。采用这个电路并不需要附加PLD的逻辑单元，工作却可靠多了。 不同的系统需要采用不同的方法去除多级时钟，并没有固定的模式。

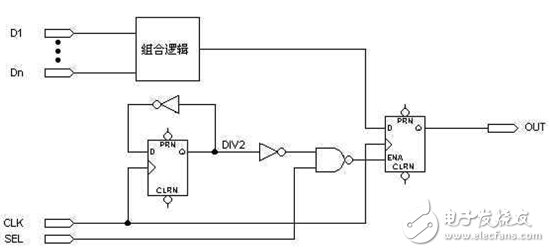


　　图8 无静态险象的多级时钟

　　行**波时钟**

　　另一种流行的时钟电路是采用行波时钟，即一个触发器的输出用作另一个触发器的时钟输入。如果仔细地设计，行波时钟可以象全局时钟一样地可靠工作。然而，行波时钟使得与电路有关的定时计算变得很复杂。行波时钟在行波链上各触发器的时钟之间产生较大的时间偏移，并且会超出最坏情况下的建立时间、保持时间和电路中时钟到输出的延时，使系统的实际速度下降。

　　用计数翻转型触发器构成异步计数器时常采用行波时钟，一个触发器的输出钟控下一个触发器的输入，参看图9同步计数器通常是代替异步计数器的更好方案，这是因为两者需要同样多的宏单元而同步计数器有较快的时钟到输出的时间。图10给出具有全局时钟的同步计数器，它和图9功能相同，用了同样多的逻辑单元实现，却有较快的时钟到输出的时间。几乎所有PLD开发软件都提供多种多样的同步计数器。

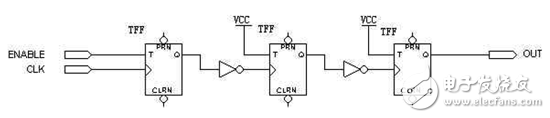


　　图9 行波时钟

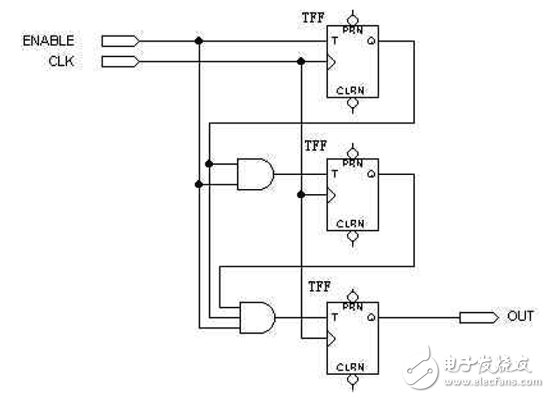
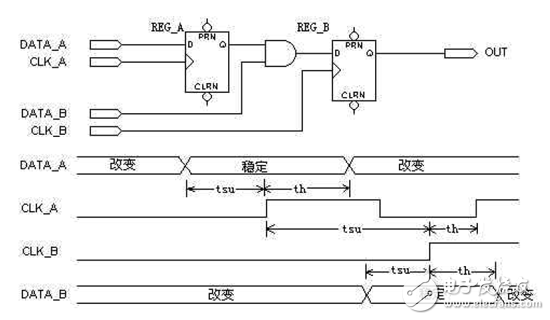


　　图10 行波时钟转换成全局时钟

**多时钟系统**

　　许多系统要求在同一个PLD内采用多时钟。最常见的例子是两个异步微处理器器之间的接口，或微处理器和异步通信通道的接口。由于两个时钟信号之间要求一定的建立和保持时间，所以，上述应用引进了附加的定时约束条件。它们也会要求将某些异步信号同步化。

　　图11给出一个多时钟系统的实例。CLK\_A用以钟控REG\_A，CLK\_B用于钟控REG\_B，由于REG\_A驱动着进入REG\_B的组合逻辑，故CLK\_A的上升沿相对于CLK\_B的上升沿有建立时间和保持时间的要求。由于REG\_B不驱动馈到REG\_A的逻辑，CLK\_B的上升沿相对于 CLK\_A没有建立时间的要求。此外，由于时钟的下降沿不影响触发器的状态，所以CLK\_A和CLK\_B的下降沿之间没有时间上的要求。如图4，2．II 所示，电路中有两个独立的时钟，可是，在它们之间的建立时间和保持时间的要求是不能保证的。在这种情况下，必须将电路同步化。图12 给出REG\_A的值（如何在使用前）同CLK\_B同步化。新的触发器REG\_C由GLK\_B触控，保证REG\_G的输出符合REG\_B的建立时间。然而，这个方法使输出延时了一个时钟周期。



　　图ll 多时钟系统 （定时波形示出CLK\_A的上升沿相对于CLK\_B的上升沿有建立时间和保持时间的约束条件）

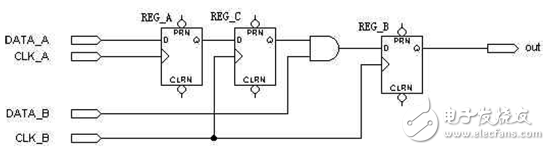


　　图12 具有同步寄存器输出的多时钟系统

　　在许多应用中只将异步信号同步化还是不够的，当系统中有两个或两个以上非同源时钟的时候，数据的建立和保持时间很难得到保证，我们将面临复杂的时间问题。最好的方法是将所有非同源时钟同步化。使用PLD内部的锁项环（PLL或DLL）是一个效果很好的方法，但不是所有PLD都带有PLL、DLL，而且带有PLL功能的芯片大多价格昂贵，所以除非有特殊要求，一般场合可以不使用带PLL的PLD。 这时我们需要使用带使能端的D触发器，并引入一个高频时钟。

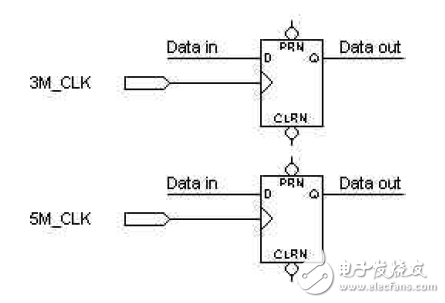


　　图13 不同源时钟

　　如图13所示，系统有两个不同源时钟，一个为3MHz，一个为5MHz，不同的触发器使用不同的时钟。为了系统稳定，我们引入一个20MHz时钟，将3M和5M时钟同步化，如图15所示。 20M的高频时钟将作为系统时钟，输入到所有触发器的的时钟端。3M\_EN 和5M\_EN将控制所有触发器的使能端。即原来接3M时钟的触发器，接20M时钟，同时3M\_EN 将控制该触发器使能 ，原接5M时钟的触发器，也接20M时钟，同时5M\_EN 将控制该触发器使能。 这样我们就可以将任何非同源时钟同步化。

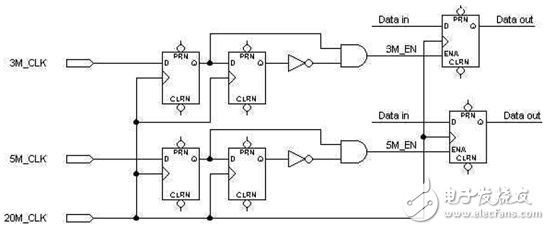


　　图14 同步化任意非同源时钟

　　另外，异步信号输入总是无法满足数据的建立保持时间，容易使系统进入亚稳态，所以也建议设计者把所有异步输入都先经过双触发器进行同步化。稳定可靠的时钟是系统稳定可靠的重要条件，我们不能够将任何可能含有毛刺的输出作为时钟信号，并且尽可能只使用一个全局时钟，对多时钟系统要注意同步异步信号和非同源时钟。