

医用电子内镜嵌入式视频采集控制系统设计与实现

摘要：介绍了一套基于视频编解码芯片、闪存以及 FPGA 的医用电子内镜实时图像采集控制系统。文中给出了整套系统的硬件方案及其设计框图并介绍了乒乓操作的原理及系统的 FPGA 程序实现方法。经测试表明系统的性能稳定易于维护成本低廉、性价比较高，在医用内窥镜领域有较好的应用前景。

随着内窥镜外科、微创外科技术的迅猛发展，医用电子内窥镜已经成为当前应用非常广泛的一种医疗仪器。目前，国产医用电子内镜一般采用视频卡采集，然后在微机中进行处理，有信号损失大、图像效果差、数据容易丢失、处理时间较慢、设备繁多和成本高等缺陷。采用嵌入式视频控制处理技术，可以借助数字化技术对信号进行处理，信号损失少、图像效果好、配置灵活、维护方便，而且大大降低了成本。

本文采用视频编解码芯片 SRAM， NAND FLASH 与现场可编程门阵列 FPGA (Field Programmable Gate Array) 设计了一套医用内镜嵌入式图像采集控制系统。其中，视频解码芯片可以从视频信号中自动获取行、场同步信号并完成 A/D 转换，而视频编码芯片则可自动对数字信号进行 D/A 转换，输出模拟信号。SRAM 用于对视频流进行乒乓操作，起缓冲作用，而 FLASH 则用于对个别图像进行存储，适时进行回放。使用 FPGA/CPLD 开发数字电路，可大大增加电路的集成度、减小 PCB 体积小、增强系统功能、降低投资和缩短开发周期，且具有可反复编程修改、开发工具智能化和电路设计灵活等特点。随着电子工艺的不断改进，低成本的 FPGA/CPLD 器件已成为当今硬件开发设计的首选方式之一。因此，本设计具有小体积、低成本、高可靠性和易于再开发等优点。

1. 系统工作原理及设计方案

视频采集的系统框图如图 1 所示。系统上电后，单片机(MCU)通过 I2C 总线对视频编解码芯片初始化。初始化成功后，视频解码芯片开始工作，将通过 CCD 摄像头采集到的模拟视频信号转换成 720x576 的 YUV4: 2: 2 数字信号，然后输入 FPGA。FPGA 一方面作为 SRAM 的地址发生器，将数据输入到 SRAM；另一方面还产生 SRAM 的读写控制信号，用两片 SRAM 以乒乓操作方式工作，使每片保存一场图像。与此同时，FPGA 又将 SRAM 中的数据传入视频编码芯片中。由于采用了乒乓操作，因此保证了视频流的流畅性，而视频编码芯片则对从 FPGA 输入进来的数字信号进行编码处理，从而将数字信号还原成模拟视频信号，传入显示器进行显示。

通过外部按键，可对 FPGA 发送的图像进行冻结、存储、删除、回放以及分屏回放等处理。一旦得到外部按键信号，FPGA 将会按照 NAND FLASH 的读写协议，在产生 SRAM 地址信号和读写控制信号的同时，自动产生

FLASH 读写控制信号，并向 FLASH 发送相关的读写命令以及地址信息，从而将数据从 SRAM 搬移至 FLASH 中(存储)或者从 FLASH 中搬移至 SRAM(回放)。而当 FLASH 中数据不再需要时，可通过 FPGA 发送删除命令，直接对 FLASH 的指定位置进行擦除操作，从而避免了存储空间不足。其各部分硬件选择和设计如下：

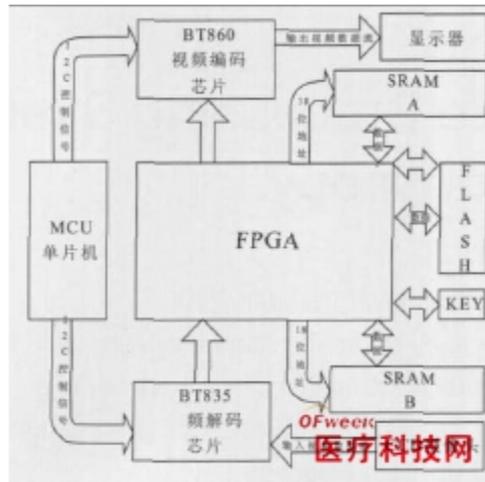


图 1 系统结构图

Fig. 1 System structure diagram

视频解码芯片采用 CONEXANT 公司的 Bt835KRF，对输入信号进行 A/D 转换，并提供同步信号与数字信号。视频编码芯片采用 CONEXANT 公司的型号为 Bt860 产品，根据解码器提供的同步信号和数据，在输出端完成 D/A 转换。FPGA 采用 ALTERA 公司 Cyclone 系列的 EP1C6Q240C8 芯片。该芯片采用 0.13um 工艺技术，全铜 SRAM 工艺，具有 5980 个逻辑单元，支持近 12 万门的设计，内嵌 RAM 共有 92160bits，包含 2 个锁相环电路，包含 34 个差分通道，最大用户 I/O 数有 185 个，可满足设计要求。

图像缓存模块采用的 SRAM 芯片是美国 IDT 公司生产的 IDT71V424。它是采用高性能和可靠性的 CMOS 工艺生产的高速静态存储器，其单片存储容量为 512Kx8 Bit，恰好可以存放一帧图像的数据，且具有高速的访问时间 (10 或 12 ns)，足够用来保证视频流传输过程中的实时性。其内部完全由静态异步电路构成，无需输入时钟信号，也不必对芯片进行刷新，即可直接对无用数据进行覆盖。

图像存储模块采用 SAMSUNG 公司生产的 NAND FLASH，型号为 K9F5608U0D，容量为 264M。NAND 结构的 FLASH 是 SAMSUNG 公司推出并着力开发的新一代数据存储器件，电源电压为 1.7-3.6V，体积小，功耗低，容量最大可达 1GB，按页进行读写，按块擦除，通过 I/O 口分时复用作为命令地址数据。

2. 系统的 FPGA 设计与实现

2.1 乒乓缓存控制原理

乒乓操作是一个常常应用于数据流控制的处理技巧，典型的操作方法如图 2 所示。输入数据流通过输入数据选择单元(在本采集系统中，FPGA 内部逻辑结构完成此数据选择功能)，等时地将数据流分配到数据缓冲区 SRAM A 和 SRAM B 中。在第一个缓冲周期，也就是第一场的时间，将输入的数据流缓存到 SRAM A；在第二场的时间，通过输入数据选择单元的切换，将输入的数据流缓存到 SRAM B。与此同时，将 SRAM A 中缓存的第一周期数据(第一场图像数据)，通过输出数据选择单元的选择，送到数据流处理模块(视频流编码芯片 BT860)处理。在第三个缓冲周期，通过输入数据选择单元的再次切换，将输入的数据流缓存到 SRAM A 中，与此同时将 SRAM B 中缓存的第二周期数据(第二场图像数据)通过输出数据选择单元的切换，送到数据流处理模块运算处理。如此循环运行，周而复始。

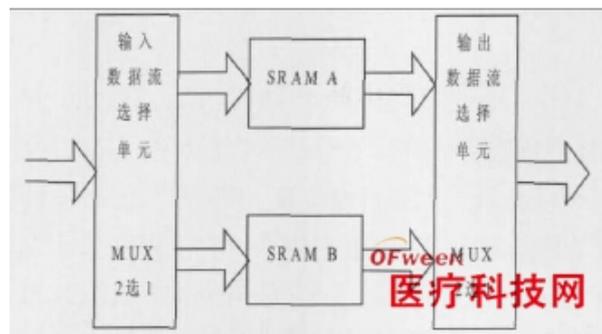


图 2 乒乓操作原理图

Fig. 2 Ping-pong operation schemantic diagram

乒乓操作的最大特点是通过输入数据选择单元和输出数据选择单元，按节拍、相互配合地切换，将经过缓冲的数据流不停顿地送到数据流运算处理模块进行运算及处理。把乒乓操作模块当作一个整体，此模块两端的输入数据流与输出数据流均是连续不断的，没有任何停顿，因此非常适合进行流水线式处理，完成数据的无缝缓冲与处理。

2.2 FLAS 日内部结构

由图 3 所示可知，该器件由 2K 个块(block)组成，每个块有 32 页，每页有 512+16 字节，总容量为 256+8M。其中，528 字节分成 A， B， C， 3 个区(如图 4 所示)。对每一页的寻址需要通过 I/O 口将地址分成三次发送，

其中第二、三次发送的是行(页)地址(A9-A24)，指明寻址到某一页；而第一次发送的则是列地址(A0-A7)，指明寻址到指定页中某一字节。

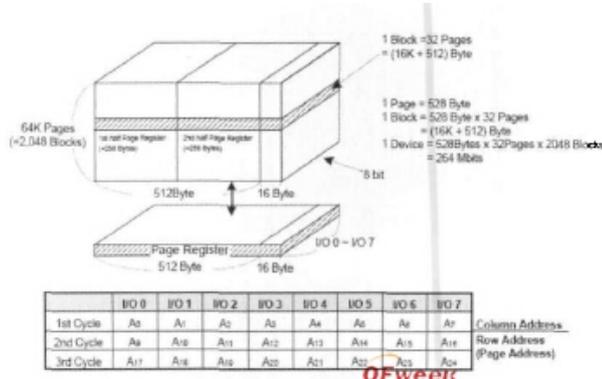


图 3 K9F5608U0D存储结构图

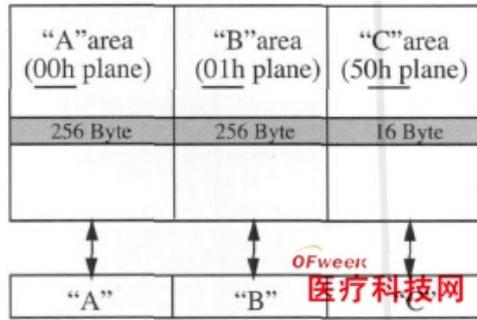


图 4 起始指针与区域关系对照表

Fig. 4 Relationship between pointer and region

由图 4 可以看出，00H， 01H 和 50H 只是选区指针。选定区的内部寻址是由第一个列地址完成的，A0-A7 可以最大寻址 256 字节。由于 00h、01h 和 50h 这三个命令信号中包含着片地址信息，因此我们把他们称为 FLASH 的地址 A8。

2.3 FPGA 的逻辑控制

在本系统中，主要通过 VHDL 语言对 FPGA 的逻辑控制进行了两部分的设体一部分是数据缓存部分，也即 SRAM，另一部分则是数据的存储部分—FLASH，这两部分在下面着重介绍。

2.3.1 数据缓存部分(SRAM)

在视频采集过程中，必先将数据存储至 SRAM 进行缓冲，并在采样的同时产生地址。FPGA 的读写控制模块需要同时给出两组地址线，两组输入、输

出数据总线以及读、写、片选等控制 SRAM 的控制信号线，其中一组用以控制 SRAM A，另一组则控制 SRAM B，以便将解码出来的数字信号通过数据信号总线交替地送给 SRAM A DATA 与 SRAM B DATA。为了解决共用总线时的竞争冒险问题，还要适当地控制数据信号与 SRAM A DATA，SRAM B DATA 的通断。可以用奇偶场信号来控制 SRAM A 和 SRAM B 的选择控制。而对 SRAM 的读写控制，则依靠读写控制信号 SRAM WE 来完成。实际上，SRAM 的数据线也有两组，其工作方式和地址线一样。为了给 FPGA 以充足的时间来读取 SRAM 中的数据，还要控制每场图像存入不同的 SRAM，从而使得两片 SRAM 以乒乓方式交替工作。

本设计采用 VHDL 对 FPGA 进行逻辑实现，程序中的乒乓控制部分仿真图如图 5 所示。

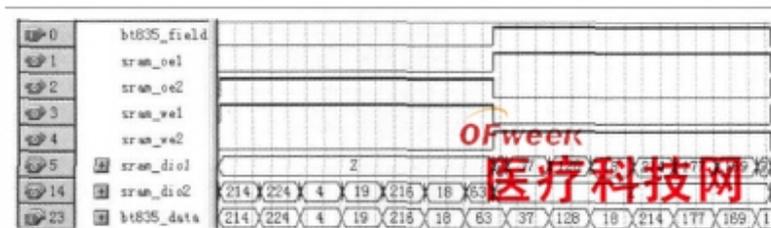


图 5 乒乓操作仿真图

Fig.5 Ping-pong Operation Simulation

其中 bt835_field 是解码芯片 BT835 的场同步信号，当它低时，我们看到 SRAM A 的输出信号 sram_oe1 为低，而写入信号 sram_we1 为高，8 位数据线 sram_dio1 则呈高阻态，这代表此时 SRAM A 正执行读取操作，将前锁存的奇场信号输出至编码器 BT860。而此时的 SRAM B 则恰恰相反，它的输出信号 sram_oe2 为高，而写入信号 sram_we2 为低，这说明它正在执行写入操作，将输入端的信号进行锁存。因此，我们可以看到在它的 8 位数据线 sram_dio2 的数据与输入端的 bt835_data 的数据完全一致。而当 bt835_field 为高时，则两块 SRAM 互换职责，由此奇偶交替，完成乒乓操作。

2.3.2 数据存储部分 (FLASH)

当发现有用数据，需要将有用数据存储至 FLASH 或者通过 FLASH 进行回放时，FPGA 不仅要产生 SRAM 的地址以及读写控制信号，还需按照 FLASH 真值表(表 1)的要求，产生 FLASH 读写控制信号 FLASH_WE 和 FLASH_RE，以及命令锁存信号 FLASH_CLE 和地址锁存信号 FLASH_ALE，并根据具体需要，产生不同的操作指令以及相对应的地址信息，从而使得 FLASH 按照要求进行擦除、存储以及读取等操作。

表 1 K9F5608U0D 真值表

Tab. 1 K9F5608U0D Truth-table

CLE	ALE	CE	WE	RE	GND	WP	Mode
H	L	L		H	X	X	Read Mode
L	H	L		H	X	X	Address Input(3clock)
H	L	L		H	X	H	Write Mode
L	H	L		H	X	H	Address Input(3clock)
L	L	L		H	L	H	Data Input
L	L	L	H	L	X	X	Data Output
L	L	L	H	H	L	X	During Read(Busy) on K9F5608U0B_Y.P or K9F5608U0B_V.F
X	X	X	X	H	L	X	During Read(Busy) on the devices except K9F5608U0B_Y.P and K9F5608U0B_V.F
X	X	X	X	X	L	H	During Program(Busy)
X	X	X	X	X	X	H	During Erase(Busy)
X	X ⁽¹⁾	X	X	X	X	L	Write Protect
X	X	H	X	X	0V	0V/Vcc ⁽²⁾	Stand-by

本设计用 QuartusII 7.2 对 FLASH 各功能单元进行仿真，并用 SignalTapII 对实际工作情况进行信号采集，采集所得结果如图 6 所示。



图 6 FLASH 各功能单元仿真

Fig. 6 Flash Function Simulation

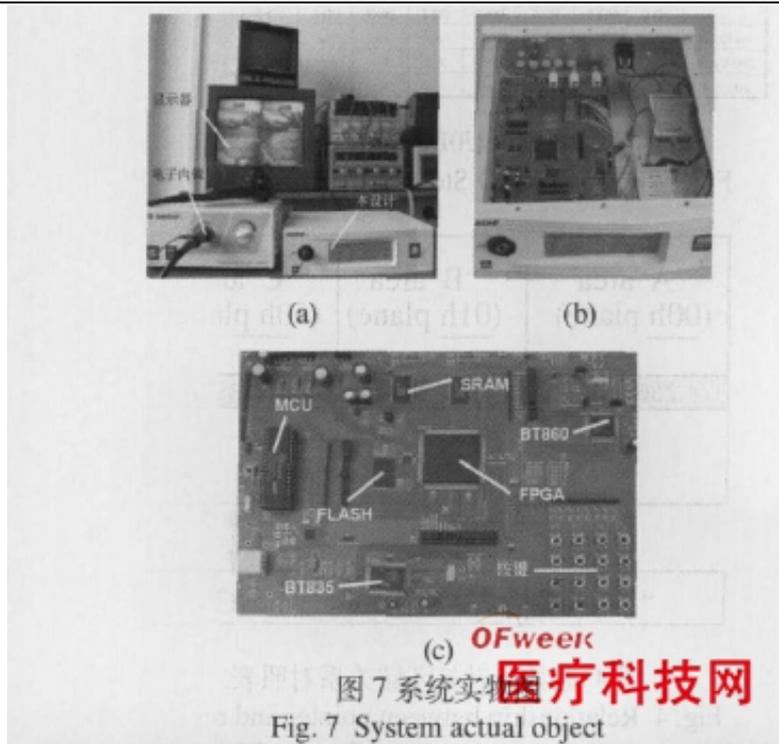
每当 flash_cle 处在高电平时 flash_we 产生一布生升沿, 则将此时 8 位数据线 flash_io 上的信号作为命令信号由图 6 所示, 擦除的命令信号为 60 h, 存储则为 80 h。而进行读取操作时, 00h, 01h, 50h 皆可, 具体选用情况取决于初始地址位于 A, B, C 中的哪个区, 详见图 4 所示。

当发送完操作命令信号后, 若是执行存储或读取操作, 则需要将 24 位地址 (A0-A7, A9-A24) 从低到高每次 8 位的形式分三次发送, 此时 flash_ale 置高位, flash_we 共需产生三个上升沿, 每产生一个上升沿, 则将 flash_io 上采集到的信号作为地址信号发送。而由于擦除操作是以块为单位进行, 在擦除时只需发送块地址, 即 A9-A24 共 16 位地址即可, 因此在地址命令发送阶段, flash_we 只需产生两个上升沿即可。地址发送完毕后, 需再拉低 flash_ale 和拉高 flash_cle, 发送一个命令信号 D0h。

3. 结果

本设计最终实物如图 7 中所示, 其中, (a) 为整个医用电子内镜系统图, 包括内窥镜 (信号源)、显示器以及信号采集控制系统 (本文设计核心); (b) 为本设计整体外观图; (c) 为本设计详细实物图。

本设计于 2009 年 4 月与上海医用光学仪器厂生产的医用电子内镜成功配套, 极好的还原了电子内镜所采集的图像信号, 实现了对视频信号的 PAL 制式兼容, 可输出 Video, S-Video 信号; 图像可由操作者控制, 实现动态、静态 (冻结) 的切换; 红绿蓝色彩分离单独可调; 图像的亮度和对比度亦单独可调; 可保存最多 40 幅图像 (720 x 480); 在显示设备上可以全屏显示, 也可分屏显示 (一次回放 4 幅图像, 即图中所示) 等多项功能。以上功能均通过上海医用光学厂质检部门检测, 检测结果合格。



4. 结束语

本文设计了一套基于视频编解码芯片、静态随机存储器、闪存与 FPGA 的医用电子内镜嵌入式图像采集控制系统。利用解码芯片 BT835 将模拟信号转换为数字信号，并由 FPGA 进行逻辑控制，将采集的图像进行存储和回放等操作。其硬件结构简单，稳定性高，易于维护，成本低廉，具有很强的实时性、实用性和可移植性，可用于各类图像采集系统。